

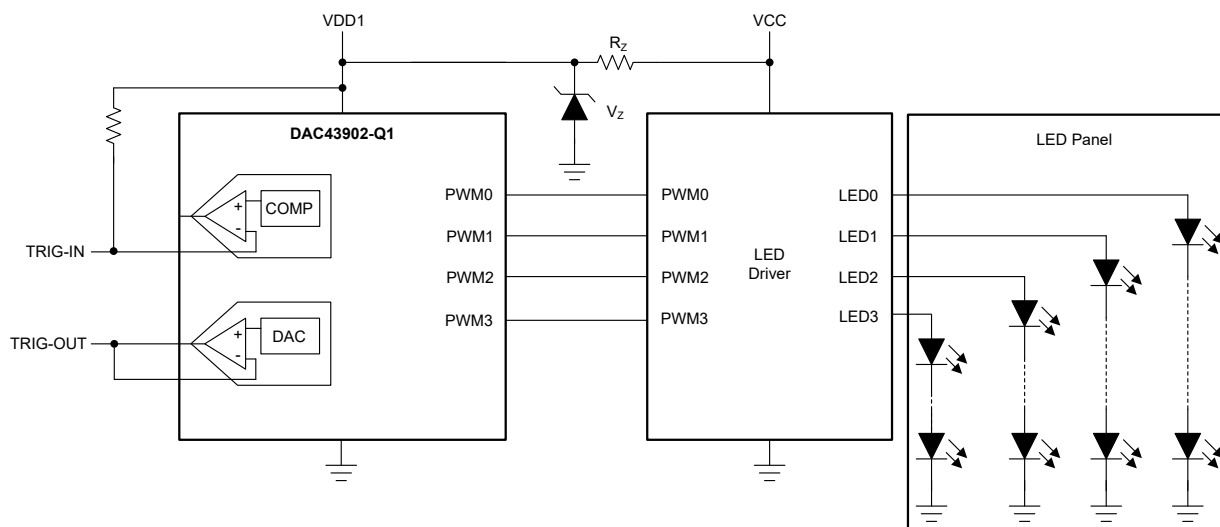
DAC4390x-Q1 具有 I²C、SPI、GPIO 和 PWM 接口、对数淡入淡出和顺序转向动画的汽车智能 DAC

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C，T_A
- 数字引脚上的脉宽调制 (PWM) 输出 (218Hz 至 48.8kHz)
- 对数调光
- 具有 GPIO 控制的 LED 淡入淡出
- 顺序转向指示灯动画
- 配置为 GPIO 的可编程比较器和 DAC
- 自动检测 I²C 或 SPI
 - 1.62V V_{IH} (V_{DD} = 5.5V)
- VREF/MODE 引脚可在编程和独立模式之间进行选择
- 用户可编程的非易失性存储器 (NVM)
- 采用内部基准、外部基准或电源作为基准
- 宽工作范围
 - 电源：1.8V 至 5.5V
 - 温度范围：-40°C 至 +125°C
- 微型封装：16 引脚 WQFN (3mm × 3mm)

2 应用

- 后灯
- 小灯
- 车内灯



使用 DAC43902-Q1 实现的顺序转向指示灯动画

3 说明

DAC43901-Q1 和 DAC43902-Q1 (DAC4390x-Q1) 是汽车类 8 位智能 DAC 系列，具有双路 PWM 和四路 PWM 输出。DAC43901-Q1 提供 2 个 PWM 输出，而 DAC43902-Q1 提供 4 个 PWM 输出。DAC 通道还用作触发输入或输出。DAC4390x-Q1 提供一个预配置的状态机，该状态机可通过逻辑方式以可配置时序生成对数调光。基于 PWM 的对数调光适用于汽车内部和外部照明中的对数淡入和淡出应用。DAC4390x-Q1 还支持适用于汽车转向指示灯的顺序动画。这些器件提供 NVM 来存储配置。这些智能 DAC 使用 GPIO 和 NVM 运行，无需处理器 (无处理器运行模式)。

这些器件会自动检测 I²C 或 SPI，并具有内部基准。凭借这组特性以及微型封装和低功耗特点，这些智能 DAC 非常适合汽车照明动画应用。

器件信息

器件型号	PWM 输出	封装 ⁽¹⁾
DAC43901-Q1	2	RTE (WQFN, 16)
DAC43902-Q1	4	

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	6.15 典型特性.....	12
2 应用	1	7 详细说明	14
3 说明	1	7.1 概述.....	14
4 修订历史记录	2	7.2 功能方框图.....	14
5 引脚配置和功能	3	7.3 特性说明.....	15
6 规格	5	7.4 器件功能模式.....	20
6.1 绝对最大额定值.....	5	7.5 编程.....	31
6.2 ESD 等级.....	5	7.6 寄存器映射.....	37
6.3 建议运行条件.....	5	8 应用和实施	44
6.4 热性能信息.....	5	8.1 应用信息.....	44
6.5 电气特性：比较器模式.....	6	8.2 典型应用.....	44
6.6 电气特性：通用.....	7	8.3 电源相关建议.....	50
6.7 时序要求：I ² C 标准模式.....	8	8.4 布局.....	50
6.8 时序要求：I ² C 快速模式.....	8	9 器件和文档支持	51
6.9 时序要求：I ² C 超快速模式.....	8	9.1 接收文档更新通知.....	51
6.10 时序要求：SPI 写入操作.....	9	9.2 支持资源.....	51
6.11 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....	9	9.3 商标.....	51
6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....	9	9.4 静电放电警告.....	51
6.13 时序要求：PWM 输出.....	10	9.5 术语表.....	51
6.14 时序图.....	10	10 机械、封装和可订购信息	51

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
September 2023	*	初始发行版

5 引脚配置和功能

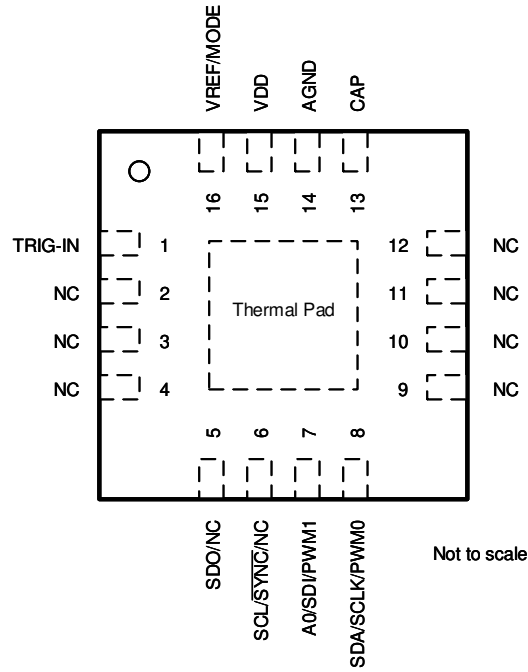


图 5-1. DAC43901-Q1 : RTE 封装 , 16 引脚 WQFN (顶视图)

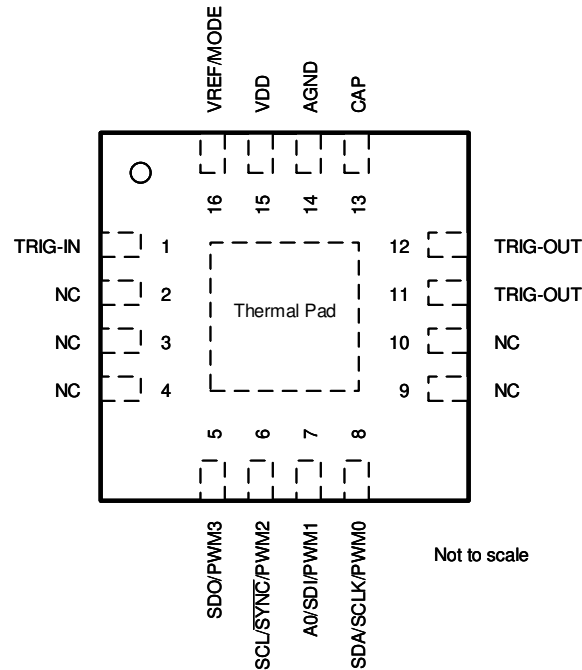


图 5-2. DAC43902-Q1 : RTE 封装 , 16 引脚 WQFN (顶视图)

表 5-1. 引脚功能

编号	引脚		类型	说明
	名称			
	DAC43901-Q1	DAC43902-Q1		
1	TRIG-IN	TRIG-IN	输入	触发输入。此引脚充当渐明淡出或动画应用的触发输入。
2-4	NC	NC	—	无连接。将该引脚焊接到焊盘上。
5	SDO/NC	SDO/PWM3	输出	SDO：编程模式下 SPI 的串行数据输出（VREF/MODE 引脚为低电平）。配置为 SDO，通过外部上拉电阻器将此引脚连接到 I/O 电压。 NC：在独立模式下无连接。将该引脚焊接到焊盘上。 PWM3：独立模式下的 PWM 输出通道 3（VREF/MODE 引脚为高电平）。此引脚必须使用外部上拉电阻器连接到 I/O 电压。
6	SCL/SYNC/NC	SCL/SYNC/ PWM2	输出	SCL：编程模式下的 I ² 串行接口时钟或 SPI 芯片选择输入（VREF/MODE 引脚为低电平）。此引脚必须使用外部上拉电阻器连接到 I/O 电压。 SYNC：编程模式下的同步引脚。 NC：在独立模式下无连接。将该引脚焊接到焊盘上。 PWM2：独立模式下的 PWM 输出通道 2（VREF/MODE 引脚为高电平）。此引脚必须使用外部上拉电阻器连接到 I/O 电压。
7	A0/SDI/PWM1	A0/SDI/PWM1	输入	A0：编程模式下 I ² C 的地址配置输入或 SPI 的串行数据输入（VREF/MODE 引脚为低电平）。设置 A0 时，需将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。 SDI：编程模式下 SPI 的串行数据输入。用作 SDI 时，请勿上拉或下拉此引脚。 PWM1：独立模式下的 PWM 输出通道 1（VREF/MODE 引脚为高电平）。使用外部上拉电阻器将此引脚连接到 I/O 电压。
8	SDA/SCLK/ PWM0	SDA/SCLK/ PWM0	输入/输出	SDA：编程模式下的双向 I ² C 串行数据总线（VREF/MODE 引脚为低电平）。 SCLK：编程模式下的 SPI 时钟输入。 PWM0：独立模式下的 PWM 输出通道 0（VREF/MODE 引脚为高电平）。使用外部上拉电阻器将此引脚连接到 I/O 电压。
9-10	NC	NC	—	无连接。将该引脚焊接到焊盘上。
11	NC	TRIG-OUT	输出	NC：无连接。将该引脚焊接到焊盘上。 TRIG-OUT：触发输出。将该引脚连接至引脚 12。
12	NC	TRIG-OUT	输入/输出	NC：无连接。将该引脚焊接到焊盘上。 TRIG-OUT：触发输出。将该引脚连接至引脚 11。
13	CAP	CAP	电源	用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5μF）。
14	模拟接地 (AGND)	模拟接地 (AGND)	接地	此器件上用于所有电路的接地参考点。
15	VDD	VDD	电源	电源电压：1.8V 至 5.5V。
16	VREF/MODE	VREF/MODE	输入	外部基准或接口模式选择输入。 在 VREF/MODE 和 AGND 之间连接一个电容（约 0.1μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。 在接口选择模式下： 将此引脚拉至低电平可启用 I ² C 或 SPI 通信。 将此引脚拉至高电平可启用独立模式。
散热焊盘	散热焊盘	散热焊盘	接地	将散热焊盘连接至 AGND。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{DD}	电源电压, V _{DD} 至 AGND	-0.3	6	V
	数字输入至 AGND	-0.3	V _{DD} + 0.3	V
	V _{TRIG-OUT} 至 AGND	-0.3	V _{DD} + 0.3	V
	V _{TRIG-IN} 至 AGND	-0.3	V _{DD} + 0.3	V
V _{REF}	外部基准, V _{REF} 至 AGND	-0.3	V _{DD} + 0.3	V
	流入除 TRIG-OUT、V _{DD} 和 AGND 引脚以外任何引脚的电流	-10	10	mA
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位	
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V	
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	边角引脚 (1、4、5、8、9、12、13 和 16)		±750
			所有引脚		±500

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _{DD}	提供给接地端 (AGND) 的正电源电压	1.7		5.5	V
V _{REF}	提供给接地端 (AGND) 的外部基准电压	1.7		V _{DD}	V
V _{IH}	数字输入高电压, 1.7V < V _{DD} ≤ 5.5V	1.62			V
V _{IL}	数字输入低电压			0.4	V
C _{CAP}	CAP 引脚上的外部电容器	0.5		15	μF
T _A	环境温度	-40		125	°C

6.4 热性能信息

热指标 ⁽¹⁾		DAC4390x-Q1		单位
		RTE (WQFN)		
		16 引脚		
R _{θJA}	结至环境热阻	49		°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	50		°C/W
R _{θJB}	结至电路板热阻	24.1		°C/W
Ψ _{JT}	结至顶部特征参数	1.1		°C/W
Ψ _{JB}	结至电路板特征参数	24.1		°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	8.7		°C/W

(1) 有关新旧热指标的信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性：比较器模式

所有最小/最大规格的条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 基准连接至 V_{DD} ，增益 = 1x，DAC 输出引脚 (TRIG-OUT) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 V_{DD} 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
静态性能						
	偏移误差 ^{(1) (2)}	$1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，DAC 处于中标度，比较器输入处于高阻态且 DAC 采用外部基准工作。	-7.5	0	7.5	mV
	偏移误差时间漂移 ⁽¹⁾	$V_{DD} = 5.5\text{V}$ ，外部基准， $T_A = 125^{\circ}\text{C}$ ，TRIG-IN 处于高阻态模式，DAC 处于满量程， $V_{\text{TRIG-IN}}$ 为 0V 或 DAC 处于零标度， $V_{\text{TRIG-IN}}$ 为 1.84V，10 年连续运行的额定漂移		4		mV
输出						
	输入电压	V_{REF} 连接到 V_{DD} ，TRIG-IN 电阻器网络连接到接地	0		V_{DD}	V
		V_{REF} 连接到 V_{DD} ，TRIG-IN 电阻器网络断开接地	0		$V_{DD} (1/3 - 1/100)$	
V_{OL}	逻辑低电平输出电压	$I_{\text{LOAD}} = 100\mu\text{A}$ ，输出处于开漏模式		0.1		V
动态性能						
t_{resp}	输出响应时间	DAC 处于中标度且具有 10 位分辨率，TRIG-IN 输入处于高阻态，TRIG-IN 节点处的转换步长为 ($V_{\text{DAC}} - 2\text{LSB}$) 至 ($V_{\text{DAC}} + 2\text{LSB}$)，转换时间在输出的 10% 至 90% 之间测得，输出电流为 $100\mu\text{A}$ ，比较器输出配置为推挽模式，DAC 输出的负载电容为 25pF		10		μs

- (1) 根据设计和特征确定；未经生产测试。
(2) 此规格不包括 DAC 的总体未调误差 (TUE)。

6.6 电气特性：通用

所有最小/最大规格的条件为 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ，所有典型规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ ，基准连接至 VDD，增益 = 1 ×，DAC 输出引脚 (TRIG-OUT) 具有阻性负载 ($R_L = 5\text{k}\Omega$ 至 AGND) 和容性负载 ($C_L = 200\text{pF}$ 至 AGND)，且数字输入处于 VDD 或 AGND (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
内部基准						
初始精度		所有测量的 $T_A = 25^{\circ}\text{C}$	1.1979	1.212	1.224	V
基准输出温度系数 ^{(1) (2)}					60	ppm/°C
外部基准 (V_{REF})						
外部基准输入电压			1.7		V_{DD}	V
V_{REF} 输入阻抗 ^{(1) (3)}				192		kΩ-ch
EEPROM						
寿命 ⁽¹⁾		$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	20000			周期
		$T_A = 125^{\circ}\text{C}$	1000			
数据保留 ⁽¹⁾			50			年
EEPROM 编程写入周期时间 ⁽¹⁾			200			ms
器件启动时间 ⁽¹⁾		从电源有效 ($V_{DD} \geq 1.7\text{V}$) 到输出有效状态 (EEPROM 中编程的输出状态) 所用的时间, CAP 引脚上具有 $0.5\mu\text{F}$ 电容器	5			ms
数字输入						
引脚电容		每引脚	10			pF
电源						
I_{DD}	流入 VDD 的电流	睡眠模式, 内部基准禁用, 外部基准为 5.5V	28			μA
		睡眠模式, 内部基准已启用, 通过内部基准的额外电流 ⁽¹⁾	10			
		DAC 通道已启用, 内部基准已启用, 每个 DAC 通道通过内部基准的额外电流 ⁽¹⁾	12.5			$\mu\text{A-ch}$
		正常运行, 状态机已启用 ⁽¹⁾	DAC43901-Q1	1.02		mA
	DAC43902-Q1	1.2				

- (1) 根据设计和特征确定；未经生产测试。
 (2) 在 -40°C 和 $+125^{\circ}\text{C}$ 条件下测得，并计算了斜率。
 (3) DAC 通道的阻抗以并联方式连接。

6.7 时序要求：I²C 标准模式

所有输入信号的时间都是从 VIL 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 1.7V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			100	kHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	4.7			μs
t _{HDSTA}	重复启动后的保持时间	4			μs
t _{SUSTA}	重复启动设置时间	4.7			μs
t _{SUSTO}	停止条件设置时间	4			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	250			ns
t _{LOW}	SCL 时钟低电平周期	4700			ns
t _{HIGH}	SCL 时钟高电平周期	4000			ns
t _F	时钟和数据下降时间			300	ns
t _R	时钟和数据上升时间			1000	ns
t _{VDDAT}	数据有效时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			3.45	μs
t _{VDAACK}	数据有效确认时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			3.45	μs

6.8 时序要求：I²C 快速模式

所有输入信号的时间都是从 VIL 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 1.7V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			400	kHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			μs
t _{HDSTA}	重复启动后的保持时间	0.6			μs
t _{SUSTA}	重复启动设置时间	0.6			μs
t _{SUSTO}	停止条件设置时间	0.6			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	100			ns
t _{LOW}	SCL 时钟低电平周期	1300			ns
t _{HIGH}	SCL 时钟高电平周期	600			ns
t _F	时钟和数据下降时间			300	ns
t _R	时钟和数据上升时间			300	ns
t _{VDDAT}	数据有效时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.9	μs
t _{VDAACK}	数据有效确认时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.9	μs

6.9 时序要求：I²C 超快速模式

所有输入信号的时间都是从 VIL 计时到 V_{pull-up} 的 70%，1.7V ≤ V_{DD} ≤ 5.5V，-40°C ≤ T_A ≤ +125°C，且 1.7V ≤ V_{pull-up} ≤ V_{DD}

		最小值	标称值	最大值	单位
f _{SCL}	SCL 频率			1	MHz
t _{BUF}	停止条件和启动条件之间的总线空闲时间	0.5			μs
t _{HDSTA}	重复启动后的保持时间	0.26			μs
t _{SUSTA}	重复启动设置时间	0.26			μs
t _{SUSTO}	停止条件设置时间	0.26			μs
t _{HDDAT}	数据保持时间	0			ns
t _{SUDAT}	数据设置时间	50			ns
t _{LOW}	SCL 时钟低电平周期	0.5			μs
t _{HIGH}	SCL 时钟高电平周期	0.26			μs
t _F	时钟和数据下降时间			120	ns
t _R	时钟和数据上升时间			120	ns
t _{VDDAT}	数据有效时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.45	μs
t _{VDAACK}	数据有效确认时间，R = 360Ω，C _{trace} = 23pF，C _{probe} = 10pF			0.45	μs

6.10 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ 且 $-40^\circ C \leq T_A \leq +125^\circ C$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	9			ns
t_{SCLLOW}	SCLK 低电平时间	9			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	18			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	10			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	50			ns
$t_{DACWAIT}$	同一通道的顺序更新等待时间 (后续 \overline{SYNC} 上升沿之间的时间)	2			μs

6.11 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$ 且 $FSDO = 0$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			1.25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	350			ns
t_{SCLLOW}	SCLK 低电平时间	350			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	400			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	400			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	1			μs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$			300	ns

6.12 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f = 1V/ns$ (V_{IO} 的 10% 至 90%) 时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始， $1.7V \leq V_{IO} \leq 5.5V$ ， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^\circ C \leq T_A \leq +125^\circ C$ 且 $FSDO = 1$

		最小值	标称值	最大值	单位
f_{SCL}	串行时钟频率			2.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	175			ns
t_{SCLLOW}	SCLK 低电平时间	175			ns
t_{SDIS}	SDI 建立时间	8			ns
t_{SDIH}	SDI 保持时间	8			ns
t_{CSS}	\overline{SYNC} 到 SCLK 下降沿建立时间	300			ns
t_{CSH}	SCLK 下降边沿到 \overline{SYNC} 上升边沿	300			ns
t_{CSHIGH}	\overline{SYNC} 高电平时间	1			μs
t_{SDODLY}	SCLK 上升沿到 SDO 下降沿， $I_{OL} \leq 5mA$ ， $C_L = 20pF$			300	ns

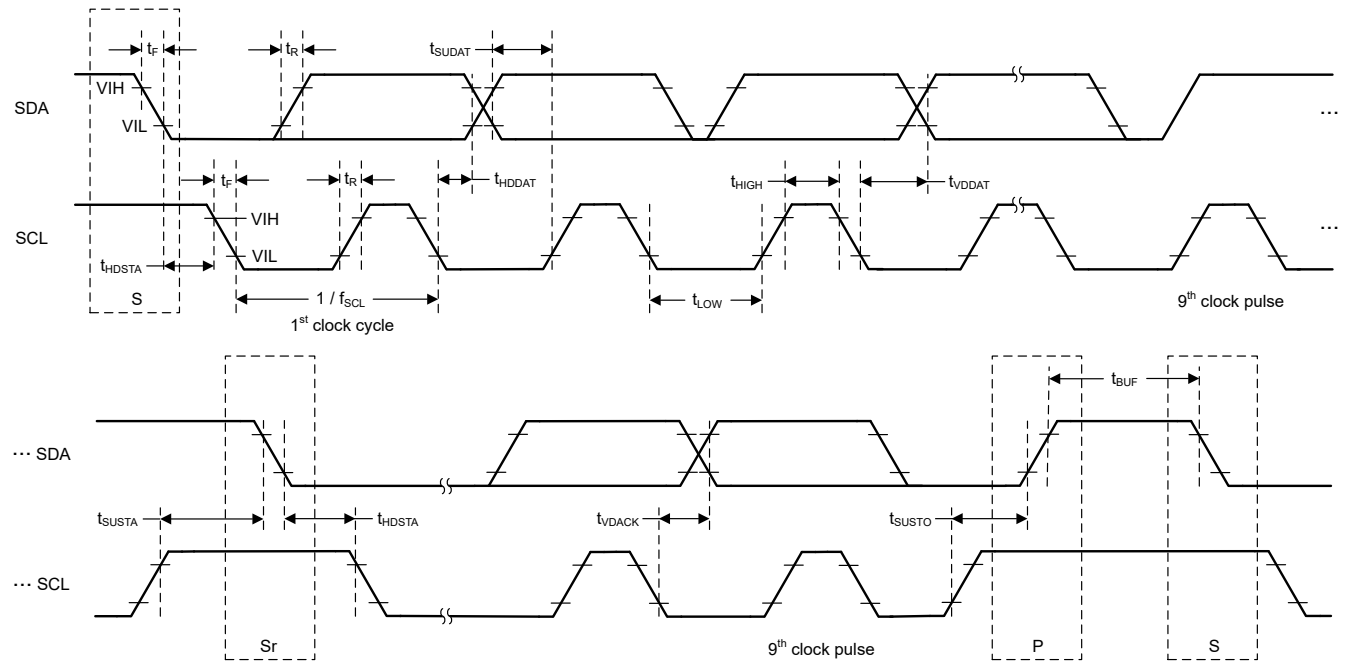
6.13 时序要求：PWM 输出

所有输入信号的时间都是从 V_{IL} 计时到 $V_{pull-up}$ 的 70%， $1.7V \leq V_{DD} \leq 5.5V$ ， $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ ，且 $1.7V \leq V_{pull-up} \leq V_{DD}$

		最小值	标称值	最大值	单位
f_{PWMOUT}	PWM 频率 ⁽¹⁾	0.218		48.828	kHz
t_{PWMOHI}	PWM 高电平时间	1			μs
t_{PWMOLO}	PWM 低电平时间	1			μs
$t_{PWMODTY}$	PWM 占空比	0		100	%

(1) 该频率范围不考虑内部振荡器频率误差。

6.14 时序图



S: Start bit, Sr: Repeated start bit, P: Stop bit

图 6-1. I²C 时序图

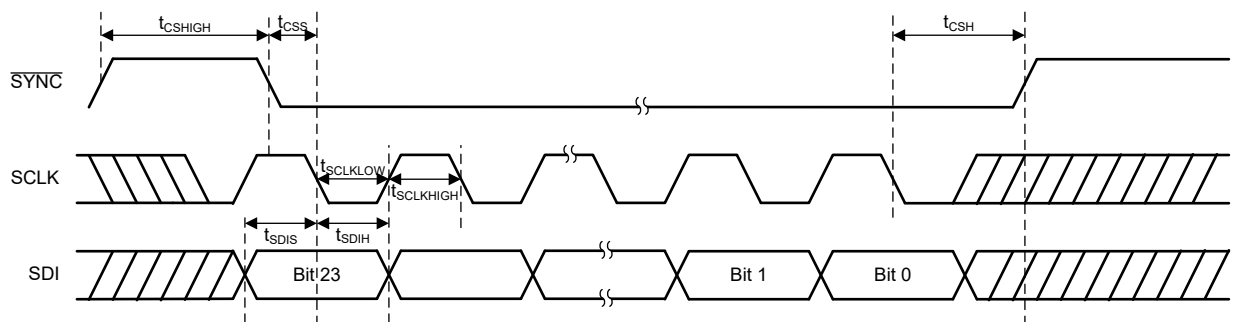


图 6-2. SPI 写入时序图

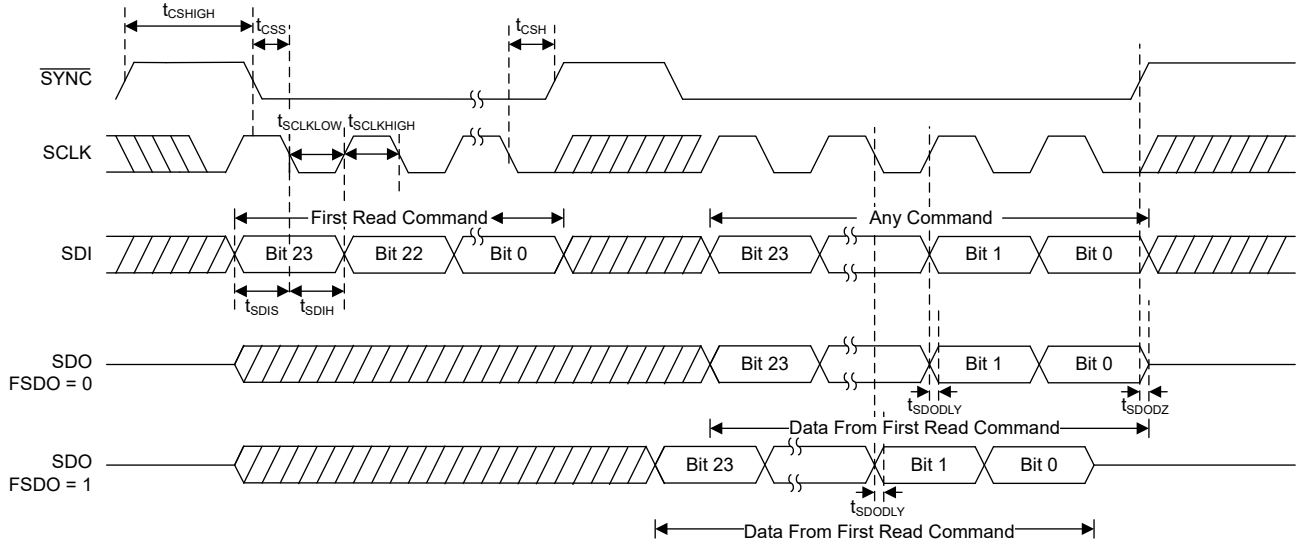


图 6-3. SPI 读取时序图

6.15 典型特性

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = 1 x 且 DAC 输出为空载 (除非另有说明)

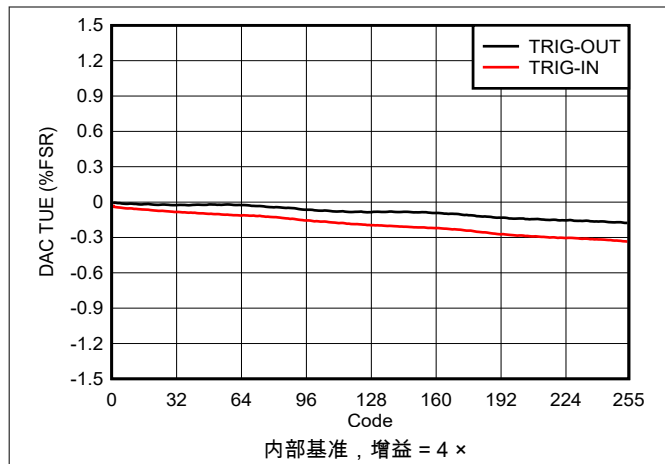


图 6-4. DAC TUE 与数字输入代码间的关系

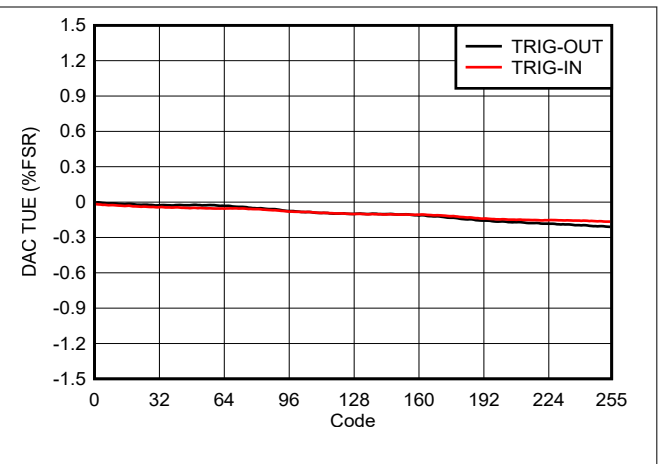


图 6-5. DAC TUE 与数字输入代码间的关系

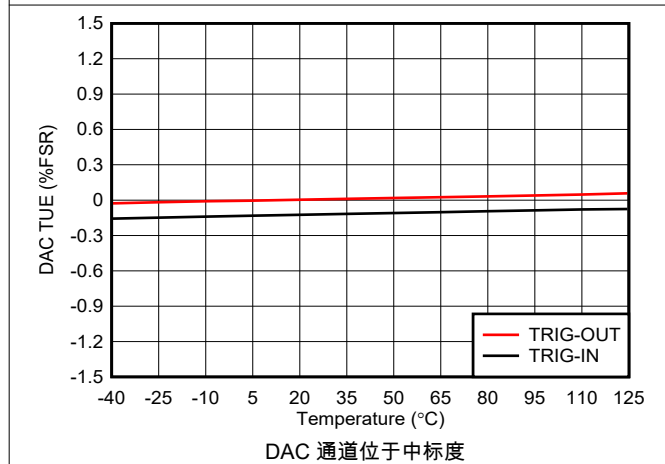


图 6-6. DAC TUE 与温度间的关系

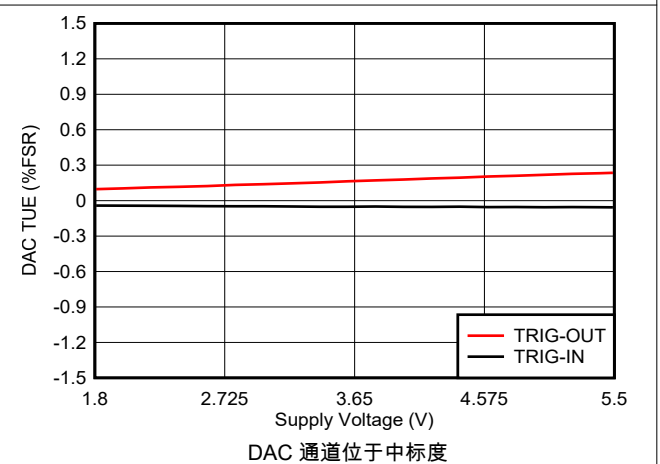


图 6-7. DAC TUE 与电源电压间的关系

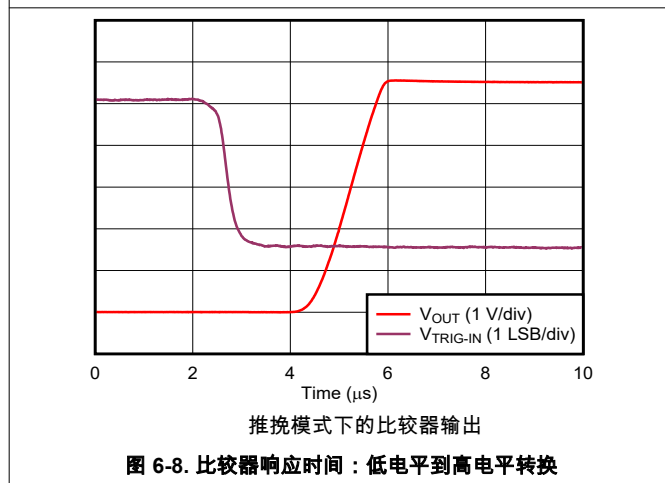


图 6-8. 比较器响应时间：低电平到高电平转换

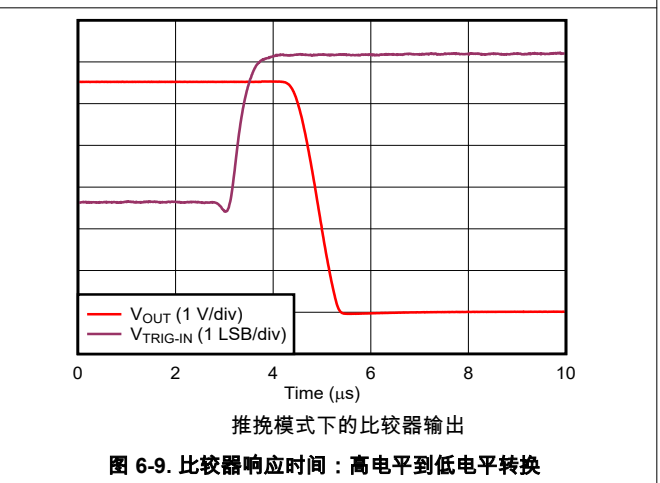


图 6-9. 比较器响应时间：高电平到低电平转换

6.15 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 5.5\text{V}$, 外部基准 = 5.5V, 增益 = 1 x 且 DAC 输出为空载 (除非另有说明)

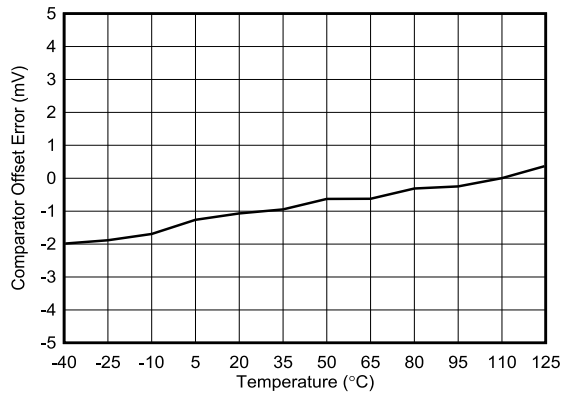


图 6-10. 比较器偏移误差与温度间的关系

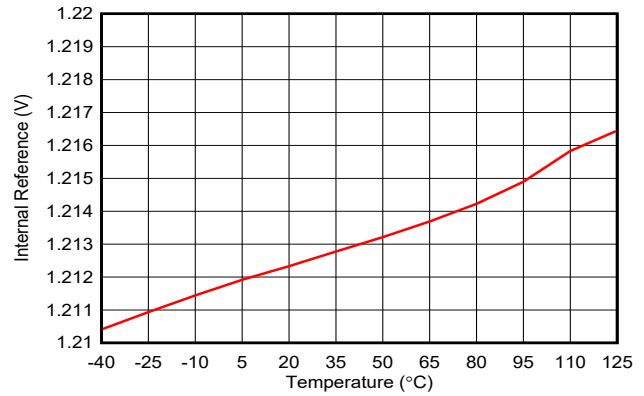


图 6-11. 内部基准与温度间的关系

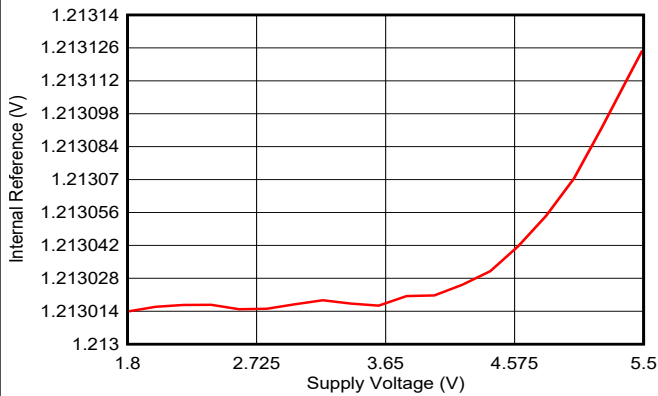


图 6-12. 内部基准与电源电压间的关系

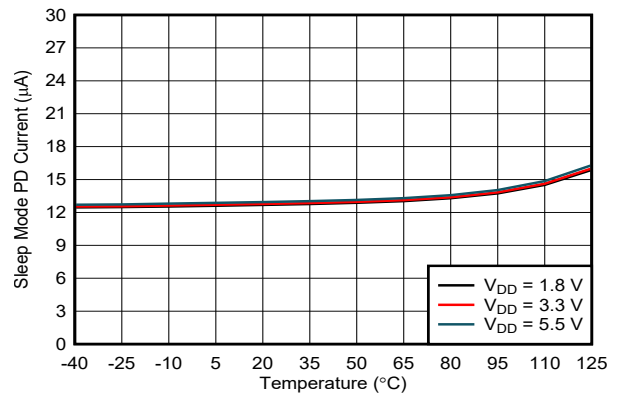


图 6-13. 断电电流与温度间的关系

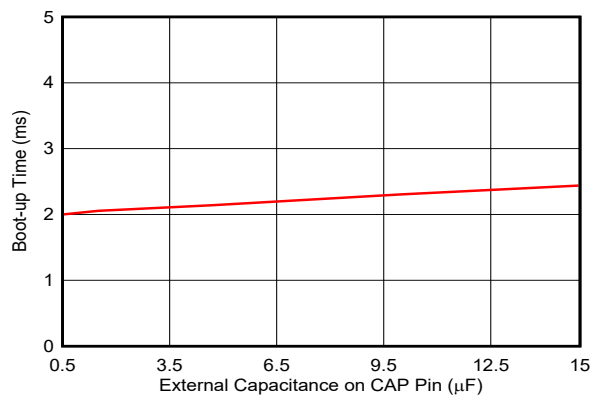


图 6-14. 启动时间与 CAP 引脚上电容间的关系

7 详细说明

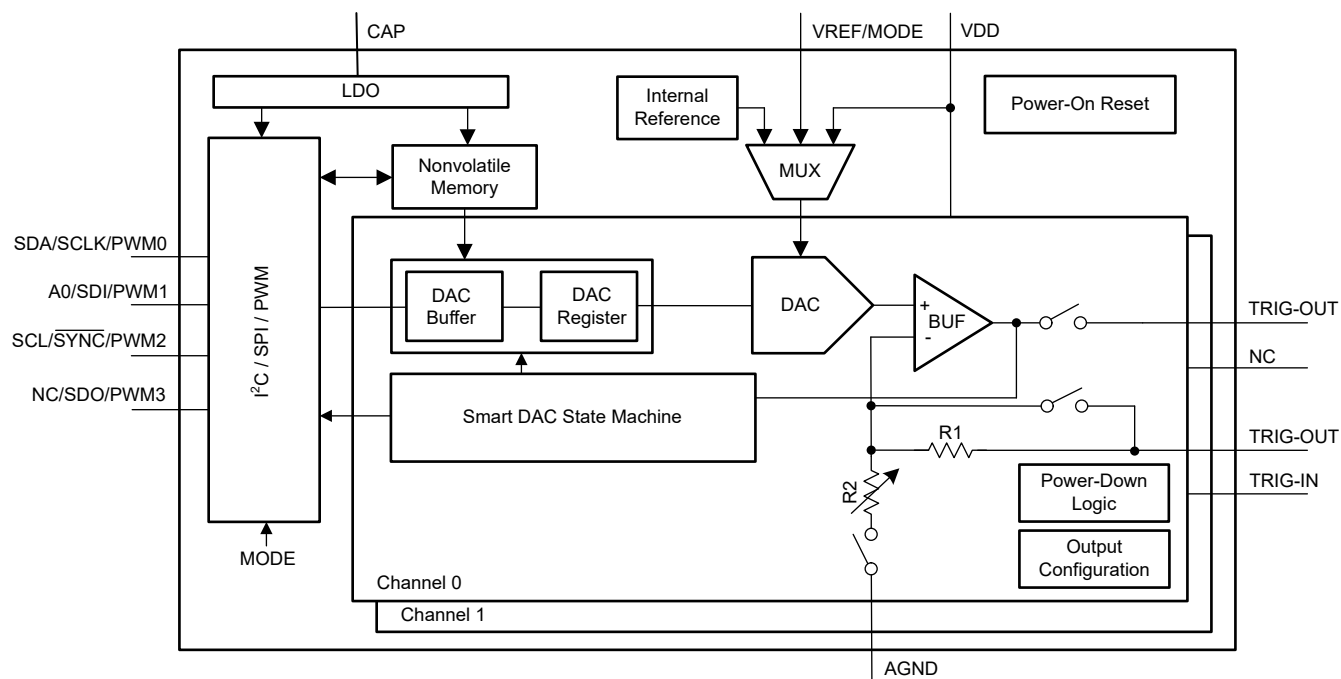
7.1 概述

DAC43901-Q1 和 DAC43902-Q1 (DAC4390x-Q1) 是 8 位智能 DAC，具有内部基准和可编程比较器。DAC43901-Q1 支持通过 PWM 输出实现对数淡入淡出。DAC43902-Q1 支持汽车转向灯的顺序动画。DAC43901-Q1 和 DAC43902-Q1 器件可进行级联来产生超过四个通道的动画效果。

这些智能 DAC 使用 VREF/MODE 引脚来在编程模式 (I²C 或 SPI) 和独立模式 (PWM 和 TRIG-IN/OUT) 之间进行选择。DAC4390x-Q1 提供非易失性存储器 (NVM)，以使用 I²C 或 SPI 存储出厂时的寄存器设置。编程后，这些器件可以自主运行，无需处理器。

PWM 输出使用四个数字引脚生成。选择 PWM 输出模式时，一个 DAC 通道将配置为比较器，以支持 TRIG-IN 输入，而另一个 DAC 则用作开/关电压输出以支持 TRIG-OUT。

7.2 功能方框图



7.3 特性说明

7.3.1 智能数模转换器 (DAC) 架构

DAC4390x-Q1 具有一个支持算术、逻辑和时序操作的可编程状态机，如图 7-1 所示。对于 DAC43901-Q1，该状态机预编程为对数淡入和淡出动画控制器，而对于 DAC43902-Q1，则预编程为顺序转向指示灯，方便用户对淡入淡出和通道延迟时序进行编程。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来禁用状态机。用户配置存储在 NVM 中。状态机可以在独立模式下运行，无需连接到处理器（无处理器运行模式）。

DAC4390x-Q1 通过 7 位占空比分辨率和 32 种离散频率设置提供数字 PWM 输出。PWM 引脚与编程引脚进行多路复用。VREF/MODE 引脚用于在编程模式和独立运行模式之间进行选择。

DAC4390x-Q1 提供使用串式架构的 DAC 通道，该架构具有一个也可用作比较器的电压输出放大器。节 7.2 展示了方框图中的 DAC 架构，该架构采用 1.8V 至 5.5V 电源供电。DAC 通道使用以下三个基准选项之一：1.21V 的 DAC 内部电压基准、VREF/MODE 引脚上的外部基准，或电源。

DAC4390x-Q1 器件包括一个智能功能集，可实现无处理器运行和高度集成。NVM 支持可预测的启动。此类器件支持内部函数生成，例如锯齿波、三角形波、正弦波和 PWM。还支持已针对不同器件上的特定应用进行预配置的状态机。可使用寄存器映射来配置这些状态机，并且可以将参数存储在 NVM 中。

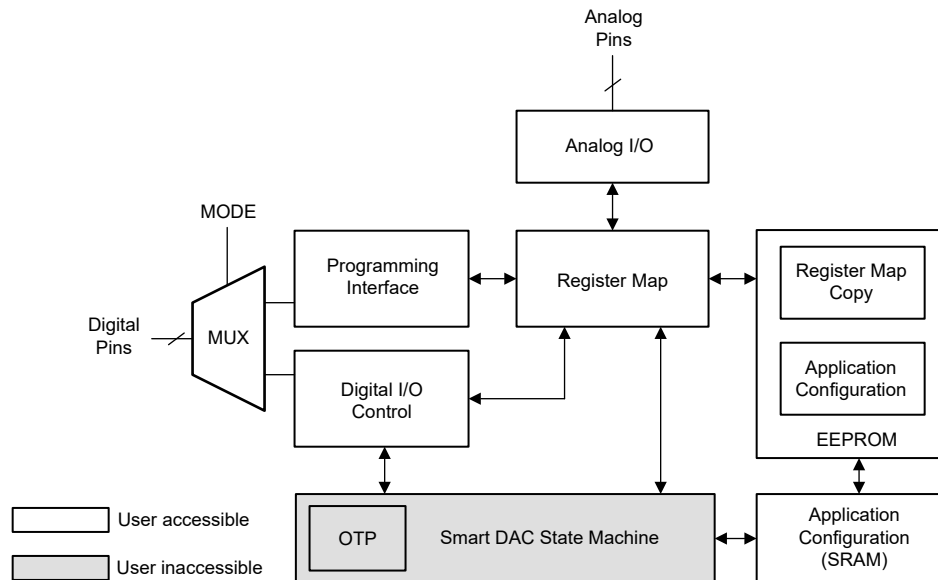


图 7-1. 智能 DAC 架构

7.3.2 阈值 DAC

要启用 TRIG-IN 的阈值 DAC，可以在 COMMON-CONFIG 寄存器的 VOUT-X-PDN 字段中选择上电选项。对于 DAC43902-Q1 上的输出触发，需要在外部将相应通道的 TRIG-OUT 引脚短接。TRIG-OUT 可以在 VDD 和 AGND 之间切换。DAC4390x-Q1 提供了多个基准选项和放大器增益，以满足所需的 TRIG-IN 范围。

7.3.2.1 电压基准和 DAC 传递函数

DAC4390x-Q1 可以支持以下三种电压基准选项：内部基准、外部基准，以及以电源作为基准，如图 7-2 所示。阈值 DAC 的传递函数根据电压基准的选择而变化。

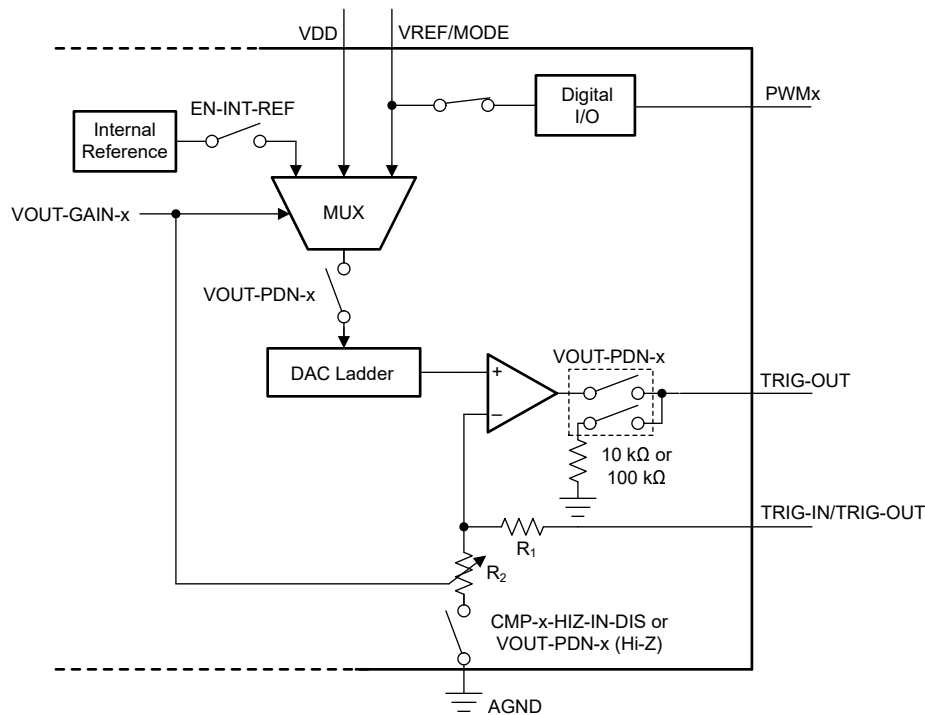


图 7-2. 电压基准选择与断电逻辑

7.3.2.2 电源作为基准

默认情况下，DAC4390x-Q1 采用电源引脚 (VDD) 作为基准运行。方程式 1 展示了电源引脚用作基准时的 DAC 传递函数。输出级的增益始终为 1 ×。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{DD} \quad (1)$$

其中：

- N 是以位为单位的分辨率，DAC4390x-Q1 为 8 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{DD} 用作 DAC 基准电压。

7.3.2.3 内部基准

DAC4390x-Q1 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的位 EN-INT-REF。内部基准生成固定的 1.21V 电压（典型值）。使用 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段可实现 DAC 输出电压 (V_{OUT}) 的 1.5 ×、2 ×、3 × 或 4 × 增益。方程式 2 展示了使用内部基准时阈值 DAC 的传递函数。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \times GAIN \quad (2)$$

其中：

- N 是以位为单位的分辨率，DAC4390x-Q1 为 8 位
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{REF} 是内部基准电压，值为 1.21V。
- GAIN = 1.5 ×、2 ×、3 × 或 4 ×，根据 VOUT-GAIN-x 位而定。

7.3.2.4 外部基准

DAC4390x-Q1 提供外部基准输入。通过适当配置 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段，选择外部基准选项。外部基准电压可介于 1.8 V 和 VDD 之间。方程式 3 展示了使用外部基准时阈值 DAC 的传递函数。

备注

在瞬态和稳态条件下，外部基准都必须小于 VDD。因此，外部基准必须在 VDD 之后斜升，在 VDD 之前斜降。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \quad (3)$$

其中：

- N 是以位为单位的分辨率，DAC4390x-Q1 为 8 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N - 1$ 。
- V_{REF} 为外部基准电压。

7.3.3 编程接口

DAC4390x-Q1 有四个数字 I/O 引脚，包括 I²C 和 SPI。这些器件会在加电后首次成功通信时自动检测 I²C 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。I²C 接口使用 A0 引脚从四个地址选项中进行选择。SPI 默认为三线制接口。此模式下没有回读功能。NC/SDO 引脚可在寄存器映射中配置，然后编程到 NVM 中作为 SDO 引脚。SPI 回读模式比写入模式慢。编程接口引脚为：

- I²C : SCL、SDA、A0
- SPI : SCLK、SDI、 $\overline{\text{SYNC}}$ 、NC/SDO

当用作输出时，所有数字引脚都是开漏。因此，必须使用外部电阻将所有输出引脚上拉至所需的 I/O 电压。

7.3.4 非易失性存储器 (NVM)

DAC4390x-Q1 包含非易失性存储器 (NVM) 位。这些存储器位是用户可编程和可擦除的，并且会断电的情况下保留设定的值。所有寄存器位（如 *寄存器映射* 部分中灰色单元格突出显示）都可以通过在 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1 来存储在 NVM 中。NVM-PROG 位会自动复位。一旦发生 POR 事件，DAC4390x-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

DAC4390x-Q1 还在 COMMON-TRIGGER 寄存器中实现了 NVM-RELOAD 位。将该位设置为 1 可以让器件启动 NVM 重新加载操作。完成后，器件将 NVM-RELOAD 位自动复位为 0。在 NVM 写入或重新加载操作期间，对器件的所有读/写操作都会被阻止。*电气特征：常规* 部分提供了 NVM 写入周期的时序规格。处理器必须等待指定的持续时间，然后才能在 SPI 或 I²C 接口上恢复任何读取或写入操作。

7.3.4.1 NVM 循环冗余校验 (CRC)

为确保存储在 NVM 中的数据不被损坏，DAC4390x-Q1 为 NVM 采用循环冗余校验 (CRC) 功能。DAC4390x-Q1 中实现了两种类型的 CRC 报警位：

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程的 NVM 位的状态，NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能的实现方式是在每次执行 NVM 编程操作（写入或重新加载）时以及器件启动期间，将一个 16 位 CRC (CRC-16-CCITT) 与 NVM 数据一起存储。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位（GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT）报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

7.3.4.1.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位（请参阅 [节 7.3.6](#)）命令或对器件执行下电上电。软件复位或执行下电上电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

7.3.4.1.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位（请参阅 [节 7.3.6](#)）命令或对器件执行下电上电。NVM 中的永久故障会导致器件无法使用。

7.3.5 上电复位 (POR)

DAC4390x-Q1 系列器件包含上电复位 (POR) 功能，可在加电时控制输出电压。在建立 V_{DD} 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 POR（启动）延迟之后，与该器件的通信才有效。一旦发生 POR 事件，DAC4390x-Q1 中所有寄存器的默认值都将立即从 NVM 加载。

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 V_{DD} 电平（如图 7-3 所示）才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR，V_{DD} 小于 0.7V 的时间必须至少为 1ms。当 V_{DD} 降至低于 1.65V 但仍高于 0.7V（显示为未定义区域）时，该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下，需启动 POR。当 V_{DD} 保持为大于 1.65V 时，不会发生 POR。

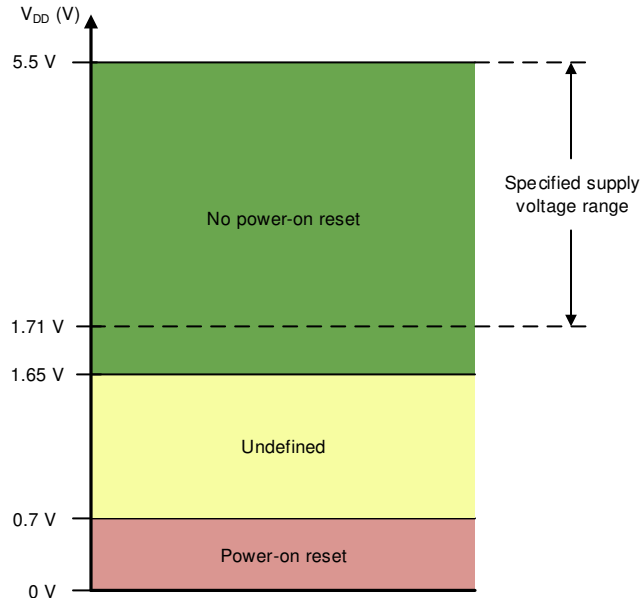


图 7-3. V_{DD} POR 电路的阈值电平

7.3.6 外部复位

可以通过寄存器映射来触发器件的外部复位。要启动器件软件复位事件，应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。

7.3.7 寄存器映射锁定

DAC4390x-Q1 实现了寄存器映射锁定功能，可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时，器件会锁定所有寄存器。但是，使用 I²C 接口时，通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置，需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。

7.4 器件功能模式

7.4.1 比较器模式

阈值 DAC 和比较器用于 TRIG-IN 输入。阈值 DAC 固定为中标度。要进入某个通道的比较器模式，需向相应 DAC-x-VOUT-CMP-CONFIG 寄存器的 CMP-x-EN 位中写入 1。可使用 CMP-X-OD-EN 位将比较器输出配置为推挽或开漏输出。要启用输出引脚上的比较器输出，需向 CMP-x-OUT-EN 位写入 1。要反转比较器输出，需向 CMP-x-INV-EN 位写入 1。TRIG-IN 引脚具有有限阻抗。默认情况下，TRIG-IN 引脚处于高阻抗模式。要禁用 TRIG-IN 引脚上的高阻抗，需向 CMP-x-HIZ-IN-DIS 位写入 1。表 7-1 展示了不同位设置条件下该引脚上的比较器输出。表 7-2 展示了比较器的满量程模拟输入设置。任何较高的输入电压都会被削波。

表 7-1. 比较器输出配置

CMP-x-EN	CMP-x-OUT-EN	CMP-x-OD-EN	CMP-x-INV-EN	CMP-x-OUT 引脚
0	X	X	X	比较器未启用
1	0	X	X	无输出
1	1	0	0	推挽式输出
1	1	0	1	推挽和反相输出
1	1	1	0	开漏输出
1	1	1	1	开漏和反相输出

表 7-2. 满量程模拟输入 (V_{FS})

基准 (V_{REF})	增益	V_{FS} (高阻态输入模式)	V_{FS} (有限阻抗输入模式)
电源	1 ×	$V_{DD} / 3$	V_{DD}
外部	1 ×	$V_{REF} / 3$	V_{REF}
内部	1.5 ×	$(V_{REF} \times GAIN) / 3$	$V_{REF} \times GAIN$
	2 ×	$(V_{REF} \times GAIN) / 3$	$V_{REF} \times GAIN$
	3 ×	$(V_{REF} \times GAIN) / 6$	$(V_{REF} \times GAIN) / 2$
	4 ×	$(V_{REF} \times GAIN) / 6$	$(V_{REF} \times GAIN) / 2$

7.4.2 PWM 淡入淡出模式

DAC43901-Q1 支持预配置为 PWM (脉宽调制) 淡入淡出的状态机, 可用于实现平滑调光和启动电机。淡入淡出以对数方式进行。DAC 通道 0 用作比较器, 而 TRIG-IN 引脚用作淡入淡出信号的触发输入。在独立模式下, PWM 输出在数字引脚上提供。当 VREF/MODE 引脚被拉高时, 器件进入独立模式。此模式下禁用编程接口。数字编程接口 (I²C 和 SPI) 引脚是开漏输出, 必须上拉才能用作 PWMx 输出。在独立模式下, 器件使用 NVM 中的配置运行。将 VREF/MODE 引脚拉低可使器件进入编程模式。当 PWM 输出模式启用时, 所有四个编程接口引脚都将用作 PWMx 输出, 即使不使用也是如此。无法进行部分选择。淡入淡出 PWM 输出在 PWM0 (SDA/SCLK) 和 PWM1 (A0/SDI) 上提供。表 7-3 展示了数字引脚上的 PWM 输出映射。PWM 占空比分辨率为 7 位。PWM0 在触发输入的上升沿从预定义的最小占空比转换到最大占空比, 并在触发输入的下降沿从最大占空比转换到最小占空比。PWM0 的淡入淡出配置使用 SRAM 或寄存器地址进行编程, 如表 7-4 所示。

表 7-3. 淡入淡出引脚映射

淡入淡出接口	多路复用编程引脚	引脚编号
PWM0	SDA/SCLK	8
PWM1	A0/SDI	7
TRIG-IN	TRIG-IN	1

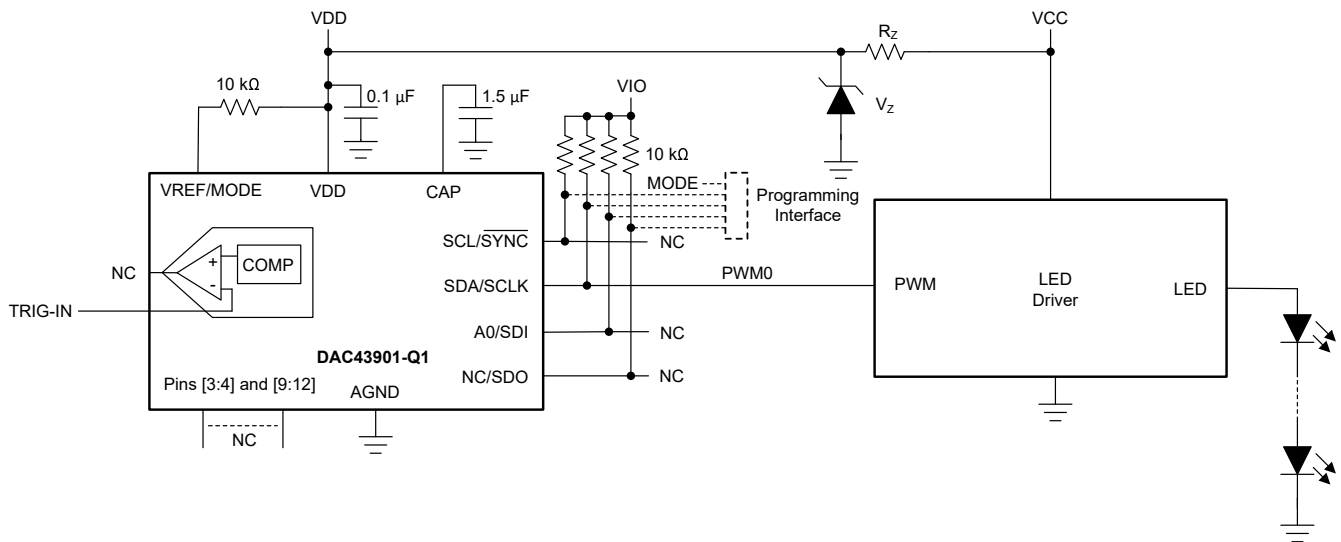


图 7-4. PWM 淡入淡出

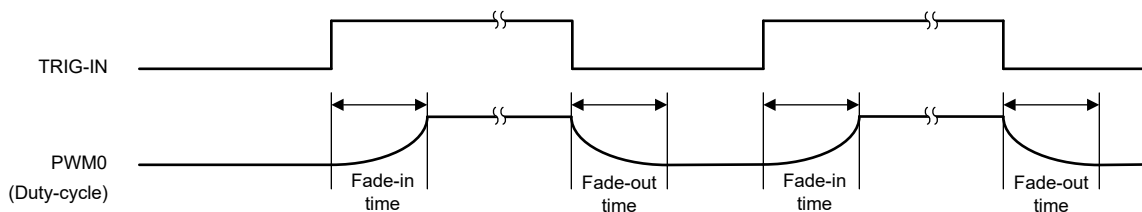


图 7-5. 淡入淡出高电平时序图

默认情况下，DAC43901-Q1 配置为 PWM 淡入淡出并使用默认设置，如表 7-4 所示。要更改 SRAM 的设置，请将 SRAM 地址写入 SRAM-ADDR 寄存器，然后将数据写入 SRAM-DATA 寄存器。寄存器位置可以用单个 I²C 或 SPI 序列直接写入。在淡入淡出模式或动画模式下，基本设置为淡入或淡出 SLEW_RATE，如图 7-6 所示。SLEW_RATE 定义了应用的时序分辨率。当 SLEW_RATE 与淡入或淡出中的步进数相乘时，会获得淡入或淡出时间。可以使用方程式 4 来计算 SLEW_RATE：在对数淡入或淡出中，步进数是非线性的，并且还取决于起始和结束占空比设置。总淡入或淡出时间通过方程式 5 和表 7-5 来计算。淡入可以在延迟之后开始，该延迟的计算方式为方程式 7。CH0-DELAY 定义了 PWM0 的淡入延迟，而 COM-DELAY 定义了 PWM1 的淡入延迟。即使通过为 FADE-IN SLEW_RATE 写入 0 来禁用淡入，也会应用该延迟。这种情况下将考虑预定义的延迟设置 256。淡出没有延迟。

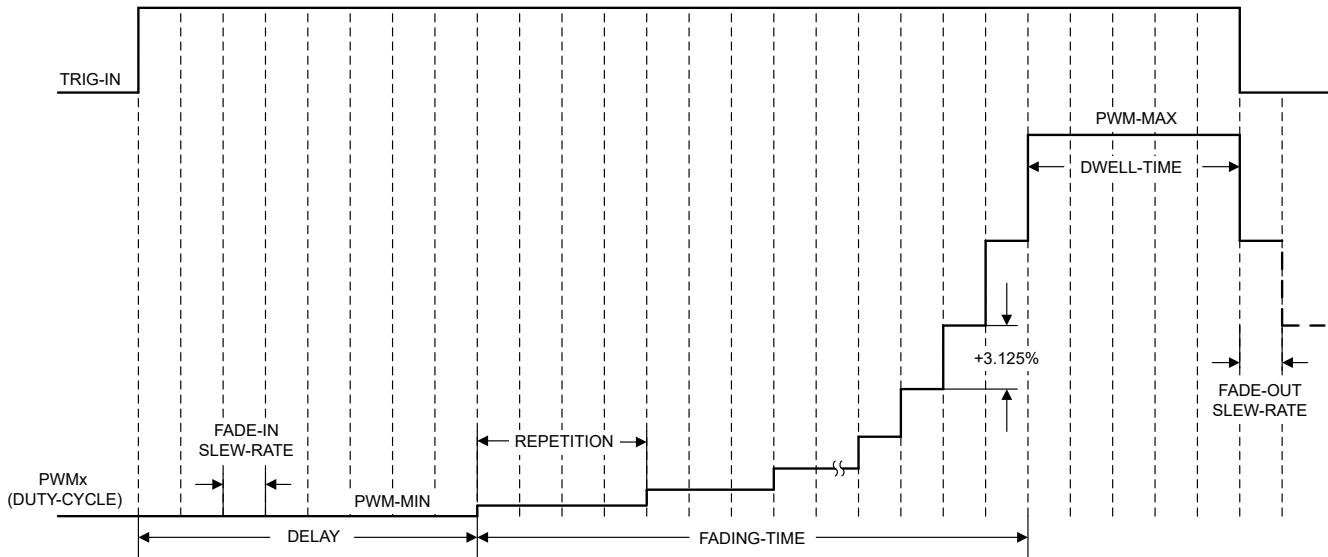


图 7-6. 淡入淡出详细时序图

$$t_{\text{SLEW}}(\mu\text{s}) = 2.4 \times \text{SLEW_RATE} + 5.6 \quad (4)$$

其中：

- $t_{\text{SLEW_RATE}}$ 是淡入或淡出单位时间，以毫米/步进为单位。
- SLEW_RATE 为 FADE-IN SLEW-RATE 或 FADE-OUT SLEW-RATE，如表 7-4 所指定。

计算淡入和淡出步进所需的伪代码如下所示：

```

min_duty = <user input>
max_duty = <use input>
if(min_duty == 0)
    min_duty = 1
#IF FADE-IN
current_duty = min_duty << 5
next_duty = integer(current_duty + (current_duty >> 5))
#ELIF FADE-OUT
current_duty = max_duty << 5
next_duty = integer(current_duty - (current_duty >> 5))
#ENDIF
current_duty = next_duty
output_duty = integer(next_duty >> 5)
#IF FADE-IN
if(output_duty > max_duty)
    output = max_duty
else
    output = output_duty
#ELIF FADE-OUT
if(output_duty < min_duty)
    output = min_duty
else
    output = output_duty
#ENDIF

```

$$t_{\text{FADE}} = t_{\text{SLEW_RATE}} \times \sum_{n = \text{PWM}_{\text{START}}}^{\text{PWM}_{\text{END}}} \text{REPETATION}(n) \quad (5)$$

其中：

- t_{FADE} 为总淡入或淡出时间，如图 7-6 所示。
- $t_{\text{SLEW_RATE}}$ 是淡入或淡出时间，以秒/步进为单位。
- SLEW_RATE 为 FADE-IN SLEW-RATE 或 FADE-OUT SLEW-RATE，如表 7-4 所指定。
- n 是 PWM 占空比对应的代码，如表 7-5 所指定。
- 对于淡入， $\text{PWM}_{\text{START}}$ 为 PWM-MIN 值，而对于淡出，则为 PWM-MAX 值，如表 7-4 所指定。
- 对于淡入， PWM_{END} 为 PWM-MAX 值，而对于淡出，则为 PWM-MIN 值，如表 7-4 所指定。
- $\text{REPETATION}(n)$ 是为每个 PWM 代码指定的 $\text{REPETITION}(\text{CODE})$ 值，如表 7-5 所指定。

表 7-6 展示了为器件配置所做的寄存器设置列表。

表 7-4. 淡入淡出配置

寄存器字段名称	位置	地址 [位]	默认值	说明
PWM-MAX	SRAM、NVM	0x21 [6:0]	0xF7	最大 PWM 占空比
PWM-MIN	SRAM、NVM	0x20 [6:0]	0x00	最小 PWM 占空比
FADE-IN SLEW-RATE	SRAM、NVM	0x23 [15:0]	0x0000	请参阅 方程式 4 和 方程式 5
FADE-OUT SLEW-RATE	SRAM、NVM	0x26 [15:0]	0x0000	请参阅 方程式 4 和 方程式 5
CH0-DELAY	SRAM、NVM	0x24 [15:0]	0x0000	PWM0 的延迟。请参阅 方程式 7
COM-DELAY	SRAM、NVM	0x25 [15:0]	0x0000	PWM1 的延迟。请参阅 方程式 7
PWM-FREQ	SRAM、NVM	0x22 [11:7]	0x00	频率选择，如 表 7-7 所示

表 7-5. 淡入步进

代码	REPETATION (CODE)	代码	REPETATION (CODE)	代码	REPETATION (CODE)	代码	REPETATION (CODE)	代码	REPETATION (CODE)
1	32	17	2	33	1	54	1	88	1
2	16	18	2	34	1	55	1	90	1
3	11	19	2	35	1	57	1	93	1
4	8	20	1	36	1	59	1	96	1
5	7	21	2	37	1	61	1	99	1
6	5	22	1	38	1	62	1	102	1
7	5	23	2	39	1	64	1	105	1
8	4	24	1	41	1	66	1	109	1
9	3	25	1	42	1	68	1	112	1
10	4	26	2	43	1	71	1	116	1
11	3	27	1	45	1	73	1	119	1
12	2	28	1	46	1	75	1	123	1
13	3	29	1	47Ω	1	77	1	127	1
14	2	30	1	49	1	80	1	—	—
15	2	31	1	50	1	82	1	—	—
16	2	32	1	52	1	85	1	—	—

表 7-6. DAC43901-Q1 寄存器设置

寄存器名称	地址	默认值
COMMON-CONFIG	0x1F	0x13FF
DAC-0-VOOUT-CMP-CONFIG	0x15	0x0407
STATE-MACHINE-CONFIG0	0x27	0x0003

表 7-7. PWM 频率配置

SRAM 位置	PWM-FREQ	PWM 频率 (kHz)	代码 1 的占空比 (%)	代码 126 的占空比 (%)
PWM-FREQ (0x22 [11:7])	0	无效	不适用	不适用
	1	48.828	4.88	95.12
	2	24.414	2.44	97.56
	3	16.276	1.63	98.37
	4	12.207	1.22	98.44
	5	8.138	0.81	98.44
	6	6.104	0.78	98.44
	7	3.052	0.78	98.44
	8	2.035	0.78	98.44
	9	1.526	0.78	98.44
	10	1.221	0.78	98.44
	11	1.017	0.78	98.44
	12	0.872	0.78	98.44
	13	0.763	0.78	98.44
	14	0.678	0.78	98.44
	15	0.610	0.78	98.44
	16	0.555	0.78	98.44
	17	0.509	0.78	98.44
	18	0.470	0.78	98.44
	19	0.436	0.78	98.44
	20	0.407	0.78	98.44
	21	0.381	0.78	98.44
	22	0.359	0.78	98.44
	23	0.339	0.78	98.44
	24	0.321	0.78	98.44
	25	0.305	0.78	98.44
	26	0.291	0.78	98.44
	27	0.277	0.78	98.44
	28	0.265	0.78	98.44
	29	0.254	0.78	98.44
	30	0.244	0.78	98.44
	31	0.218	0.78	98.44

PWM 的占空比与 7 位代码 (0d 至 126d) 成正比。如表 7-8 所示, 代码 127d 对应于 100% 占空比。跳过占空比 99.22% (127d/128d) 可以使用 7 位代码实现 100% 占空比。PWM 占空比设置由状态机完成, 不会向用户公开。

表 7-8. PWM 占空比设置

代码	占空比	说明
0	0%	始终为 0
1	0.78%	最小线性占空比
x	(x/128)%	x 是 2d 和 125d 之间的代码 (包含二者)
126	98.44%	最大线性占空比
127	100%	总是 1。跳过占空比 99.22% (127d/128d)。

7.4.3 顺序转向指示灯动画模式

DAC43901-Q1 和 DAC43902-Q1 支持针对顺序转向指示灯动画预配置的状态机，如图 7-7、图 7-8 和图 7-9 所示。淡入以对数方式进行。表 7-9 展示了 PWM 通道的引脚复用和编程接口。在独立模式下，PWM 输出在数字引脚上提供。当 VREF/MODE 引脚被拉高时，器件进入独立模式。此模式下禁用编程接口。器件根据 NVM 中的配置运行。数字编程接口 (I²C 和 SPI) 引脚是开漏输出，必须上拉才能用作 PWM 输出。将 VREF/MODE 引脚拉低可使器件进入编程模式。当 PWM 输出模式启用时，所有四个编程接口引脚都将用作 PWM 输出，即使不使用也是如此。无法进行部分选择。PWM 占空比分辨率为 7 位。动画图形由施加到 TRIG-IN 引脚的外部信号或通过控制智能 DAC 的电源来触发。当需要四个以上的通道时，可以通过菊花链式连接 TRIG-OUT (仅限 DAC43902-Q1) 和 TRIG-IN 引脚来级联多个器件，如图 7-8 所示。在某些情况下，LED 模块位于单独的子系统中，无法以菊花链形式连接器件；唯一常见的连接是电源。图 7-9 展示了一种配置，在该配置中，以下器件中第一个通道的延迟配置为与前置器件中所有通道的累积延迟保持一致。图 7-10 展示了顺序转向指示灯动画的时序图。节 7.4.2 介绍了淡入时序配置的设置方式。表 7-7 展示了 PWM 频率的配置方式。

表 7-9. 动画引脚映射

动画接口	多路复用编程引脚	引脚编号
PWM0	SDA/SCLK	8
PWM1	A0/SD1	7
PWM2 (仅限 DAC43902-Q1)	SCL/SYNC	6
PWM3 (仅限 DAC43902-Q1)	NC/SD0	5
TRIG-IN	TRIG-IN	1
TRIG-OUT (仅限 DAC43902-Q1)	TRIG-OUT	11

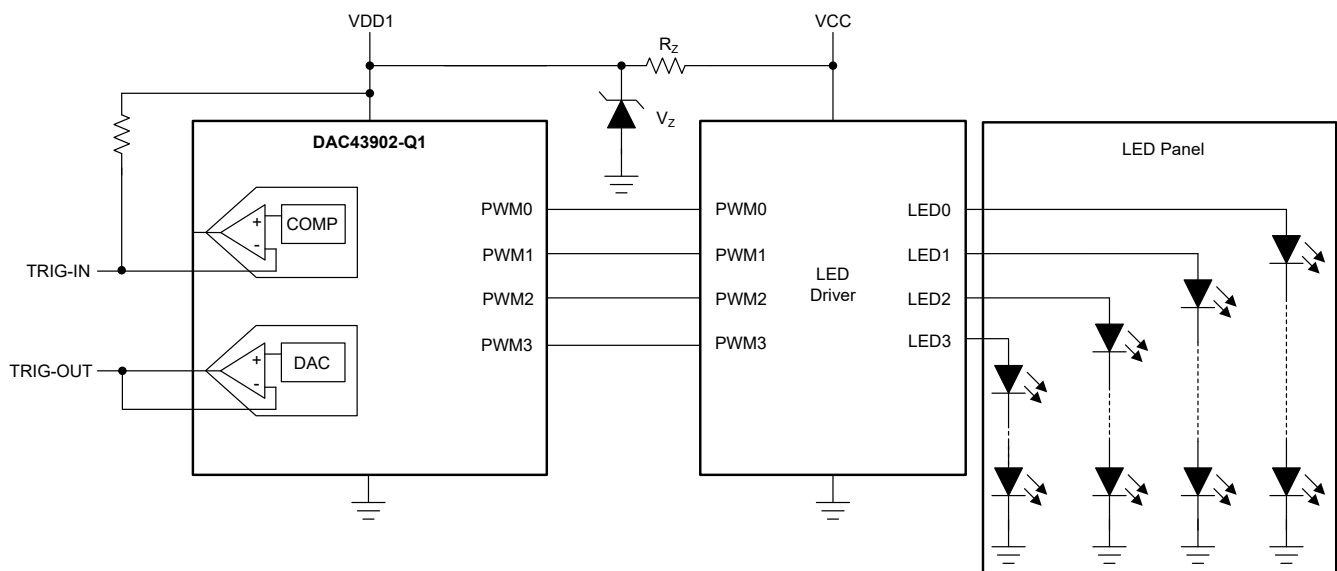


图 7-7. 顺序转向指示灯动画

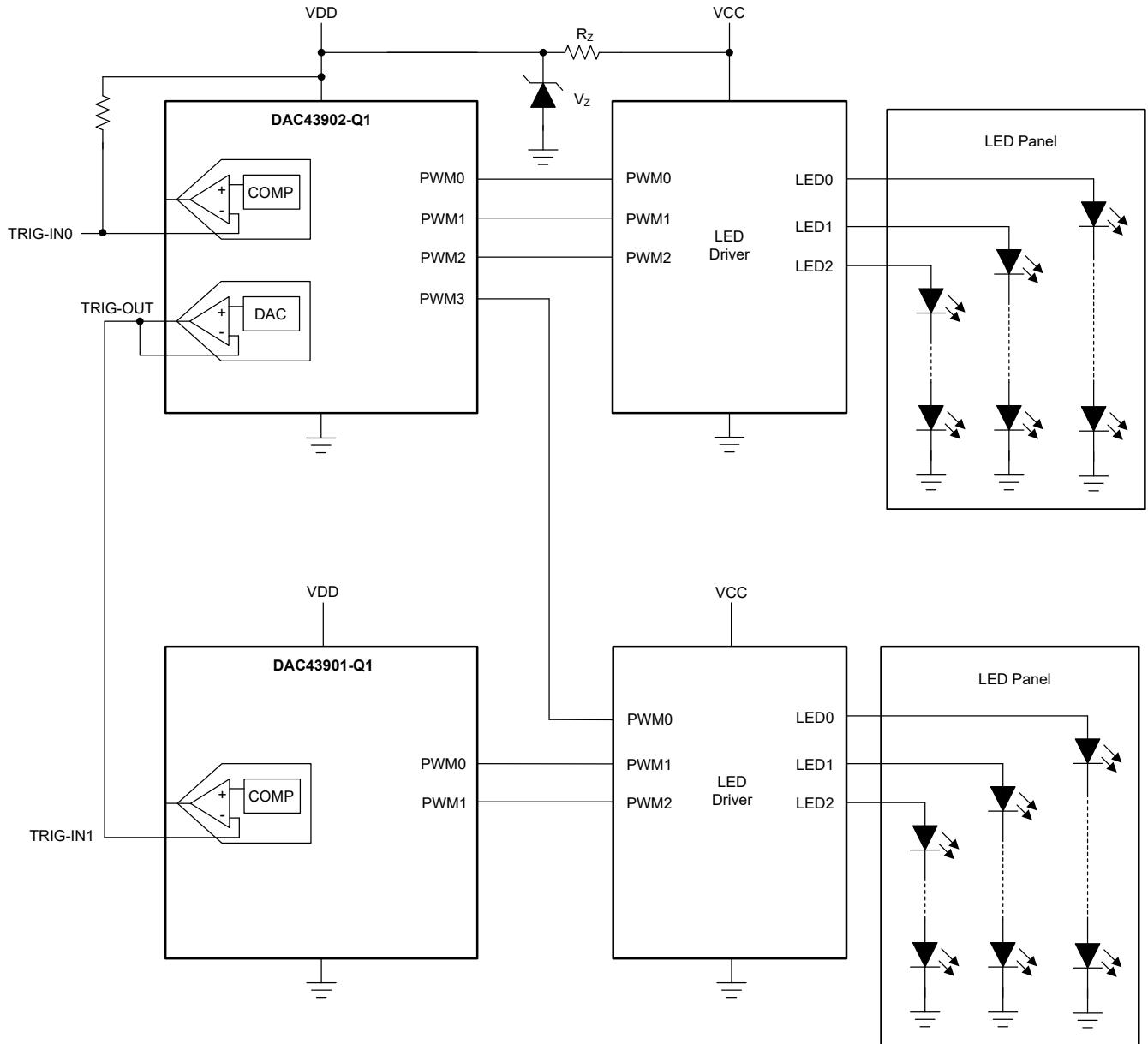


图 7-8. 具有级联器件的顺序转向指示灯动画

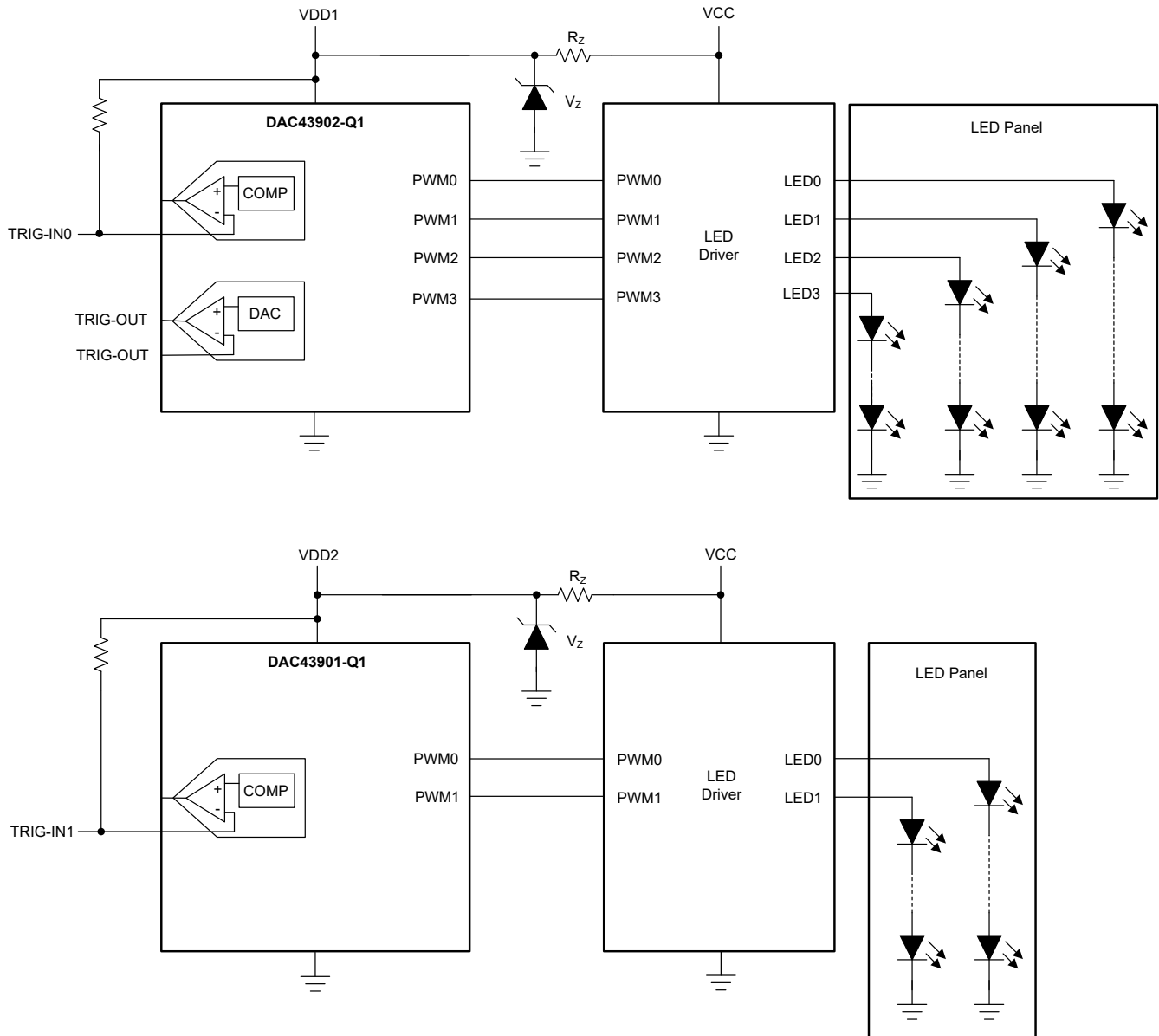


图 7-9. 使用未连接 LED 模块的顺序转向指示灯动画

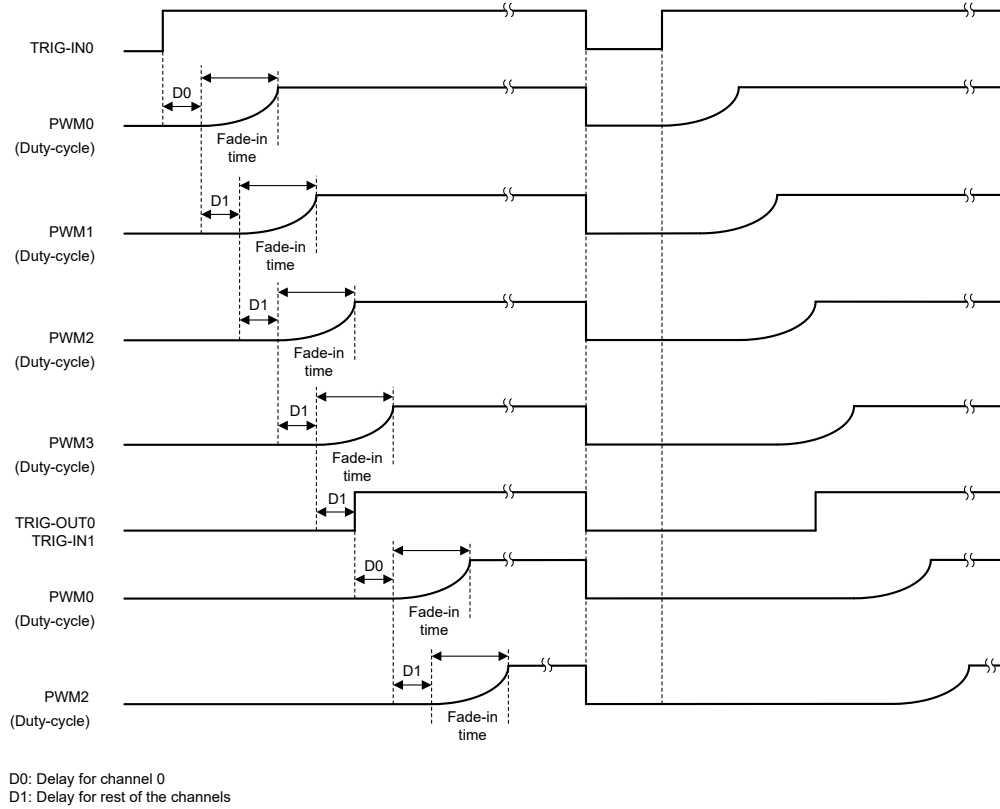


图 7-10. 顺序转向指示灯动画时序图

每个 PWM 通道都可以在相对于前一个相应通道的一定延迟后启动。图 7-10 显示第一个通道 PWM0 有单独的延迟，然后其他通道（包括 TRIG-OUT 引脚）有共同的延迟。方程式 6 给出了 DAC43902-Q1 的 SLEW-RATE 计算方法。方程式 5 给出了总淡入时间的计算方式。通道延迟是 SLEW-RATE（如方程式 4 所示）和延迟设置 CH0-DELAY 或 COM-DELAY 的函数。可根据方程式 7 来计算延迟。CH0-DELAY 定义了 PWM0 开始淡入操作之前的延迟，而 COM-DELAY 定义了所有其他 PWM 通道开始淡入操作之前的延迟，包括切换 TRIG-OUT 之前的延迟。即使通过为 FADE-IN-RATE 写入 0 来禁用淡入，该延迟也适用。这种情况下将考虑预定义的延迟设置 256。DAC43902-Q1 没有淡出功能。

$$t_{\text{SLEW}}(\mu\text{s}) = 2.4 \times \text{SLEW_RATE} + 5.6 \quad (6)$$

其中：

- $t_{\text{SLEW_RATE}}$ 是淡入单位时间，以微秒/步进为单位。
- 对于 DAC43902-Q1，SLEW_RATE 是表 7-10 中指定的 FADE-IN-RATE。

$$t_{\text{DELAY}} = \text{DELAY} \times t_{\text{SLEW}} \quad (7)$$

其中：

- t_{DELAY} 是每个通道淡入操作之前的延迟，以秒为单位。
- DELAY 为 CH0-DELAY 或 COM-DELAY，如表 7-10（对于 DAC43902-Q1）或表 7-4（对于 DAC43901-Q1）所指定。
- t_{SLEW} 为单位转换率，计算方式如方程式 4 所述。

表 7-10. 淡入配置

参数	位置	地址 [位]	默认值	说明
PWM-MAX	SRAM、NVM	0x21 [15:9]	0xF7	最大 PWM 占空比。
PWM-MIN	SRAM、NVM	0x20 [15:9]	0x00	最小 PWM 占空比。
FADE-IN-RATE	SRAM、NVM	0x23 [15:0]	0x0000	请参阅方程式 4、方程式 6 和方程式 5。
CH0-DELAY	SRAM、NVM	0x24 [15:0]	0x0000	PWM0 的延迟。
COM-DELAY	SRAM、NVM	0x25 [15:0]	0x0000	除 PWM0 之外所有通道和 TRIGGER-OUT 的延迟。
PWM-FREQ	SRAM、NVM	0x22 [11:7]	0x00	频率选择，如表 7-7 所示。

表 7-11 展示了为器件配置所做的寄存器设置列表。

表 7-11. DAC43902-Q1 寄存器设置

寄存器名称	地址	默认值
COMMON-CONFIG	0x1F	0x13F9
DAC-0-VOOUT-CMP-CONFIG	0x15	0x0407
DAC-1-VOOUT-CMP-CONFIG	0x03	0x0400
STATE-MACHINE-CONFIG0	0x27	0x0003

7.5 编程

7.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 DAC4390x-Q1 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。DAC4390x-Q1 的 SPI 帧长度为 24 位。因此， $\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-12 和图 7-11 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

表 7-12. SPI 读/写访问周期

位	字段	说明
23	R/W	将通信标识为地址寄存器的读或写命令：R/W = 0 设置写入操作。R/W = 1 设置读取操作
22-16	A[6:0]	寄存器地址：指定在读取或写入操作期间要访问的寄存器
15-0	DI[15:0]	数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为不用考虑值。

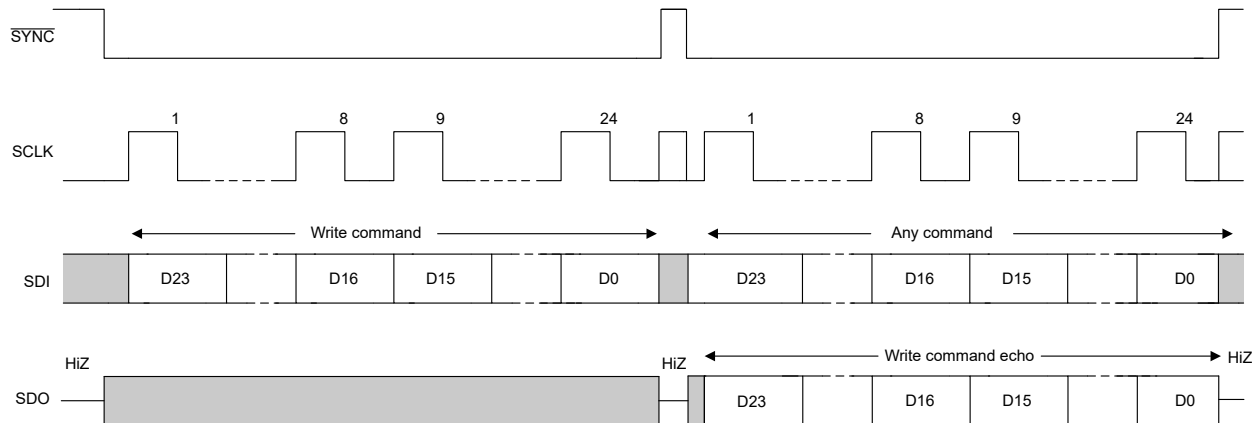


图 7-11. SPI 写入周期

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-13 和图 7-12 展示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出（请参阅图 6-3）。

表 7-13. SDO 输出访问周期

位	字段	说明
23	R/W	来自上一访问周期的回波 R/W
22-16	A[6:0]	来自上一访问周期的回波寄存器地址
15-0	DI[15:0]	上一访问周期中请求的回读数据

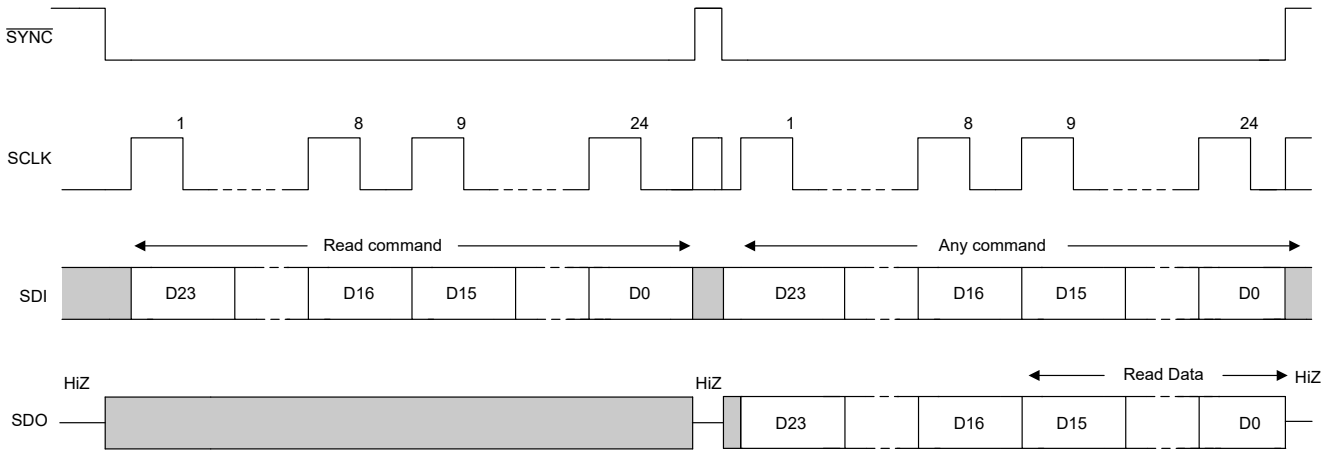


图 7-12. SPI 读取周期

菊花链操作也通过 SDO 引脚启用。在菊花链模式下，多个器件采用链式连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚，如图 7-13 所示。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-14 介绍了菊花链写入周期的数据包格式。

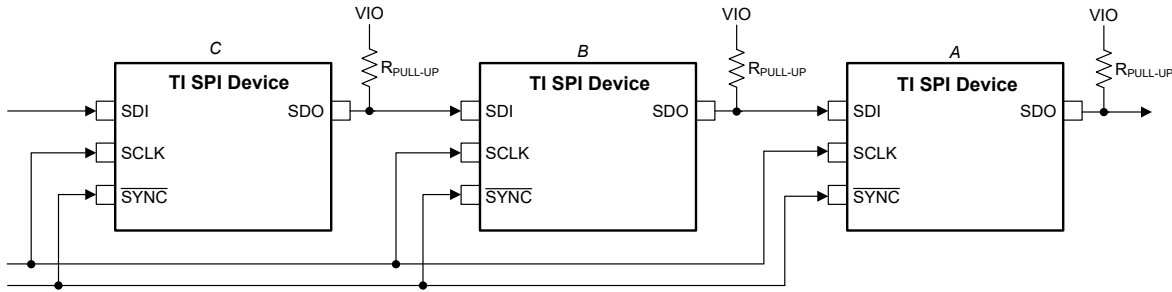


图 7-13. SPI 菊花链连接

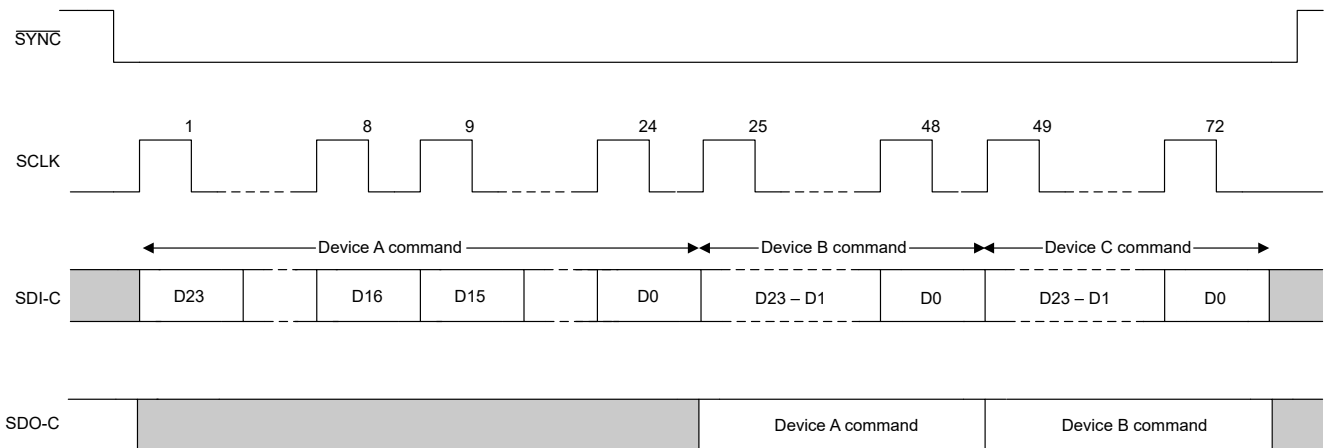


图 7-14. SPI 菊花链写入周期

7.5.2 I²C 编程模式

DAC4390x-Q1 器件具有两线制串行接口 (SCL 和 SDA) 和一个地址引脚 (A0)，如 *引脚配置和功能* 部分的引脚图所示。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为 *控制器*，而由控制器控制的器件称为 *目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件 (启动条件、重复启动条件和停止条件) 来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。DAC4390x-Q1 系列作为目标器件在 I²C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或传输数据。

通常，DAC4390x-Q1 系列充当目标接收器。控制器向 DAC4390x-Q1 (目标接收器) 写入数据。但是，如果控制器需要 DAC4390x-Q1 内部寄存器数据，则 DAC4390x-Q1 充当目标发送器。在这种情况下，控制器从 DAC4390x-Q1 读取数据。根据 I²C 术语，读写是指控制器。

DAC4390x-Q1 系列支持以下数据传输模式：

- 标准模式 (100Kbps)
- 快速模式 (400Kbps)
- 快速+ 模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。DAC4390x-Q1 系列支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿 (在第二个字节之后) 在器件内进行复位置位。

除了特定的时序信号外，I²C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 7-15 所示。

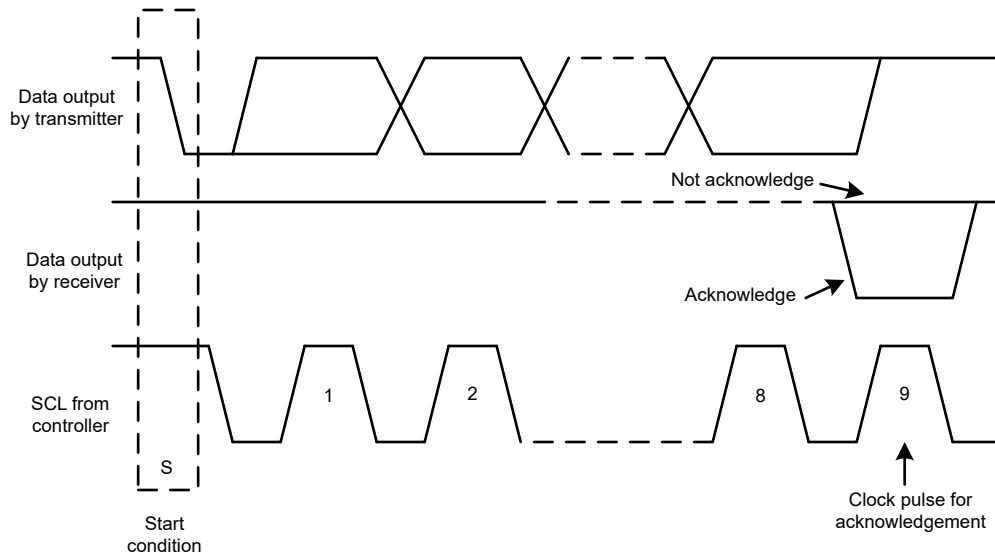


图 7-15. I²C 总线上的确认和非确认

7.5.2.1 F/S 模式协议

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 7-16 所示。所有与 I²C 兼容的器件都会识别启动条件。
2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/W)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 7-17 所示。所有

器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认，如图 7-15 所示。当控制器检测到此确认时，则表示与目标的通信链路已建立。

3. 控制器产生更多的 SCL 周期，以便向目标器件发送 (R/\bar{W} 位为 0) 数据或接收 (R/\bar{W} 位为 1) 数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件，如图 7-16 所示。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I²C 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

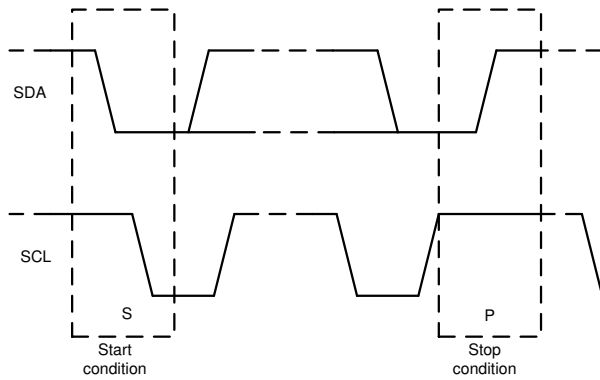


图 7-16. 启动和停止条件

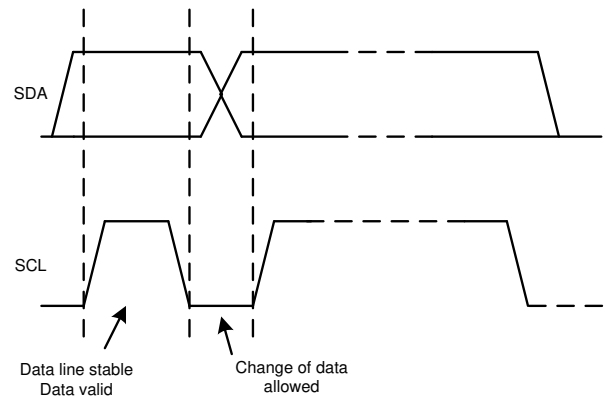


图 7-17. 在 I²C 总线上的位传输

7.5.2.2 I²C 更新序列

对于单次更新，DAC4390x-Q1 需要一个开始条件、一个有效的 I²C 地址字节、一个命令字节以及两个数据字节，如表 7-14 中所列。

表 7-14. 更新序列

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
地址 (A) 字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				数据字节 - MSDB				数据字节 - LSDB			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

收到每个字节后，DAC4390x-Q1 系列通过在单个时钟脉冲的高电平期间拉低 SDA 线来确认该字节，如图 7-18 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 DAC4390x-Q1。

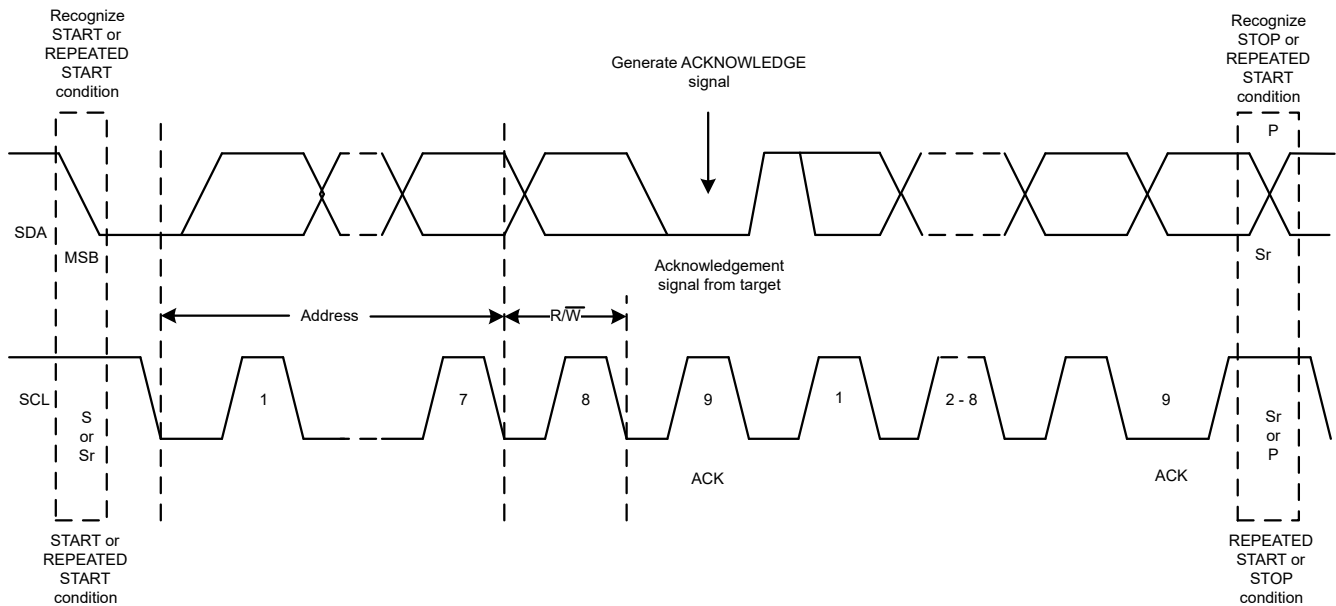


图 7-18. I²C 总线协议

命令字节设置所选 DAC4390x-Q1 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，DAC4390x-Q1 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。DAC4390x-Q1 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式 (时钟 = 400kHz) 时，最大 DAC 更新速率限制为 10kSPS。使用超快速模式 (时钟 = 1MHz) 时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，DAC4390x-Q1 器件将释放 I²C 总线并等待新的启动条件。

7.5.2.2.1 地址字节

地址字节 (如表 7-15 所示) 是在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值, 因此会根据表 7-16 响应该特定地址。

表 7-15. 地址字节

注释	MSB							LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
—								R/W
一般地址	1	0	0	1	请参阅表 7-16 (目标地址列)			0 或 1
广播地址	1	0	0	0	1	1	1	0

表 7-16. 地址格式

目标地址	A0 引脚
000	AGND
001	VDD
010	SDA
011	SCL

DAC4390x-Q1 支持使用广播地址来同步更新或关闭多个 DAC4390x-Q1 器件。使用广播地址时, 无论地址引脚状态如何, DAC4390x-Q1 都会进行响应。仅在写入模式下支持广播。

7.5.2.2.2 命令字节

寄存器映射部分中的寄存器名称表列出了 ADDRESS 列中的命令字节。

7.5.2.3 I²C 读取序列

要读取任何寄存器, 必须使用以下命令序列:

1. 发送启动或重复启动命令 (使用目标器件地址并将 R/W 位设置为 0 以进行写入)。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令 (使用目标器件地址并将 R/W 位设置为 1 以进行读取)。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后, 该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

表 7-17. 读取序列

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	
	地址字节 节 7.5.2.2.1				命令字节 节 7.5.2.2.2				Sr	地址字节 节 7.5.2.2.1				MSDB				LSDB				
来自控制器				目标	来自控制器				目标	来自控制器				目标	来自目标器件			控制器	来自目标器件			控制器

7.6 寄存器映射

表 7-18. 寄存器映射

寄存器	最高有效数据字节 (MSDB)								最低有效数据字节 (LSDB)							
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
NOP	NOP															
DAC-X-VOUT-CMP-CONFIG	X			VOUT-GAIN-x				X				CMP-x-OD-EN	CMP-x-OUT-EN	CMP-x-HIZ-IN-DIS	CMP-x-INV-EN	CMP-x-EN
COMMON-CONFIG	RESERVED	DEV-LOCK	RESERVED	EN-INT-REF	VOUT-PDN-0		RESERVED						VOUT-PDN-1		RESERVED	
COMMON-TRIGGER	DEV-UNLOCK				RESET				RESERVED						NVM-PROG	NVM-RELOAD
COMMON-PWM-TRIG	RESERVED			START-FUNCTION-A	RESERVED			START-FUNCTION-B	RESERVED			START-FUNCTION-C	RESERVED		START-FUNCTION-D	
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	RESERVED				NVM-BUSY	DEVICE-ID						VERSION-ID		
INTERFACE-CONFIG	X			TIMEOUT-EN	X			RESERVED	X				FSDO-EN	X	SDO-EN	
STATE-MACHINE-CONFIG0	RESERVED												SM-ABORT	SM-START	SM-EN	
SRAM-CONFIG	X								SRAM-ADDR							
SRAM-DATA	SRAM-DATA															

注意：阴影单元格表示存储在 NVM 中的寄存器位或字段。

注意：X = 不用考虑。

表 7-19. 寄存器名称

I ² C 或 SPI 地址 (命令字节)	寄存器名称	章节
00h	NOP	节 7.6.1
03h	DAC-1-VOUT-CMP-CONFIG	节 7.6.2
15h	DAC-0-VOUT-CMP-CONFIG	节 7.6.2
1Fh	COMMON-CONFIG	节 7.6.3
20h	COMMON-TRIGGER	节 7.6.4
21h	COMMON-PWM-TRIG	节 7.6.5
22h	GENERAL-STATUS	节 7.6.6
26h	INTERFACE-CONFIG	节 7.6.7
27h	STATE-MACHINE-CONFIG0	节 7.6.8
2Bh	SRAM-CONFIG	节 7.6.9
2Ch	SRAM-DATA	节 7.6.10

7.6.1 NOP 寄存器 (地址 = 00h) [复位 = 0000h]

图 7-19. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R/W-0h															

表 7-20. NOP 寄存器字段说明

位	字段	类型	复位	说明
15-0	NOP	R/W	0000h	无操作

7.6.2 DAC-x-VOUT-CMP-CONFIG 寄存器 (地址 = 15h、03h)

图 7-20. DAC-x-VOUT-CMP-CONFIG 寄存器 (x = 0、1)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		VOUT-GAIN-x				X				CMP-x-OD-EN	CMP-x-OUT-EN	CMP-x-HIZ-IN-DIS	CMP-x-INV-EN	CMP-x-EN	
X-0h		R/W-0h				X-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 7-21. DAC-x-VOUT-CMP-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12-10	VOUT-GAIN-x	R/W	0h	000 : 增益 = 1 ×, VREF/MODE 引脚上的外部基准 001 : 增益 = 1 ×, VDD 作为基准 010 : 增益 = 1.5 ×, 内部基准 011 : 增益 = 2 ×, 内部基准 100 : 增益 = 3 ×, 内部基准 101 : 增益 = 4 ×, 内部基准 其他 : 无效
9-5	X	X	0h	不用考虑
4	CMP-x-OD-EN	R/W	0	0 : 将比较器输出引脚设置为推挽输出 1 : 将比较器输出引脚设置为比较器模式下的开漏输出 (CMP-x-EN = 1 和 CMP-x-OUT-EN = 1)
3	CMP-x-OUT-EN	R/W	0	0 : 生成比较器输出, 但内部消耗 1 : 将比较器输出连接到相应的引脚
2	CMP-x-HIZ-IN-DIS	R/W	0	0 : TRIG-IN 输入具有高阻抗。输入电压范围受限。 1 : TRIG-IN 输入连接到电阻分压器并具有有限阻抗。输入电压范围与满量程相同。
1	CMP-x-INV-EN	R/W	0	0 : 请勿反转比较器输出 1 : 反转比较器输出
0	CMP-x-EN	R/W	0	0 : 禁用比较器模式 1 : 启用比较器模式。电流输出必须处于断电状态。必须启用电压输出模式。

7.6.3 COMMON-CONFIG 寄存器 (地址 = 1Fh)

图 7-21. COMMON-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	DEV-LOCK	RESERVED	EN-INT-REF	VOUT-PDN-0	RESERVED							VOUT-PDN-1	RESERVED		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-00b	R/W-7Fh							R/W-00b	R/W-1b		

表 7-22. COMMON-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0	始终写入 0。
14	DEV-LOCK	R/W	0	0：器件未锁定。 1：器件锁定，器件会锁定所有寄存器。要将此位重设为 0（解锁器件），需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段，然后向 DEV-LOCK 位写入 0。
13	RESERVED	R/W	0	始终写入 0。
12	EN-INT-REF	R/W	0	0：禁用内部基准。 1：启用内部基准。在使用内部基准增益设置之前，必须设置此位。
11-10、2-1	VOUT-PDN-x	R/W	11	00：给通道 x 上电 01：通过 10KΩ 连接至 AGND，将通道 x 断电 10：通过 100KΩ 连接至 AGND，将通道 x 断电 11：通过高阻态连接至 AGND，将通道 x 断电
9-3、0	RESERVED	R/W	1	始终写入 1。

7.6.4 COMMON-TRIGGER 寄存器 (地址 = 20h) [复位 = 0000h]

图 7-22. COMMON-TRIGGER 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				RESET				RESERVED				NVM-PROG	NVM-RELOAD		
R/W-0h				R/W-0h				R/W-00h				R/W-0h	R/W-0h		

表 7-23. COMMON-TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15-12	DEV-UNLOCK	R/W	0000	0101 : 器件解锁密码。要解锁器件, 首先写入此解锁密码, 然后将 0 写入 COMMON-CONFIG 寄存器中的 DEV-LOCK 位。 其他 : 不用考虑
11-8	RESET	W	0000	1010 : 触发 POR 复位。此位会自行复位。 其他 : 不用考虑
7-2	RESERVED	R/W	0	始终写入 00h。
1	NVM-PROG	R/W	0	0 : 不触发 NVM 写入 1 : 触发 NVM 写入。此位会自行复位。
0	NVM-RELOAD	R/W	0	0 : 不触发 NVM 重新加载 1 : 将数据从 NVM 重新加载到寄存器映射。此位会自行复位。

7.6.5 COMMON-PWM-TRIG 寄存器 (地址 = 21h) [复位 = 0000h]

图 7-23. COMMON-PWM-TRIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED			START-FUNC-A	RESERVED			START-FUNC-B	RESERVED			START-FUNC-C	RESERVED		START-FUNC-D	
W-0h			R/W-0h	W-0h			R/W-0h	W-0h			R/W-0h	W-0h		R/W-0h	

表 7-24. COMMON-PWM-TRIG 寄存器字段说明

位	字段	类型	复位	说明
15-13、11-9、7-5、3-1	RESERVED	W	0	始终写入 0。
12、8、4、0	START-FUNCTION-x	R/W	0	0 : 停止 PWM 生成 1 : 无效。该位由状态机自动设置。

7.6.6 GENERAL-STATUS 寄存器 (地址 = 22h) [复位 = 00h、DEVICE-ID、VERSION-ID]

图 7-24. GENERAL-STATUS 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	RESERVED					NVM-BUSY	DEVICE-ID					VERSION-ID		
R-0h	R-0h	R-0h					R-0h	R					R-0h		

表 7-25. GENERAL-STATUS 寄存器字段说明

位	字段	类型	复位	说明
15	NVM-CRC-FAIL-INT	R	0	0 : OTP 中无 CRC 错误。 1 : 表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。
14	NVM-CRC-FAIL-USER	R	0	0 : NVM 加载中无 CRC 错误。 1 : 表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。
13	X	R	0	不用考虑
8	NVM-BUSY	R	0	0 : NVM 可用于读取和写入。 1 : NVM 不可用于读取或写入。
7-2	DEVICE-ID	R	DAC43901-Q1 : 16h DAC43902-Q1 : 15h	器件标识符
1-0	VERSION-ID	R	00	版本标识符

7.6.7 INTERFACE-CONFIG 寄存器 (地址 = 26h) [复位 = 0000h]

图 7-25. INTERFACE-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X		TIMEOUT-EN	RESERVED								FSDO-EN	X	SDO-EN		
X-0h		R/W-0h	R/W-0h								R/W-0h	X-0h	R/W-0h		

表 7-26. INTERFACE-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-13	X	X	0h	不用考虑
12	TIMEOUT-EN	R/W	0	0 : 禁用 I ² C 超时 1 : 启用 I ² C 超时
11-9	RESERVED	R/W	0h	始终写入 0h
2	FSDO-EN	R/W	0	0 : 禁用快速 SDO (FSDO) 1 : 启用快速 SDO
1	X	X	0	不用考虑
0	SDO-EN	R/W	0	0 : 禁用 SDO 1 : 启用 SDO。

7.6.8 STATE-MACHINE-CONFIG0 寄存器 (地址 = 27h) [复位 = 0003h]

图 7-26. STATE-MACHINE-CONFIG0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED												SM-ABORT	SM-START	SM-EN	
R/W-0h												R/W-0h	R/W-1	R/W-1	

表 7-27. STATE-MACHINE-CONFIG0 寄存器字段说明

位	字段	类型	复位	说明
15-3	RESERVED	R/W	0000h	始终写入 0。
2	SM-ABORT	R/W	0	0：状态机未中止。 1：状态机已中止。
1	SM-START	R/W	1	0：状态机已停止。 1：状态机已启动。必须使用 SM-EN 位来启用状态机。
0	SM-EN	R/W	1	0：状态机已禁用。 1：状态机已启用。

7.6.9 SRAM-CONFIG 寄存器 (地址 = 2Bh) [复位 = 0000h]

图 7-27. SRAM-CONFIG 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X								SRAM-ADDR							
X-00h								R/W-00h							

表 7-28. SRAM-CONFIG 寄存器字段说明

位	字段	类型	复位	说明
15-8	X	X	00h	不用考虑
7-0	SRAM-ADDR	R/W	00h	8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。

7.6.10 SRAM-DATA 寄存器 (地址 = 2Ch) [复位 = 0000h]

图 7-28. SRAM-DATA 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0000h															

表 7-29. SRAM-DATA 寄存器字段说明

位	字段	类型	复位	说明
15-0	SRAM-DATA	R/W	0000h	16 位 SRAM 数据。在 SRAM-CONFIG 寄存器中配置的地址中读写数据。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

DAC4390x-Q1 是智能 DAC 系列，提供基于 PWM 的对数调光。DAC43902-Q1 提供四个 PWM 输出，具有可配置的对数淡入时间以及每个通道之间的延迟，可用于实现汽车转向指示灯的顺序模式。DAC43901-Q1 提供两个 PWM 输出，具有可配置的淡入淡出时间，适用于汽车内部和外部照明。这两款器件都支持高电平有效 GPI 触发信号来启动 PWM 输出的淡入。DAC43902-Q1 还具有一个触发输出，可用于级联多个 DAC43902-Q1 器件。PWM 输出位于器件的数字接口引脚上。所有数字输出均为开漏输出；应在这些引脚上使用外部上拉电阻器。在上电时检测接口协议，只要 VDD 打开，器件就会锁定到该协议。在 I²C 模式下，分配系统中的 I²C 地址时，还应考虑广播地址。可以启用 I²C 超时以确保稳健性。SPI 模式默认为三线模式。对配置进行初始编程后，器件的 MODE 引脚会被拉高，以启用数字引脚上的 PWM 输出。这些器件中提供的 NVM 可用于存储必要的配置设置，以便器件可以在独立模式下工作，而无需处理器。

8.2 典型应用

本节介绍了使用 DAC43901-Q1 设计具有淡入和淡出功能的内部照明以及使用 DAC43902-Q1 设计顺序转向指示灯的设计详细信息。

8.2.1 顺序转向指示灯

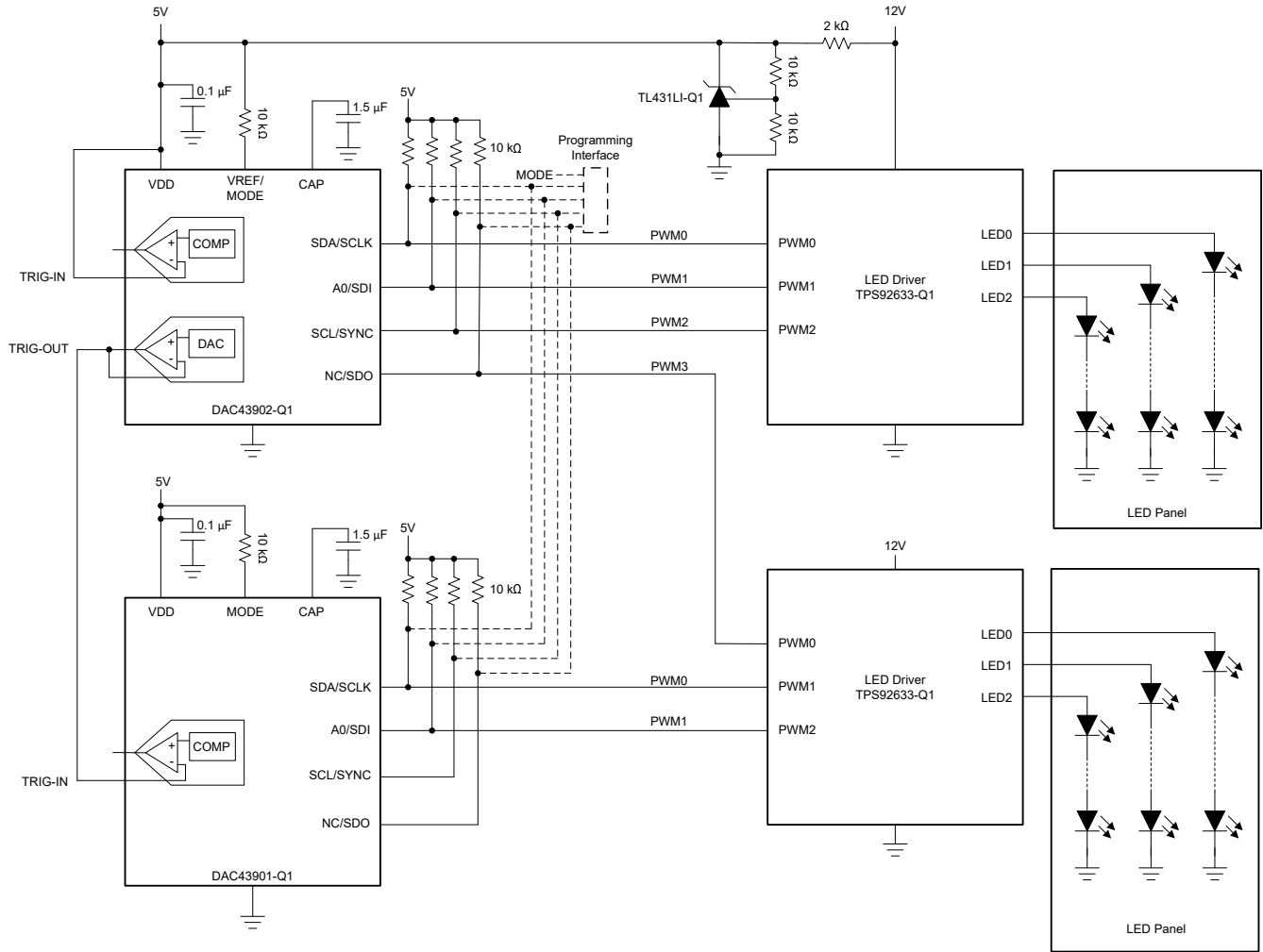


图 8-1. 顺序转向指示灯

本应用示例介绍了用于在感知上实现 LED 线性淡入淡出的顺序转向指示灯。DAC43902-Q1 具有四个 PWM 输出通道，每个通道之间具有可配置的延迟，用于创建顺序模式。图 8-1 展示了如何通过级联 DAC43902-Q1 和 DAC43901-Q1 器件来产生具有四个以上通道的顺序模式。

8.2.1.1 设计要求

表 8-1. 设计参数

参数	值
淡入时间	100.2ms
通道延迟	100.2ms
PWM 频率	218Hz
占空比范围	0% 至 100%

8.2.1.2 详细设计过程

TL431LI-Q1 可调节精密并联稳压器可用于通过 12V 系统电压为 DAC43902-Q1 供电。TL431LI-Q1 具有 2.5V 精密基准。如简化图中所示，这里使用两个 10kΩ 电阻器将输出电压调节至 5V，从而为 DAC43902-Q1 供电。

在某些尾灯设计中，LED 驱动器由 PWM 信号供电来控制 LED 的闪烁。如果是这种情况，DAC43902-Q1 的触发输入可以连接到 VDD。顺序转弯动画会在施加 VDD 时自动开始。

DAC43902-Q1 中的状态机默认启用；因此，当 VREF/MODE 引脚被拉高时，PWM 输出将使用默认设置。要更改这些默认参数，请将 VREF/MODE 引脚拉至低电平以进入编程模式，并向 STATE-MACHINE-CONFIG0 寄存器的 SM-START 和 SM-EN 位写入 0 以禁用状态机。状态机禁用后，对 SRAM 参数和寄存器设置进行编程，以配置 DAC43902-Q1：

在 TRIG-IN 的上升沿，DAC43902-Q1 PWM 输出淡入至 PWM-MAX 参数中定义的 7 位 PWM 占空比，该参数位于 SRAM 位置 0x21 的位 [6:0]。在 TRIG-IN 的下降边沿上，PWM 输出跳至 PWM-MIN 参数中定义的 7 位 PWM 占空比，该参数位于 SRAM 位置 0x20 的位 [6:0]。

5 位 PWM 频率在 PWM-FREQ 参数中设置，该参数位于 SRAM 位置 0x22 的位 [11:7]。表 7-7 中介绍了可用的 PWM 频率。示例原理图中使用的 TPS92633-Q1 LED 驱动器建议使用 200Hz PWM 频率和 1% 至 100% 占空比进行亮度控制。在这种情况下，可以在 PWM-FREQ 中将最大频率设置为 31，从而获得 218Hz 的 PWM 输出频率。确保在将参数加载到 SRAM 位置时将此值左移 7 位。

四个 PWM 输出通道使用 FADE-IN SLEW-RATE 参数所定义的相同淡入速率，该参数位于 SRAM 位置 0x23 的位 [15:0]。总淡入时间可以使用方程式 4 和方程式 5 来计算。方程式 4 中使用了 SLEW-RATE 参数来获得 $t_{\text{SLEW_RATE}}$ ，单位为 ms/step。例如，如果 FADE-IN SLEW-RATE 参数使用值 235，则得到的 $t_{\text{SLEW_RATE}}$ 为：0.569ms/step。

表 7-5 中给出的信息用于计算淡入模式下占空比步进总数。如果 PWM-MIN 设置为 0 且 PWM-MAX 设置为 0x7F，总共需要 176 个步进。方程式 5 计算得出总淡出时间 t_{FADE} 为 100.2ms。

每个通道之间的延迟在 CH0-DELAY 和 DELAY 参数中进行配置，这两个参数分别位于 SRAM 位置 0x24 和 0x25 的位 [15:0]。CH0-DELAY 表示触发信号上升沿和通道 0 启动之间的延迟。COM-DELAY 表示通道 0 启动和通道 1 启动之间、通道 1 启动和通道 2 启动之间，以及通道 2 启动和通道 3 启动之间的延迟。延迟时间可以使用方程式 7 来计算。如果 COM-DELAY 参数中将延迟值设置为 176，则延迟为 100.2ms。

配置所有寄存器设置和 SRAM 参数后，通过向 STATE-MACHINE-CONFIG0 寄存器的 SM-START 和 SM-EN 位写入 1 来重新启动状态机。通过将 1 写入 COMMON-TRIGGER 寄存器的 NVM-PROG 位，将这些设置保存到 NVM 中。将 VREF/MODE 引脚拉高，以将器件置于独立模式并启用数字接口引脚上的 PWM 输出。

还需要将 SRAM 参数和寄存器设置应用于级联中的第二个 DAC43902-Q1 或 DAC43901-Q1。将第一个 DAC43902-Q1 通道 1 上的 TRIG-OUT 应用于第二个器件 TRIG-IN 上的触发输入。

下面给出了开始使用顺序转向指示灯应用所需的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME (REGISTER ADDRESS)>, <MSB DATA>, <LSB DATA>
//Pull VREF/MODE pin low to enter programming mode
//Disable the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x00
//Power-up DAC channels 0 and 1, disable the internal reference
WRITE COMMON-CONFIG(0x1F), 0x03, 0xF9
//Enable comparator settings for channel 0, and set reference to VDD
WRITE DAC-0-VOUT-CMP-CONFIG(0x15), 0x04, 0x07
//Set the reference for channel 1 to VDD
WRITE DAC-1-VOUT-CMP-CONFIG(0x3), 0x04, 0x00
//Set the comparator threshold to mid-scale
WRITE SRAM-ADDR(0x2B), 0x00, 0x27
WRITE SRAM-DATA(0x2C), 0x80, 0x00
//Set max PWM duty cycle to 100%
WRITE SRAM-ADDR(0x2B), 0x00, 0x21
WRITE SRAM-DATA(0x2C), 0x00, 0x7F
//Set min PWM duty cycle to 0%
WRITE SRAM-ADDR(0x2B), 0x00, 0x20
WRITE SRAM-DATA(0x2C), 0x00, 0x00
//Set PWM frequency to 218Hz
WRITE SRAM-ADDR(0x2B), 0x00, 0x22
WRITE SRAM-DATA(0x2C), 0x0F, 0x80
//Set fade-in time to 100.2 ms
WRITE SRAM-ADDR(0x2B), 0x00, 0x23
WRITE SRAM-DATA(0x2C), 0x00, 0xEB
//Set the CH0 delay to 0
WRITE SRAM-ADDR(0x2B), 0x00, 0x24
WRITE SRAM-DATA(0x2C), 0x00, 0x00
//Set the COM delay to 100.2 ms
WRITE SRAM-ADDR(0x2B), 0x00, 0x25
WRITE SRAM-DATA(0x2C), 0x00, 0xB0
//Enable and start the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Save all settings in NVM
WRITE COMMON-TRIGGER(0x20) 0x00, 0x02
//Pull the VREF/MODE pin high to enter standalone mode
```

8.2.1.3 应用曲线

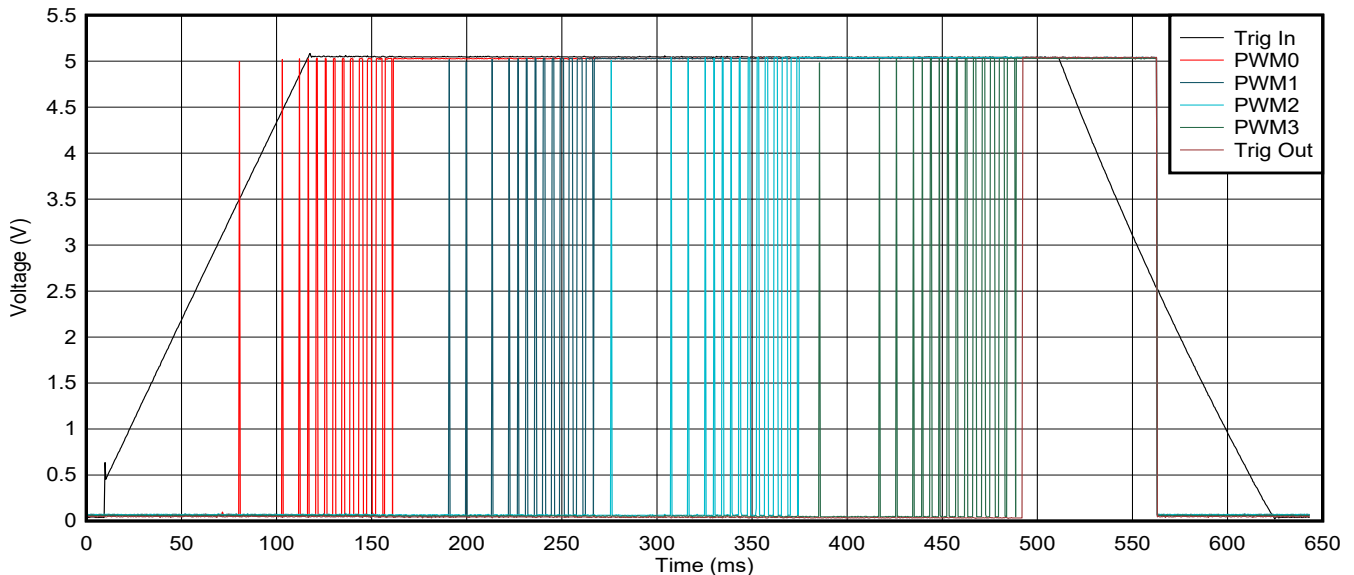


图 8-2. 顺序转向指示灯曲线图

8.2.2 对数淡入淡出

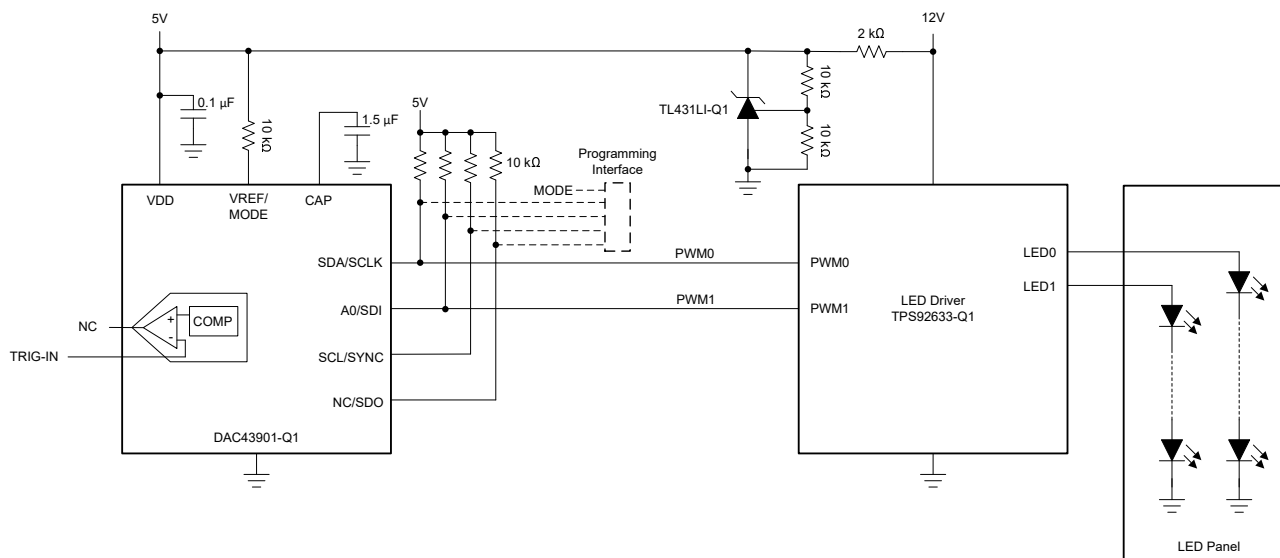


图 8-3. 对数淡入淡出

人眼对光线的感知遵循对数规律。为了让人眼感知到灯光呈线性淡入或淡出，LED 的亮度必须以对数方式进行渐变。DAC43901-Q1 提供两个 PWM 通道，可轻松控制转换和对数淡入淡出，无需微控制器即可实现汽车内部灯光的平滑调光。DAC43901-Q1 具有一个 GPI 触发信号，可控制两个通道的淡入淡出以及每通道之间的可配置延迟。图 8-3 所示为一个示例原理图。

8.2.2.1 设计要求

表 8-2. 设计参数

参数	值
淡入淡出时间	1s
通道延迟	500ms
PWM 频率	218Hz
占空比范围	0% 至 100%

8.2.2.2 详细设计过程

TL431LI-Q1 可调节精密并联稳压器可用于通过 12V 系统电压为 DAC43901-Q1 供电。TL431LI-Q1 具有 2.5V 精密基准。如简化图中所示，这里使用两个 10kΩ 电阻器将输出电压调节至 5V，从而为 DAC43901-Q1 供电。

DAC43901-Q1 中的状态机默认启用；因此，当 VREF/MODE 引脚被拉高时，PWM 输出将与预设参数一起使用。要更改这些默认参数，请将 VREF/MODE 引脚拉至低电平以进入编程模式，并向 STATE-MACHINE-CONFIG0 寄存器的 SM-START 和 SM-EN 位写入 0 以禁用状态机。状态机禁用后，对以下 SRAM 参数和寄存器设置进行编程：

在 TRIG-IN 的上升沿，DAC43901-Q1 PWM 输出淡入至 PWM-MAX 参数中定义的 7 位 PWM 占空比，该参数位于 SRAM 位置 0x21 的位 [6:0]。在 TRIG-IN 的下降边沿上，PWM 输出淡出至 PWM-MIN 参数中定义的 7 位 PWM 占空比，该参数位于 SRAM 位置 0x20 的位 [6:0]。

5 位 PWM 频率在 PWM-FREQ 参数中设置，该参数位于 SRAM 位置 0x22 的位 [11:7]。表 7-7 中介绍了可用的 PWM 频率。示例原理图中使用的 TPS92633-Q1 LED 驱动器建议使用 200Hz PWM 频率和 1% 至 100% 占空比进行亮度控制。在这种情况下，可以在 PWM-FREQ 中将最大频率设置为 31，从而获得 218Hz 的 PWM 输出频率。确保在将参数加载到 SRAM 位置时将此值左移 7 位。

两个 PWM 输出通道使用 FADE-IN SLEW-RATE 和 FADE-OUT SLEW-RATE 参数中定义的相同淡入速率和淡出速率，这两个参数分别位于 SRAM 位置 0x23 和 0x26 的位 [15:0]。总淡入或淡出时间可以使用 [方程式 4](#) 和 [方程式 5](#) 来计算。[方程式 4](#) 中使用了 SLEW-RATE 参数来获得 $t_{\text{SLEW-RATE}}$ ，单位为 ms/step。例如，如果 FADE-IN SLEW-RATE 参数使用值 2366，则得到的 $t_{\text{SLEW-RATE}}$ 为 5.68ms/step。

[表 7-5](#) 中给出的信息用于计算淡入或淡出转换中的占空比步进总数。如果 PWM-MIN 设置为 0 且 PWM-MAX 设置为 0x7F，则总共需要 176 个步进。使用 [方程式 5](#) 可计算得出总淡出时间 t_{FADE} 为一秒。

每个通道之间的延迟在 CH0-DELAY 和 DELAY 参数中进行配置，这两个参数分别位于 SRAM 位置 0x24 和 0x25 的位 [15:0]。CH0-DELAY 表示触发信号上升沿和通道 0 启动之间的延迟。COM-DELAY 表示通道 0 启动和通道 1 启动之间的延迟。延迟时间可以使用 [方程式 7](#) 来计算。如果在 COM-DELAY 参数中将延迟值设置为 88，则通道 0 启动和通道 1 启动之间的延迟为 500ms。

配置所有寄存器设置和 SRAM 参数后，通过向 STATE-MACHINE-CONFIG0 寄存器的 SM-START 和 SM-EN 位写入 1 来重新启动状态机。通过将 1 写入 COMMON-TRIGGER 寄存器的 NVM-PROG 位，将这些设置保存到 NVM 中。将 VREF/MODE 引脚拉高，以将 DAC43901-Q1 置于独立模式并启用数字接口引脚上的 PWM 输出。

下面给出了开始使用对数淡入淡出应用所需的伪代码：

```
//SYNTAX: WRITE <REGISTER NAME (REGISTER ADDRESS)>, <MSB DATA>, <LSB DATA>
//Pull VREF/MODE pin low to enter programming mode
//Disable the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x00
//Power-up DAC channel 0, disable the internal reference
WRITE COMMON-CONFIG(0x1F), 0x03, 0xFF
//Enable comparator settings for channel 0, and set reference to VDD
WRITE DAC-0-VOUT-CMP-CONFIG(0x15), 0x04, 0x07
//Set the comparator threshold to mid-scale
WRITE SRAM-ADDR(0x2B), 0x00, 0x27
WRITE SRAM-DATA(0x2C), 0x80, 0x00
//Set max PWM duty cycle to 100%
WRITE SRAM-ADDR(0x2B), 0x00, 0x21
WRITE SRAM-DATA(0x2C), 0x00, 0x7F
//Set min PWM duty cycle to 0%
WRITE SRAM-ADDR(0x2B), 0x00, 0x20
WRITE SRAM-DATA(0x2C), 0x00, 0x00
//Set PWM frequency to 218Hz
WRITE SRAM-ADDR(0x2B), 0x00, 0x22
WRITE SRAM-DATA(0x2C), 0x0F, 0x80
//Set fade-in time to 1 s
WRITE SRAM-ADDR(0x2B), 0x00, 0x23
WRITE SRAM-DATA(0x2C), 0x09, 0x39
//Set fade-out time to 1 s
WRITE SRAM-ADDR(0x2B), 0x00, 0x26
WRITE SRAM-DATA(0x2C), 0x09, 0x3E
//Set the CH0 delay to 0
WRITE SRAM-ADDR(0x2B), 0x00, 0x24
WRITE SRAM-DATA(0x2C), 0x00, 0x00
//Set the COM delay to 500 ms
WRITE SRAM-ADDR(0x2B), 0x00, 0x25
WRITE SRAM-DATA(0x2C), 0x00, 0x58
//Enable and start the state machine
WRITE STATE-MACHINE-CONFIG0(0x27), 0x00, 0x03
//Save all settings in NVM
WRITE COMMON-TRIGGER(0x20) 0x00, 0x02
//Pull the VREF/MODE pin high to enter standalone mode
```

8.3 电源相关建议

DAC4390x-Q1 不需要特定的电源时序。这些器件需要单个电源 V_{DD} 。但是，应确保在 V_{DD} 之后施加外部电压基准。 V_{DD} 引脚应使用 $0.1\mu\text{F}$ 去耦电容器。CAP 引脚应使用约 $1.5\mu\text{F}$ 的旁路电容器。

8.4 布局

8.4.1 布局指南

DAC4390x-Q1 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

8.4.2 布局示例

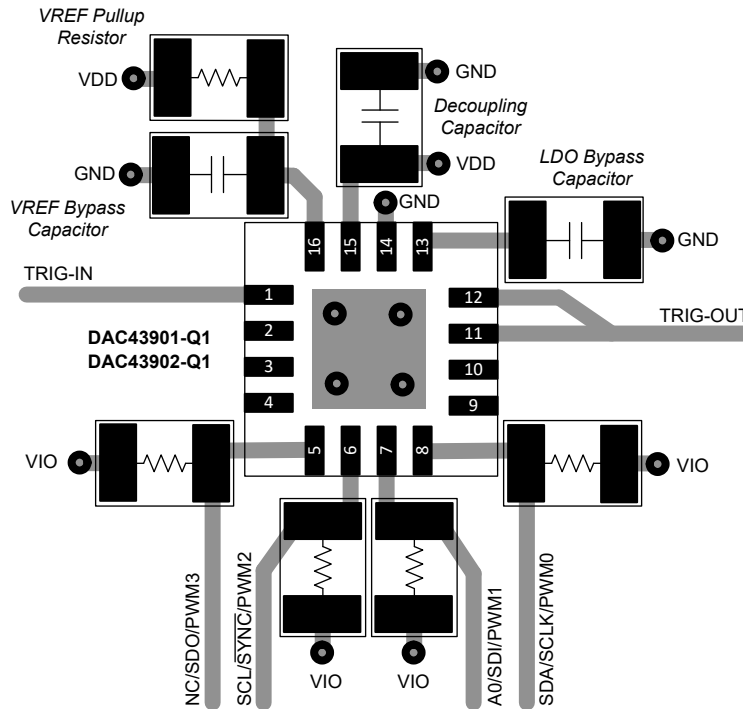


图 8-4. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。将散热焊盘连接至地。

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC43901RTERQ1	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	43901Q	Samples
DAC43902RTERQ1	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	43902Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

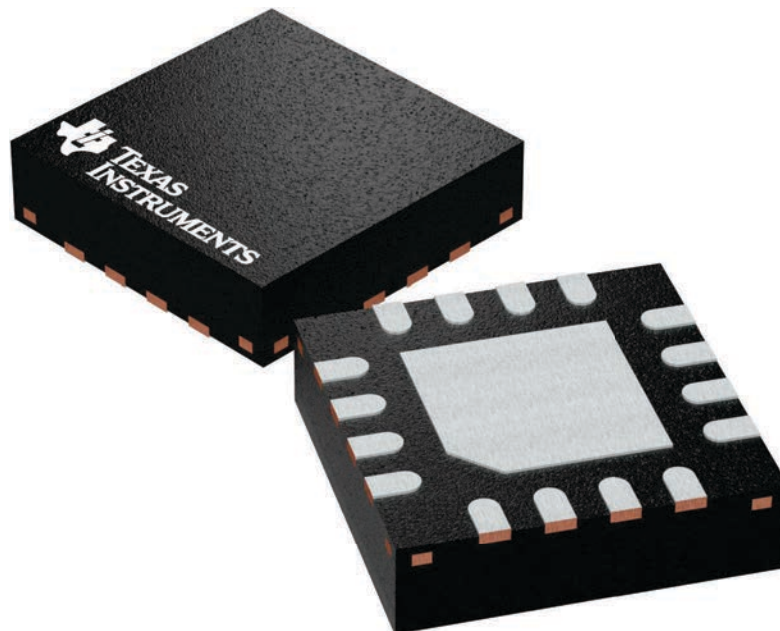
RTE 16

WQFN - 0.8 mm max height

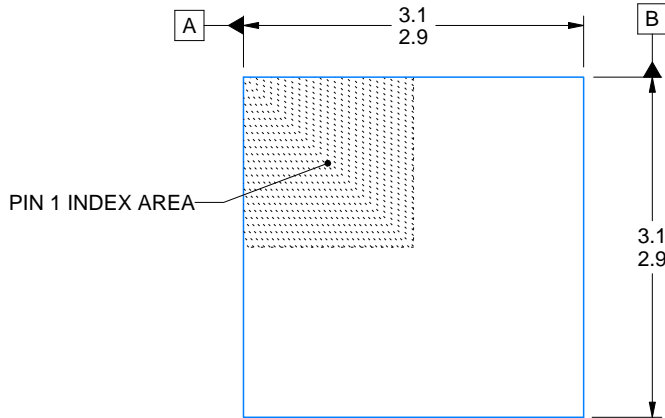
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

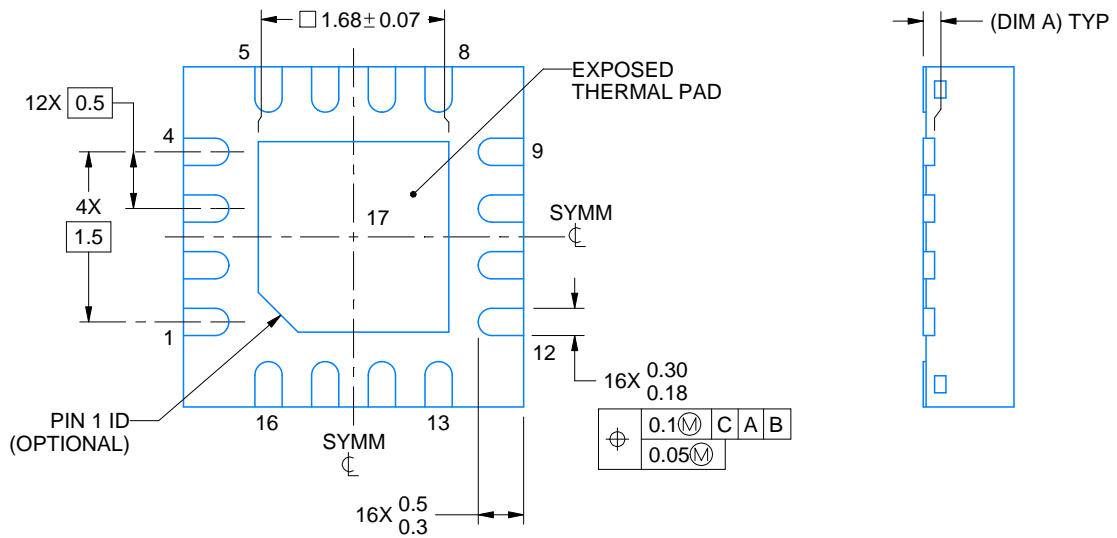
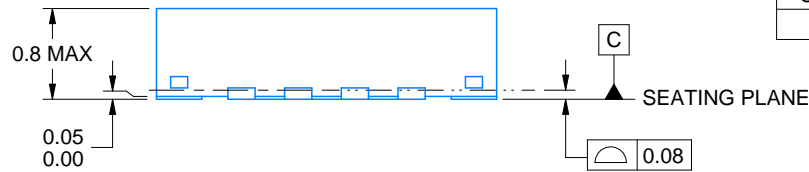
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4219117/B 04/2022

NOTES:

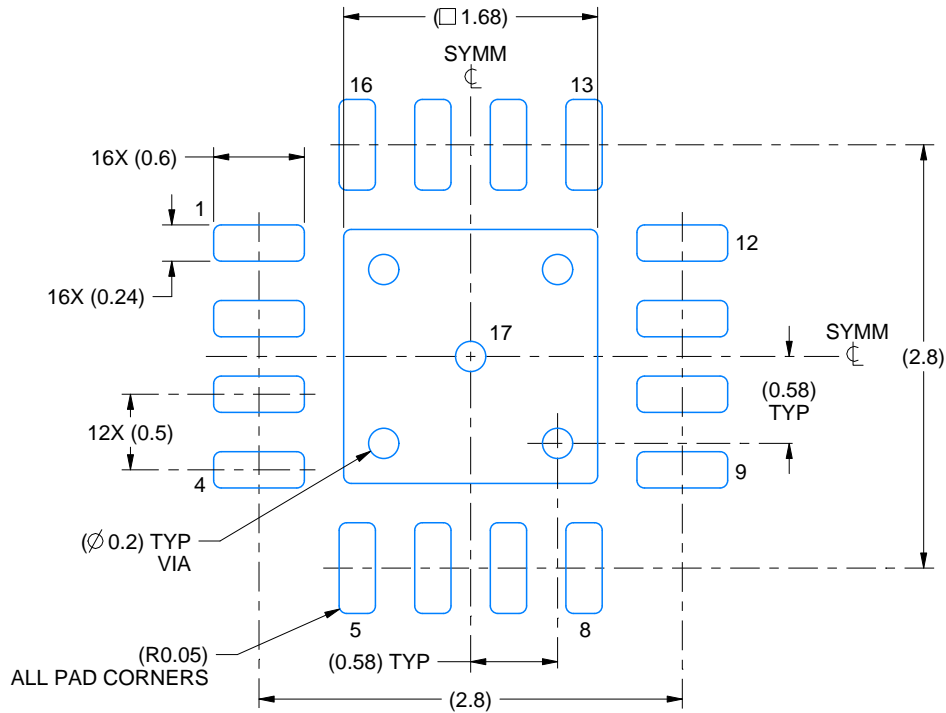
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

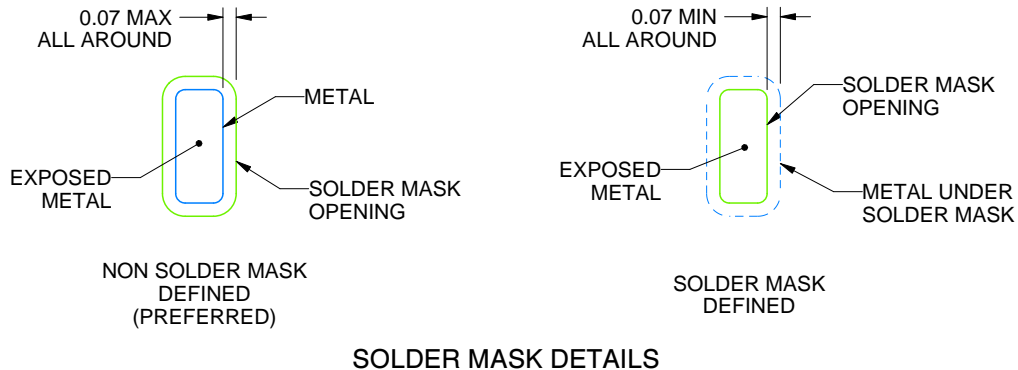
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



4219117/B 04/2022

NOTES: (continued)

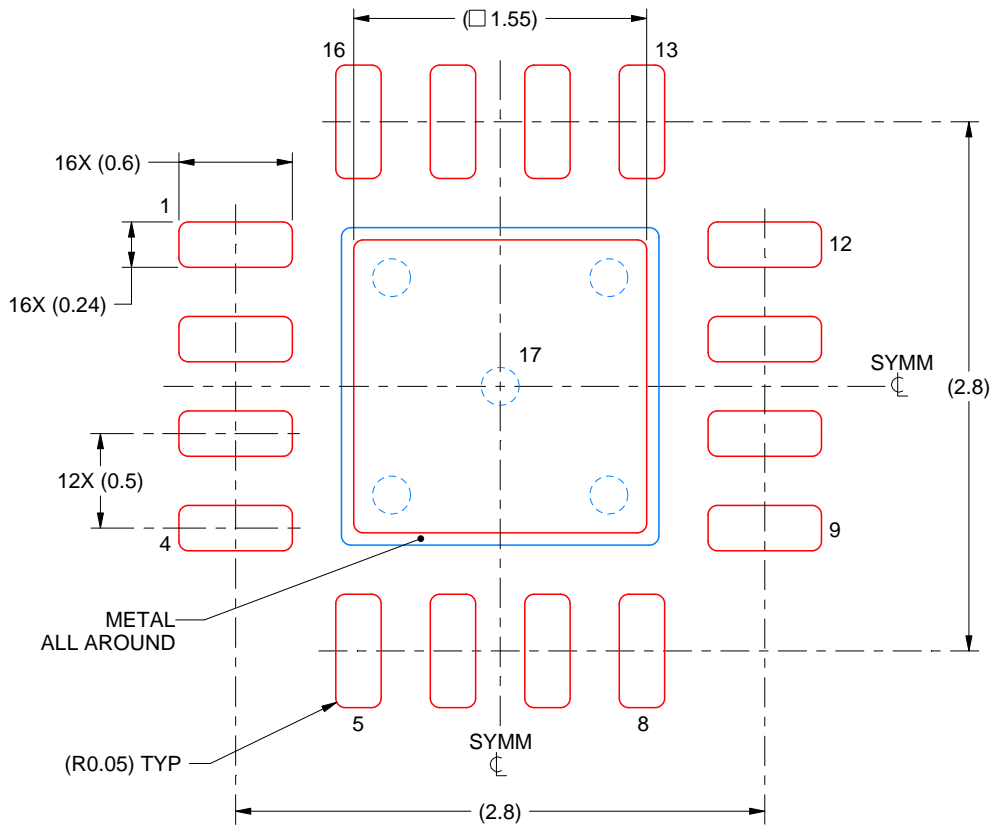
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司