

CDx4HC147、CD74HCT147 高速 CMOS 逻辑 10 线至 4 线优先级编码器

1 特性

- 缓冲输入和输出
- 典型传播延迟：当 $V_{CC} = 5V$ 、 $C_L = 15pF$ 、 $T_A = 25^\circ C$ 时为 13ns
- 扇出 (在温度范围内)
 - 总线驱动器输出：15 个 LSTTL 负载
- 宽工作温度范围： $-55^\circ C$ 至 $125^\circ C$
- 平衡的传播延迟及转换时间
- 与 LSTTL 逻辑 IC 相比，可显著降低功耗
- HC 类型
 - 工作电压范围为 2V 至 6V
 - 高抗噪性：当 $V_{CC} = 5V$ 时， $N_{IL} = 30\%$ ， $N_{IH} = V_{CC}$ 的 30%
- HCT 类型
 - 工作电压范围为 4.5V 至 5.5V
 - 直接 LSTTL 输入逻辑兼容性， $V_{IL} = 0.8V$ (最大值)， $V_{IH} = 2V$ (最小值)
 - CMOS 输入兼容性，当电压为 V_{OL} 、 V_{OH} 时， $I_I \leq 1\mu A$

2 说明

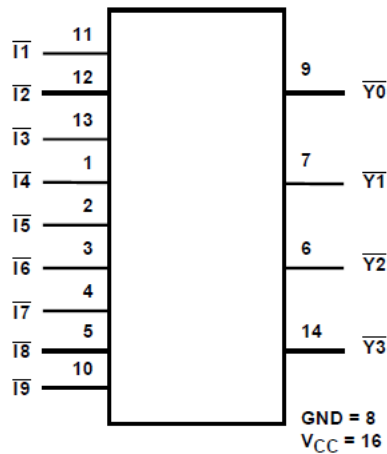
CDx4HC147 和 CD74HCT147 属于 9 输入优先级编码器。这两款器件通过使用隐含的十进制“0”来提供 10 线路至 4 线路优先级编码功能。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值) ⁽²⁾
CD54HC147	J (CDIP, 16)	21.34mm × 6.92mm
CD74HC147	N (PDIP, 16)	19.31mm × 6.35mm
	D (SOIC, 16)	9.90mm × 3.90mm
	PW (TSSOP, 16)	5.00mm × 4.40mm
CD74HCT147	N (PDIP, 16)	19.31mm × 6.35mm

(1) 如需了解更多信息，请参阅[机械、封装和可订购信息](#)。

(2) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



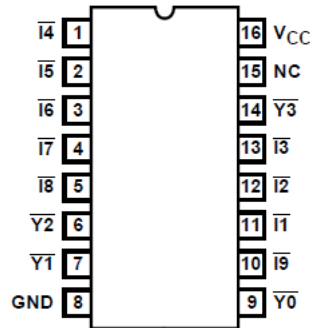
功能方框图



内容

1 特性	1	6.3 器件功能模式.....	8
2 说明	1	7 应用和实施	9
3 引脚配置和功能	3	7.1 电源相关建议.....	9
4 规格	4	7.2 布局.....	9
4.1 绝对最大额定值.....	4	8 器件和文档支持	11
4.2 建议运行条件.....	4	8.1 文档支持.....	11
4.3 热性能信息.....	4	8.2 接收文档更新通知.....	11
4.4 电气特性.....	5	8.3 支持资源.....	11
4.5 开关特性.....	6	8.4 商标.....	11
5 参数测量信息	7	8.5 静电放电警告.....	11
6 详细说明	8	8.6 术语表.....	11
6.1 概述.....	8	9 修订历史记录	11
6.2 功能方框图.....	8	10 机械、封装和可订购信息	11

3 引脚配置和功能



**CD54HC147 J 封装；CD74HC(T)147 N、D 或 PW 封装；
 16 引脚 CDIP、PDIP、SOIC 或 TSSOP
 (顶视图)**

表 3-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	I4	I	低电平活动输入 4
2	I5	I	低电平活动输入 5
3	I6	I	低电平活动输入 6
4	I7	I	低电平活动输入 7
5	I8	I	低电平活动输入 8
6	Y2	O	低电平活动输出 2
7	Y1	O	低电平活动输出 1
8	GND	—	接地
9	I0	I	低电平活动输入 0
10	I9	I	低电平活动输入 9
11	I1	I	低电平活动输入 1
12	I2	I	低电平活动输入 2
13	I3	I	低电平活动输入 3
14	Y3	O	低电平活动输出 3
15	NC	不适用	无内部连接
16	VCC	—	正电源

1. I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压	-0.5	7	V
I _{IK}	输入二极管电流 (V _I < -0.5V 或 V _I > V _{CC} + 0.5V)		±20	mA
I _{OK}	输出二极管电流 (V _O < -0.5V 或 V _O > V _{CC} + 0.5V)		±20	mA
I _O	每个输出引脚的输出拉电流或灌电流 (V _O > -0.5V 或 V _O < V _{CC} + 0.5V)		±25	mA
	通过 V _{CC} 或 GND 的持续电流		±50	mA

(1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值, 对于在应力额定值下或者在任一其他超过建议运行条件中所标出的额定值的器件的功能运行情况, 在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

4.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位	
V _{CC}	电源电压范围	HC 类型	2	6	V
		HCT 类型	4.5	5.5	
V _I	输入电压	0	V _{CC}	V	
V _O	输出电压	0	V _{CC}	V	
t _t	输入上升和下降时间	V _{CC} = 2V		1000	ns
		V _{CC} = 4.5V		500	
		V _{CC} = 6V		400	
T _A	温度范围	-55	125	°C	

4.3 热性能信息

热指标		N (PDIP)	NS (SOP)	D (SOIC)	PW (TSSOP)	单位
		16 引脚	16 引脚	16 引脚	16 引脚	
R _{θJA}	结至环境热阻 ⁽¹⁾	67	64	117.2	137.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标应用报告](#)

4.4 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件		V_{CC} (V)	25°C			-40°C 至 85°C		-55°C 至 125°C		单位	
	V_I (V)	I_O (mA)		最小值	典型值	最大值	最小值	最大值	最小值	最大值		
HC 类型												
V_{IH}	高电平输入电压		2	1.5			1.5		1.5		V	
			4.5	3.15			3.15		3.15		V	
			6	4.2			4.2		4.2		V	
V_{IL}	低电平输入电压		2	0.5			0.5		0.5		V	
			4.5	1.35			1.35		1.35		V	
			6	1.8			1.8		1.8		V	
V_{OH}	高电平输出电压 CMOS 负载	V_{IH} 或 V_{IL}	-0.02	2	1.9			1.9		1.9		V
			-0.02	4.5	4.4			4.4		4.4		V
			-0.02	6	5.9			5.9		5.9		V
	高电平输出电压 TTL 负载		-4	4.5	3.98			3.84		3.7		V
			-5.2	6	5.48			5.34		5.2		V
V_{OL}	低电平输出电压 CMOS 负载	V_{IH} 或 V_{IL}	0.02	2	0.1			0.1		0.1		V
			0.02	4.5	0.1			0.1		0.1		V
			0.02	6	0.1			0.1		0.1		V
	低电平输出电压 TTL 负载		4	4.5	0.26			0.33		0.4		V
			5.2	6	0.26			0.33		0.4		V
I_I	输入漏电流	V_{CC} 或 GND	6	± 0.1			± 1		± 1		μA	
I_{CC}	静态器件电流	V_{CC} 或 GND	0	6	8			80		160		μA
HCT 类型												
V_{IH}	高电平输入电压		4.5 至 5.5	2			2		2		V	
V_{IL}	低电平输入电压		4.5 至 5.5	0.8			0.8		0.8		V	
V_{OH}	高电平输出电压 CMOS 负载	V_{IH} 或 V_{IL}	-0.02	4.5	4.4			4.4		4.4		V
	高电平输出电压 TTL 负载		-4	4.5	3.98			3.84		3.7		V
V_{OL}	低电平输出电压 CMOS 负载	V_{IH} 或 V_{IL}	0.02	4.5	0.1			0.1		0.1		V
	低电平输出电压 TTL		4	4.5	0.26			0.33		0.4		V
I_I	输入漏电流	V_{CC} 和 GND	0	5.5	± 0.1			± 1		± 1		μA
I_{CC}	静态器件电流	V_{CC} 或 GND	0	5.5	8			80		160		μA
$\Delta ICC^{(1)}$	每个输入引脚的附加静态器件电流：1 个单位负载	$V_{CC} - 2.1$		4.5 至 5.5	100 360			450		490		μA

(1) 除非另有说明，否则 $V_I = V_{IH}$ 或 V_{IL} 。

HCT 输入负载表

4.4 电气特性

输入	单位负载 ⁽¹⁾
\bar{I}_1 、 \bar{I}_2 、 \bar{I}_3 、 \bar{I}_6 、 \bar{I}_7	1.1
\bar{I}_4 、 \bar{I}_5 、 \bar{I}_8 、 \bar{I}_9	1.5

(1) 单位负载为直流电气规格表中指定的 ΔI_{CC} 限值 (例如, 25°C 时最大值为 360 μ A)。

4.5 开关特性

输入 $t_t = 6\text{ns}$ 。除非另有说明, 否则 $C_L = 50\text{pF}$

参数	测试条件	V_{CC} (V)	25°C			-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
HC 类型										
t_{PLH} 、 t_{PHL}	传播延迟, 输入到输出	$C_L = 50\text{pF}$	2		160		200		240	ns
			4.5		32		40		48	
			5		13					
			6		27		34		41	
t_{TLH} 、 t_{THL}	转换时间	$C_L = 50\text{pF}$	2		75		95		110	ns
			4.5		15		19		22	
			6		13		16		19	
C_{IN}	输入电容				10		10		10	pF
C_{PD}	功率耗散电容 ^{(1) (2)}		5		32					pF
HCT 类型										
t_{PLH} 、 t_{PHL}	传播延迟, 输入到输出	$C_L = 50\text{pF}$	4.5		35		44		53	ns
			5		14					ns
t_{TLH} 、 t_{THL}	转换时间	$C_L = 50\text{pF}$	4.5		15		19		22	ns
C_{IN}	输入电容				10		10		10	pF
C_{PD}	功率耗散电容 ^{(1) (2)}		5		42					pF

(1) C_{PD} 用于确定每级闸的动态功耗。

(2) $P_D = V_{CC}^2 f_i (C_{PD} + C_L)$, 其中 f_i = 输入频率, C_L = 输出负载电容, V_{CC} = 电源电压。

5 参数测量信息

t_{pd} 为 t_{PLH} 或 t_{PHL} 的较低者。

t_t 是 t_{TLH} 和 t_{THL} 之间的最大值

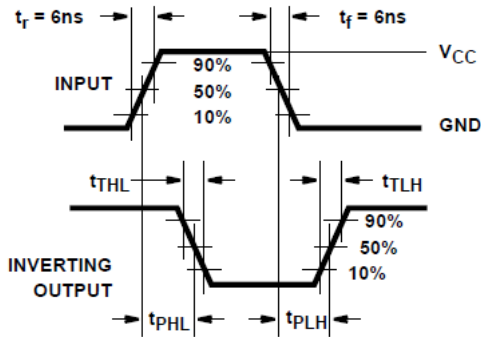


图 5-1. HC 和 HCU 转换时间和传播延迟时间，组合逻辑

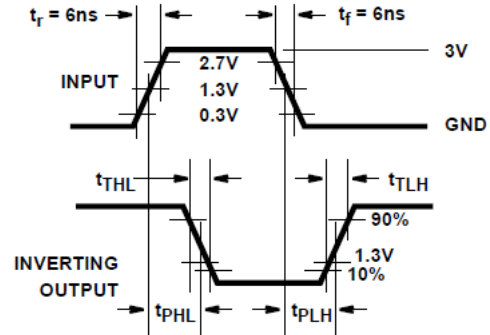


图 5-2. HCT 转换时间和传播延迟时间，组合逻辑

6 详细说明

6.1 概述

CDx4HC147 和 CD74HCT147 器件是高速硅栅 CMOS 器件，与低功耗肖特基 TTL (LSTTL) 引脚兼容。

CDx4HC147 和 CD74HCT147 9 输入优先级编码器接受来自九个低电平活动输入端 ($\overline{I1}$ 到 $\overline{I9}$) 的数据，并对四个低电平活动输出端 ($\overline{Y0}$ 到 $\overline{Y3}$) 提供二进制表示。为每个输入端分配了一个优先级，以便当两个或多个输入端同时处于活动状态时，具有最高优先级的输入会显示在输出端上，其中输入线路 $\overline{I9}$ 具有最高优先级。

这些器件通过使用隐含的十进制“0”来提供 10 线路至 4 线路优先级编码功能。当全部九个数据输入为高电平时，“0”会被编码，从而强制全部四个输出端为高电平。

6.2 功能方框图

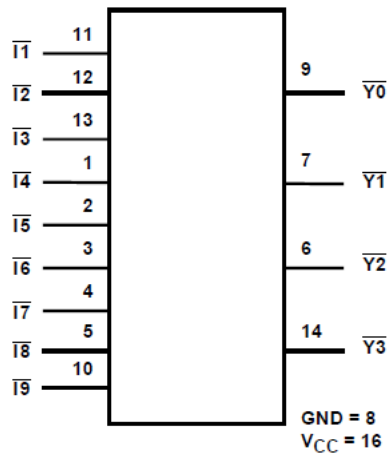


图 6-1. 功能方框图

6.3 器件功能模式

功能表列出了 CDx4HC(T)147 的功能模式。

表 6-1. 真值表 ^{(1) (2) (3)}

输入									输出			
$\overline{I1}$	$\overline{I2}$	$\overline{I3}$	$\overline{I4}$	$\overline{I5}$	$\overline{I6}$	$\overline{I7}$	$\overline{I8}$	$\overline{I9}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

- (1) H = 高逻辑电平
- (2) L = 低逻辑电平
- (3) X = 不用考虑

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

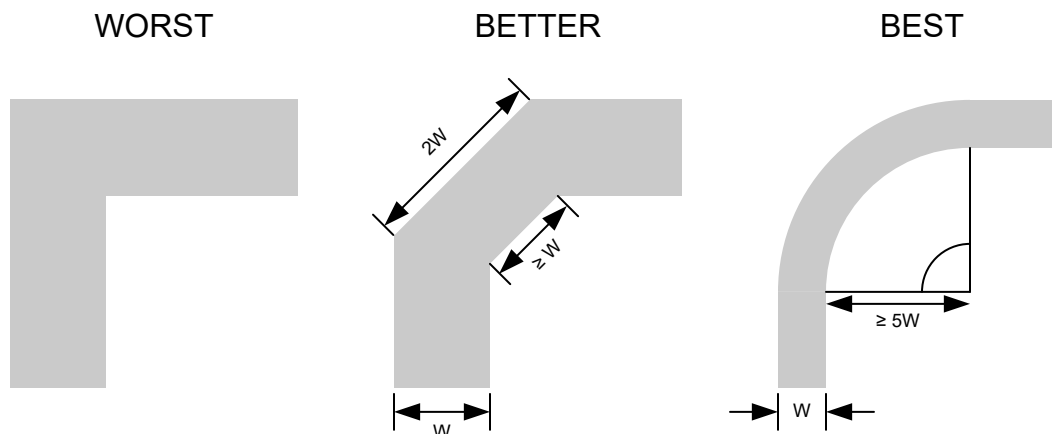


图 7-1. 可改善信号完整性的布线转角示例

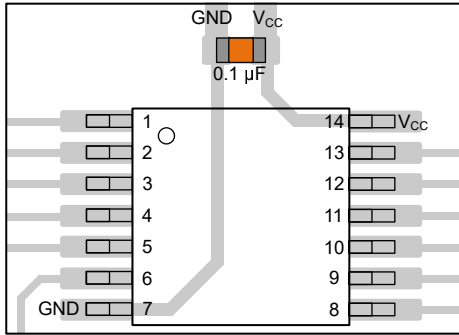


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

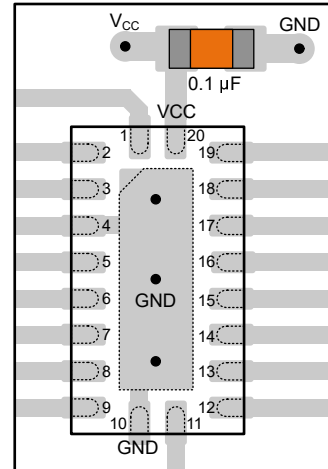


图 7-3. WQFN 和类似封装的旁路电容器放置示例

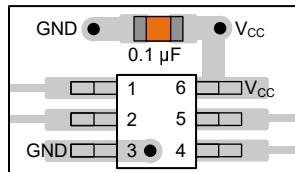


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

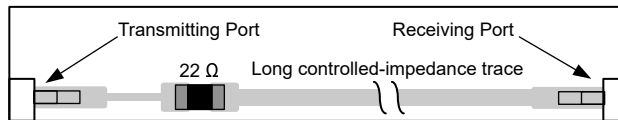


图 7-5. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI), [使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI), [标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (October 2003) to Revision G (January 2025)	Page
• 更新了整个文档中的编号、格式、表格、图和交叉参考，以反映现代数据表标准.....	1
• 添加了 器件信息表 、 引脚功能表 、 热性能信息表 、 器件功能模式 、 应用和实施 部分、 器件和文档支持 部分以及 机械、封装和可订购信息 部分.....	1
• 更新了热性能值以反映电流函数。D 原来是 73，现在是 117.2；N 原来是 108，现在是 137.5.....	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
8406401EA	ACTIVE	CDIP	J	16	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8406401EA CD54HC147F3A	Samples
CD54HC147F3A	ACTIVE	CDIP	J	16	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8406401EA CD54HC147F3A	Samples
CD74HC147E	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74HC147E	Samples
CD74HC147M	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-55 to 125	HC147M	
CD74HC147M96	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-55 to 125	HC147M	Samples
CD74HC147MT	OBSOLETE	SOIC	D	16		TBD	Call TI	Call TI	-55 to 125	HC147M	
CD74HC147PW	OBSOLETE	TSSOP	PW	16		TBD	Call TI	Call TI	-55 to 125	HJ147	
CD74HC147PWR	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ147	Samples
CD74HC147PWT	OBSOLETE	TSSOP	PW	16		TBD	Call TI	Call TI	-55 to 125	HJ147	
CD74HCT147E	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74HCT147E	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC147, CD74HC147 :

- Catalog : [CD74HC147](#)

- Military : [CD54HC147](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC147M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC147PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC147M96	SOIC	D	16	2500	356.0	356.0	35.0
CD74HC147PWR	TSSOP	PW	16	2000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74HC147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT147E	N	PDIP	16	25	506	13.97	11230	4.32

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

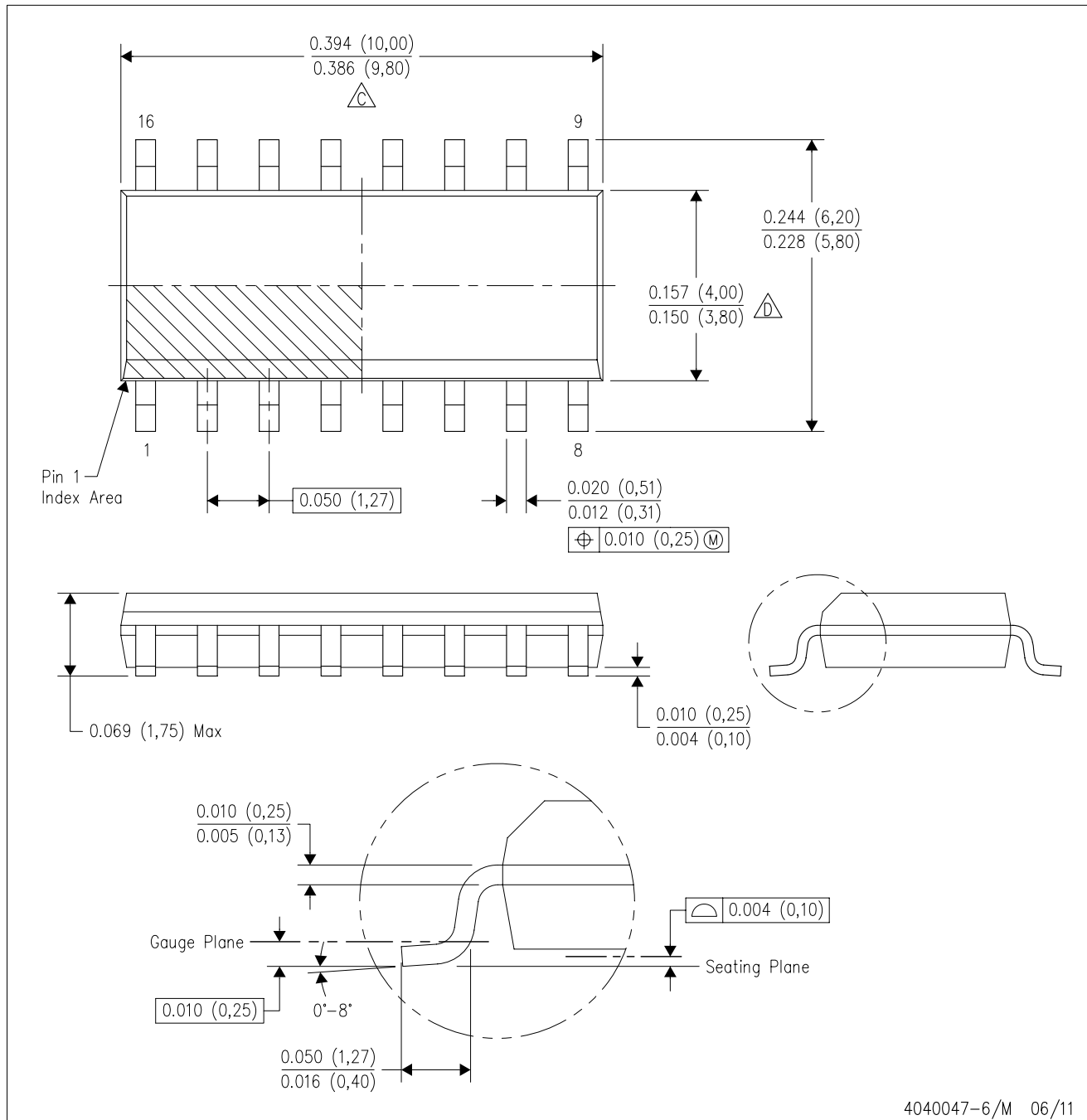
16 PINS SHOWN





- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司