

CDx4ACT08 四通道双输入正与门

1 特性

- 输入兼容 TTL 电压
- 双极 F、AS 和 S 的速度，同时功耗显著降低
- 平衡传播延迟
- 缓冲输入
- $\pm 24\text{mA}$ 输出驱动电流
 - 扇出至 15 个 F 器件
- 防 SCR 闩锁 CMOS 工艺和电路设计
- ESD 保护超过 2kV (根据 MIL-STD-883 方法 3015)

2 说明

ACT08 器件是四通道双输入正与门。此类器件以正逻辑执行布尔函数 $Y = A \cdot B$ 或 $Y = A + B$ 。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
CDx4ACT08	N (PDIP, 14)	19.3mm × 9.4mm	19.3mm × 6.35mm
	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.91mm
	J (CDIP, 14)	19.56mm × 7.9mm	19.56mm × 6.67mm

- (1) 如需了解更多信息，请参阅[机械、封装和可订购信息](#)。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- (3) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



逻辑图，每个逻辑门 (正逻辑)

内容

1 特性	1	6.2 器件功能模式.....	8
2 说明	1	7 应用和实施	9
3 引脚配置和功能	3	7.1 电源相关建议.....	9
4 规格	4	7.2 布局.....	9
4.1 绝对最大额定值.....	4	8 器件和文档支持	10
4.2 ESD 等级.....	4	8.1 文档支持 (模拟).....	10
4.3 建议运行条件.....	4	8.2 接收文档更新通知.....	10
4.4 热性能信息.....	4	8.3 支持资源.....	10
4.5 电气特性.....	5	8.4 商标.....	10
4.6 开关特性.....	5	8.5 静电放电警告.....	10
4.7 工作特性.....	5	8.6 术语表.....	10
5 参数测量信息	6	9 修订历史记录	10
6 详细说明	8	10 机械、封装和可订购信息	10
6.1 功能方框图.....	8		

3 引脚配置和功能

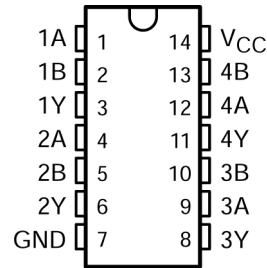


图 3-1. CD54ACT08 J 封装，14 引脚 CDIP；CD74ACT08 N 或 D 封装，14 引脚 PDIP 或 SOIC (顶视图)

表 3-1. 引脚功能

引脚		I/O	说明
名称	编号		
1A	1	输入	通道 1，输入 A
1B	2	输入	通道 1，输入 B
1Y	3	输出	通道 1，输出 Y
2A	4	输入	通道 2，输入 A
2B	5	输入	通道 2，输入 B
2Y	6	输出	通道 2，输出 Y
GND	7	—	接地
3Y	8	输出	通道 3，输出 Y
3A	9	输入	通道 3，输入 A
3B	10	输入	通道 3，输入 B
4Y	11	输出	通道 4，输出 Y
4A	12	输入	通道 4，输入 A
4B	13	输入	通道 4，输入 B
V _{CC}	14	—	正电源

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压范围	-0.5	6	V
I _{IK} ⁽²⁾	输入钳位电流	(V _I < 0 或 V _I > V _{CC})		±20 mA
I _{OK} ⁽²⁾	输出钳位电流	(V _O < 0 或 V _O > V _{CC})		±50 mA
I _O	持续输出电流	(V _O = 0 至 V _{CC})		±50 mA
通过 V _{CC} 或 GND 的持续电流				±100 mA
T _{stg}	贮存温度范围	-65°C	150	°C

- (1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

4.3 建议运行条件

在自然通风条件下的建议运行温度范围内测得 (除非另有说明) ⁽¹⁾

		T _A = 25°C		-40°C 至 85°C		-55°C 至 125°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
V _{CC}	电源电压	4.5	5.5	4.5	5.5	4.5	5.5	V
V _{IH}	高电平输入电压	2		2		2		V
V _{IL}	低电平输入电压	0.8		0.8		0.8		V
V _I	输入电压	0	V _{CC}	0	V _{CC}	0	V _{CC}	V
V _O	输出电压	0	V _{CC}	0	V _{CC}	0	V _{CC}	V
I _{OH}	高电平输出电流	-24		-24		-24		mA
I _{OL}	低电平输出电流	24		24		24		mA
Δt/Δv	输入转换上升或下降速率	10		10		10		ns/V

- (1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*, 文献编号 SCBA004。

4.4 热性能信息

热指标 ⁽¹⁾		CD74ACT08		单位
		N (PDIP)	D (SOIC)	
		14 引脚	14 引脚	
R _{θJA}	结至环境热阻	80	119.9	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	测试条件		V _{CC}	T _A = 25°C		-40°C 至 85°C		-55°C 至 125°C		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	V _I = V _{IH} 或 V _{IL}	I _{OH} = -50μA	4.5V	4.4	4.4	4.4			V	
		I _{OH} = -24mA	4.5V	3.94	3.8	3.7				
		I _{OH} = -50mA ⁽¹⁾	5.5V			3.85				
		I _{OH} = -75mA ⁽¹⁾	5.5V		3.85					
V _{OL}	V _I = V _{IH} 或 V _{IL}	I _{OL} = 50 μ A	4.5V	0.1	0.1	0.1		V		
		I _{OL} = 24mA	4.5V	0.36	0.44	0.5				
		I _{OL} = 50mA ⁽¹⁾	5.5V			1.65				
		I _{OL} = 75mA ⁽¹⁾	5.5V		1.65					
I _I	V _I = V _{CC} 或 GND		5.5V	±0.1	±1	±1		μ A		
I _{CC}	V _I = V _{CC} 或 GND , I _O = 0		5.5V	4	40	80		μ A		
Δ I _{CC}	V _I = V _{CC} - 2.1V		4.5V 至 5.5V	2.4	2.8	3		mA		
C _i				10	10	10		pF		

(1) 一次测试一个输出, 持续时间不超过 1 秒。为了尽可能减少功率耗散, 测量方法是强制施加指定电流并测量电压。测试证实在 85°C 下至少具有 50 Ω 传输线驱动能力, 在 125°C 下具有 75 Ω 传输线驱动能力。

表 4-1. ACT 输入负载表

输入	单位负载
A 或 B	0.3

4.6 开关特性

在自然通风条件下的建议工作温度范围内测得, V_{CC} = 5V ± 0.5V, C_L = 50pF (除非另有说明) (请参阅 [负载电路和电压波形](#))

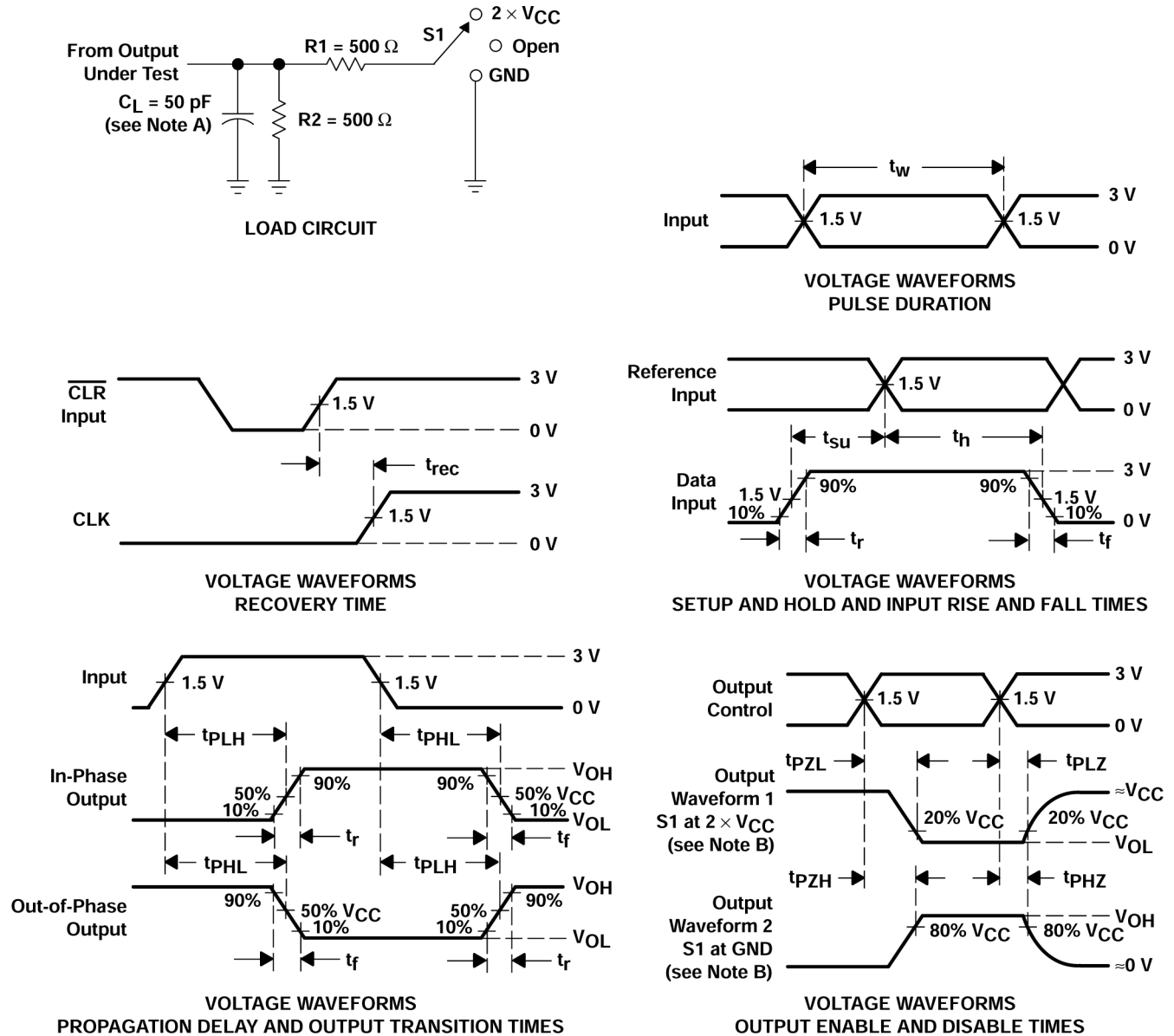
参数	从 (输入)	至 (输出)	-40°C 至 85°C		-55°C 至 125°C		单位
			最小值	最大值	最小值	最大值	
t _{PLH}	A 或 B	Y	3.3	11.7	3.2	12.9	ns
t _{PHL}			3.3	11.7	3.2	12.9	

4.7 工作特性

V_{CC} = 5V, T_A = 25°C

参数	典型值	单位
C _{pd} 功率耗散电容	50	pF

5 参数测量信息



- A. C_L 包括探头和测试夹具电容。
- B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- C. 所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50 \Omega$ ， $t_r = 3\text{ns}$ ， $t_f = 3\text{ns}$ 。波形之间的相位关系没有固定规律。
- D. 对于时钟输入， f_{max} 是在输入占空比为 50% 时测得。
- E. 一次测量一个输出，每次测量一个输入转换。
- F. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
- G. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
- H. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。

图 5-1. 负载电路和电压波形

测试	S1
$t_{\text{PLH}}/t_{\text{PHL}}$	开路

测试	S1
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

6 详细说明

6.1 功能方框图

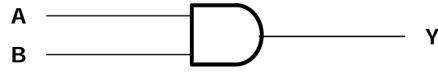


图 6-1. 逻辑图，每个逻辑门（正逻辑）

6.2 器件功能模式

表 6-1. 功能表（每个逻辑门）

输入		输出 Y
A	B	
H	H	H
L	X	L
X	L	L

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 [建议运行条件](#) 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个旁路电容器，以防止功率干扰。建议为该器件使用 $0.1 \mu F$ 电容。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1 \mu F$ 和 $1 \mu F$ 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如 [CD74ACT08 的示例布局](#) 所示。

7.2 布局

7.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

7.2.2 布局示例

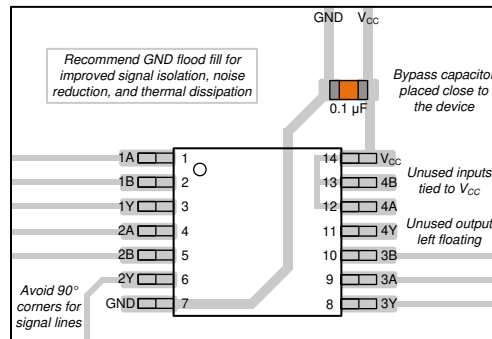


图 7-1. CDx4ACT08 的示例布局

8 器件和文档支持

8.1 文档支持 (模拟)

8.1.1 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
CD54ACT08	点击此处	点击此处	点击此处	点击此处	点击此处
CD74ACT08	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2002) to Revision C (August 2024)	Page
• 添加了 器件信息表 、 引脚功能表 、 ESD 等级表 、 热性能信息表 、 器件功能模式 、“应用和实施”部分、 器件和文档支持 部分以及 机械 、 封装和可订购信息 部分.....	1
• 更新了 R _{θJA} 值：D 封装从 86 更新至 119.9，所有值均以 °C/W 为单位.....	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD54ACT08F3A	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54ACT08F3A	Samples
CD74ACT08E	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT08E	Samples
CD74ACT08M	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-55 to 125	ACT08M	
CD74ACT08M96	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54ACT08, CD74ACT08 :

- Catalog : [CD74ACT08](#)
- Military : [CD54ACT08](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74ACT08M96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
CD74ACT08M96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74ACT08M96	SOIC	D	14	2500	353.0	353.0	32.0
CD74ACT08M96	SOIC	D	14	2500	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74ACT08E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT08E	N	PDIP	14	25	506	13.97	11230	4.32

D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

EXAMPLE BOARD LAYOUT

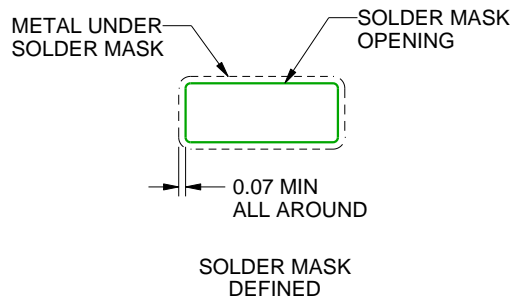
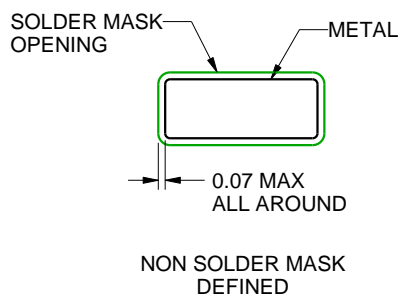
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司