

ADC3683-SP 耐辐射保障 18 位、双通道、1MSPS 至 65MSPS、低延迟、低噪声、超低功耗模数转换器 (ADC)

1 特性

- 筛选和辐射性能：
 - QMLV 筛选和可靠性
 - 电离辐射总剂量 (TID)：300krad (Si)
 - 单粒子闩锁 (SEL)：75MeV-cm²/mg
- 环境温度范围：-55°C 至 105°C
- 双通道 ADC
- 18 位 65MSPS
- 本底噪声：-160dBFS/Hz
- 低功耗和优化的功率调节：
 - 64mW/ch (10MSPS)
 - 84mW/ch (65MSPS)
- 延迟：
 - 1 线模式下的 1 个时钟周期
 - 2 线模式下的 2 个时钟周期
- 18 位，无丢码
- INL：±7LSB，DNL：±0.7LSB
- 内部或外部基准
- 输入带宽：200MHz (-3dB)
- 可选数字下变频器 (DDC)：
 - 实数或复数抽取
 - 2 倍、4 倍、8 倍、16 倍和 32 倍抽取率
 - 32 位 NCO
- 串行 LVDS (SLVDS) 接口 (2 线、1 线和 1/2 线)
- 频谱性能 ($F_{IN} = 5\text{MHz}$)：
 - SNR：83.6dBFS
 - SFDR：87.1dBc
 - 非 HD23：102dBc

2 应用

- 光学成像有效载荷
- 雷达成像有效载荷
- 卫星通信有效载荷

3 说明

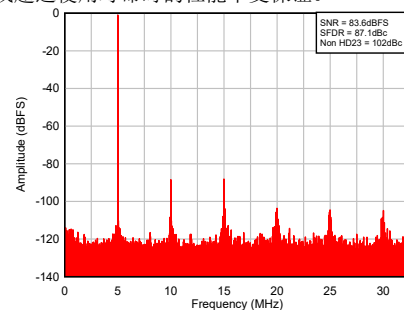
ADC3683-SP 是一款低延迟、低噪声和超低功耗 18 位 65MSPS 高速双通道 ADC。ADC 可实现出色噪声性能和 -160dBFS/Hz 的噪声频谱密度，还具有出色的线性度和动态范围。ADC3683-SP 可提供直流精度以及中频采样支持，因此适合各种应用。低延迟架构 (低至 1 个时钟周期延迟) 和高采样率还可实现高速控制环路。该 ADC 在 65MSPS 下的功耗仅为每通道 84mW (支持 1/2 摆幅)，且其功耗随采样率而调节。

该器件使用串行 LVDS (SLVDS) 接口输出数据，可最大限度减少数字互连的次数。该器件还集成了一个数字下变频器 (DDC)，有助于降低数据速率和系统功耗。ADC3683-SP 与 14 位 125MSPS、ADC3664-SP 引脚对引脚兼容。该器件采用 64 引脚 CFP 封装 (10.9mm x 10.9mm)，支持 -55°C 至 +125°C 的工作温度范围。

器件信息

器件型号	等级	封装 ⁽¹⁾
5962F2320401VXC	耐辐射加固保障 QML-V	10.9mm x 10.9mm 64 引脚 Ceramic Flat Pack (HBP)
ADC3683HBP/EM ⁽²⁾	工程模型，用于非飞行原型设计工作	

- (1) 有关更多信息，请参阅节 11。
- (2) 这些器件仅适用于工程评估。它们未按照合规流程进行测试 (因此没有老化处理，只有 25°C 测试等)。此外，这些器件不适用于鉴定、量产、辐射测试或飞行。这些器件在温度范围以外或超过使用寿命时的性能不受保证。



单音频谱， $F_s = 65\text{MSPS}$ ， $F_{in} = 5\text{MHz}$



内容

1 特性	1	7.3 特性说明.....	20
2 应用	1	7.4 器件功能模式.....	41
3 说明	1	7.5 编程.....	42
4 引脚配置和功能	3	8 应用信息免责声明	60
5 规格	5	8.1 应用信息.....	60
5.1 绝对最大额定值.....	5	8.2 典型应用.....	60
5.2 ESD 等级.....	5	8.3 初始化设置.....	61
5.3 建议运行条件.....	5	8.4 电源相关建议.....	62
5.4 热性能信息.....	5	8.5 布局.....	62
5.5 电气特性 - 功耗.....	6	9 器件和文档支持	65
5.6 电气特性 - 直流规格.....	7	9.1 接收文档更新通知.....	65
5.7 电气特性 - 交流规格.....	9	9.2 支持资源.....	65
5.8 时序要求.....	10	9.3 商标.....	65
5.9 典型特性.....	12	9.4 静电放电警告.....	65
6 参数测量信息	16	9.5 术语表.....	65
7 详细说明	19	10 修订历史记录	65
7.1 概述.....	19	11 机械、封装和可订购信息	65
7.2 功能方框图.....	19	11.1 机械数据.....	66

4 引脚配置和功能

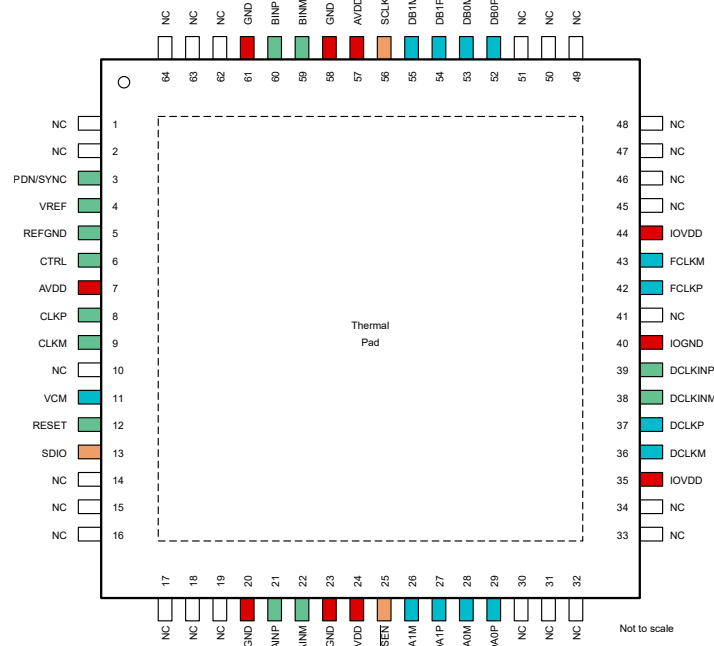


图 4-1. HBP 封装、64 引脚 CFP
(顶视图)

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
输入			
AINP	21	I	ADC A 的正模拟输入。
AINM	22	I	ADC A 的负模拟输入。
BINP	60	I	ADC B 的正模拟输入。
BINM	59	I	ADC B 的负模拟输入。
CLKP	8	I	ADC A 和 B 的正采样时钟输入。
CLKM	9	I	ADC A 和 B 的负采样时钟输入。
VREF	4	I	1.6V 外部电压基准输入。
REFGND	5	I	电压基准接地。当使用内部基准或外部基准时，该引脚允许去耦电容器靠近 VREF 输入放置。
CTRL	6	I	该引脚用于配置上电时的默认采样时钟类型和电压基准源 (请参阅节 7.5.1)。有一个到 AVDD 的内部 100k Ω 上拉电阻器。
PDN/SYNC	3	I	双用途高电平有效引脚。可将此引脚配置为控制器件的断电状态或用作同步输入。引脚功能可以通过 SPI 配置 (默认功能为 PDN)。该引脚具有内部 21k Ω 下拉电阻器。
复位	12	I	高电平有效硬件复位引脚。该引脚具有内部 21k Ω 下拉电阻器。
DCLKINP	39	I	接口时钟的正输入。该引脚通过内部 100 Ω 端接电阻器连接到 DCLKINM。
DCLKINM	38	I	接口时钟的负输入。该引脚通过内部 100 Ω 端接电阻器连接到 DCLKINP。
输出			
DA0P	29	O	接口通道 A0 的正输出。
DA0M	28	O	接口通道 A0 的负输出。

表 4-1. 引脚功能 (续)

引脚		类型	说明
名称	编号		
DA1P	27	O	接口通道 A1 的正输出。
DA1M	26	O	接口通道 A1 的负输出。
DB0P	52	O	接口通道 B0 的正输出。
DB0M	53	O	接口通道 B0 的负输出。
DB1P	54	O	接口通道 B1 的正输出。
DB1M	55	O	接口通道 B1 的负输出。
DCLKP	37	O	接口时钟的正输出。
DCLKM	36	O	接口时钟的负输出。
FCLKP	42	O	接口帧时钟的正输出。
FCLKM	43	O	接口帧时钟的负输出。
VCM	11	O	模拟输入的共模输出电压 (通常为 0.95V)。
SPI			
SEN	25	I	低电平有效 SPI 使能端。该引脚具有内部 21k Ω 下拉电阻器至 AVDD。
SCLK	56	I	SPI 时钟输入。该引脚具有内部 21k Ω 下拉电阻器。
SDIO	13	I/O	SPI 数据输入或输出。该引脚具有内部 21k Ω 下拉电阻器。
电源			
AVDD	7、24、57	I	模拟电源输入, 1.8V。
GND	20、23、58、61	I	接地电源输入, 0V。
IOVDD	35、44	I	接口电源输入, 1.8V。
IOGND	40	I	接口接地电源输入, 0V。
其他			
DAP	DAP	-	芯片连接焊盘 (散热焊盘), 连接至 GND。
NC	1、2、10、14、15、16、17、18、19、30、31、32、33、34、41、45、46、47、48、49、50、51、62、63、64	-	无连接引脚。接地或保持悬空。 ⁽¹⁾

(1) 散热焊盘和顶部金属盖连接到引脚 17。可以接地或无连接。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数	测试条件	最小值	最大值	单位
电源电压范围, AVDD, IOVDD		-0.3	2.1	V
电源电压范围, GND, IOGND, REFGND		-0.3	0.3	V
施加到输入引脚的电压	AINP/M, BINP/M, CLKP/M, VREF, CTRL	-0.3	最小值 (2.1, AVDD+0.3)	V
	PDN/SYNC, RESET, SCLK, \overline{SEN} , SDIO	-0.3	最小值 (2.1, AVDD+0.3)	
	DCLKINP/M	-0.3	最小值 (2.1, IOVDD+0.3)	
结温, T _J			125	°C
贮存温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	1000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	250	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电源电压范围	AVDD ⁽¹⁾	1.75	1.8	1.85	V
	IOVDD ⁽¹⁾	1.75	1.8	1.85	V
T _A	自然通风条件下的工作温度范围	-55		105	°C
T _J	工作结温			105 ⁽²⁾	°C

(1) 以 GND 为基准来测量。

(2) 长时间高于此结温使用可能会增加器件的时基故障 (FIT) 率。

5.4 热性能信息

热指标 ⁽¹⁾		ADC3683-SP	单位
		HBP (CFP)	
		64 引脚	
R _{θJA}	结至环境热阻	28.4	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	12.0	°C/W
R _{θJB}	结至电路板热阻	14.1	°C/W
Ψ _{JT}	结至顶部特征参数	7.8	°C/W
Ψ _{JB}	结至电路板特征参数	13.8	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	7.0	°C/W

(1) 有关新旧热指标的更多信息, 请参阅半导体和 IC 封装热指标应用报告 (SPRA953)。

5.5 电气特性 - 功耗

典型值是在以下条件下测得： $T_A = 25^\circ\text{C}$ ，整个温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 65MSPS，50% 时钟占空比， $AVDD = IOVDD = 1.8\text{V}$ ，外部 1.6V 基准电压，-1dBFS 差分输入，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
ADC3683-SP : 65MSPS						
I_{AVDD}	模拟电源电流	内部基准		69		mA
		外部基准		63	83.5	
I_{IOVDD}	I/O 电源电流	2 线		41	48.5	
P_{DIS}	功率耗散	外部基准，2 线		187	232	mW
I_{IOVDD}	I/O 电源电流	2 线，1/2 摆幅		34		mA
		4 倍实时抽取率，1 线		46		
		4 倍实时抽取率，1/2 线		47		
		16 倍实时抽取率，1 线		43		
		16 倍实时抽取率，1/2 线		43		
		4 倍复杂抽取率，1 线		48		
		16 倍复杂抽取率，1 线		43		
		16 倍复杂抽取率，1/2 线		44		
P_{DIS}	全局断电模式下的功耗	默认掩码设置，内部基准		8		mW
		默认掩码设置，外部基准		10		

5.6 电气特性 - 直流规格

典型值是在以下条件下测得： $T_A = 25^\circ\text{C}$ ，整个温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 65MSPS，50% 时钟占空比， $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ ，外部 1.6V 基准电压和 -1dBFS 差分输入，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
直流精度						
无丢码			18			位
PSRR	电源抑制比	$F_{\text{IN}} = 1\text{MHz}$	50			dB
DNL	微分非线性	$F_{\text{IN}} = 5\text{MHz}$	-0.9	± 0.7	1.8	LSB
INL	积分非线性	$F_{\text{IN}} = 5\text{MHz}$	± 7 ± 23.5			LSB
V_{OS}	输入失调电压		± 130 ± 510			LSB
$V_{\text{OS_DRIFT}}$	温漂		± 0.2			LSB/ $^\circ\text{C}$
误差	增益误差和内部基准组合误差	两个通道都上电	-5.5	± 2.1	5.5	%FSR
		$F_s = 10\text{MSPS}$ ，两个通道均上电	-3	± 0.5	3	%FSR
	增益误差	两个通道都上电	-5.2	± 1.3	5.2	%FSR
		$F_s = 10\text{MSPS}$ ，两个通道均上电	-2.5	± 0.2	2.5	%FSR
	增益漂移	外部 1.6V 基准	68			ppm/ $^\circ\text{C}$
		内部基准	242			ppm/ $^\circ\text{C}$
切换噪声			5			LSB
ADC 模拟输入 (AINP/M、BINP/M)						
FS	满量程输入	差分	3.2			V_{pp}
V_{CM}	输入共模电压		0.95			V
R_{IN}	差分输入电阻	$F_{\text{IN}} = 100\text{kHz}$	8			$\text{k}\Omega$
C_{IN}	差分输入电容	$F_{\text{IN}} = 100\text{kHz}$	7			pF
V_{OCM}	输出共模电压		0.95			V
BW	模拟输入带宽 (-3dB)		200			MHz
内部电压基准						
V_{REF}	内部基准电压		1.6			V
V_{REF} 输出阻抗			8			Ω
外部电压基准						
V_{REF}	外部电压基准		1.6			V
输入电流			0.35			mA
输入阻抗			5.3			$\text{k}\Omega$
时钟输入 (CLKP/M)						
输入时钟频率			1	65		MHz
V_{ID}	差分输入电压		0.5	1		V_{pp}
V_{CM}	输入共模电压		0.9			V
R_{IN}	共模单端输入电阻		5			$\text{k}\Omega$
C_{IN}	单端输入电容		1.5			pF
时钟占空比			40	50	60	%

5.6 电气特性 - 直流规格 (续)

典型值是在以下条件下测得： $T_A = 25^\circ\text{C}$ ，整个温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 65MSPS，50% 时钟占空比， $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ ，外部 1.6V 基准电压和 -1dBFS 差分输入，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
数字输入 (RESET、PDN、SCLK、SEN、SDIO)						
V_{IH}	高电平输入电压		1.5			V
V_{IL}	低电平输入电压				0.3	V
I_{IH}	高电平输入电流			90	150	μA
I_{IL}	低电平输入电流		-150	-90		μA
C_{I}	输入电容			1.5		pF
数字输出 (SDOUT)						
V_{OH}	高电平输出电压	$I_{\text{LOAD}} = -400\mu\text{A}$	IOVDD - 0.1	IOVDD		V
V_{OL}	低电平输出电压	$I_{\text{LOAD}} = 400\mu\text{A}$			0.1	V
SLVDS 接口						
LVDS 通道速率					1	Gbps
V_{ID}	DCLKIN 差分输入电压		200	350		mV_{pp}
V_{CM}	DCLKIN 输入共模电压		1.1	1.2	1.3	V
V_{OD}	差分输出电压		0.585	700	0.785	mV_{pp}
V_{CM}	输出共模电压		0.85	1.0	1.15	V

5.7 电气特性 - 交流规格

典型值是在以下条件下测得： $T_A = 25^\circ\text{C}$ ，整个温度范围为 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ ，ADC 采样率 = 65MSPS，50% 时钟占空比， $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ ，外部 1.6V 基准电压和 -1dBFS 差分输入，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
ADC3683-SP : 65MSPS						
NSD	噪声频谱密度	$F_{\text{IN}} = 1.1\text{MHz}$, $A_{\text{IN}} = -20\text{dBFS}$		-160		dBFS/Hz
SNR	信噪比	$F_{\text{IN}} = 1.1\text{MHz}$, $A_{\text{IN}} = -20\text{dBFS}$		84.8		dBFS
		$F_{\text{IN}} = 1.1\text{MHz}$		84.2		
		$F_{\text{IN}} = 5\text{MHz}$	78	83.6		
		$F_{\text{IN}} = 10\text{MHz}$		83.6		
		$F_{\text{IN}} = 20\text{MHz}$		82.6		
		$F_{\text{IN}} = 40\text{MHz}$		81.0		
		$F_{\text{IN}} = 70\text{MHz}$		77.3		
SINAD	信噪比和失真比	$F_{\text{IN}} = 1.1\text{MHz}$		80.0		dBFS
		$F_{\text{IN}} = 5\text{MHz}$		82.7		
		$F_{\text{IN}} = 10\text{MHz}$		82.7		
		$F_{\text{IN}} = 20\text{MHz}$		80.2		
		$F_{\text{IN}} = 40\text{MHz}$		78.7		
		$F_{\text{IN}} = 70\text{MHz}$		75.8		
ENOB	有效位数	$F_{\text{IN}} = 1.1\text{MHz}$		13.7		位
		$F_{\text{IN}} = 5\text{MHz}$		13.6		
		$F_{\text{IN}} = 10\text{MHz}$		13.6		
		$F_{\text{IN}} = 20\text{MHz}$		13.4		
		$F_{\text{IN}} = 40\text{MHz}$		13.2		
		$F_{\text{IN}} = 70\text{MHz}$		12.5		
THD	总谐波失真 (前五个谐波)	$F_{\text{IN}} = 1.1\text{MHz}$		81		dBc
		$F_{\text{IN}} = 5\text{MHz}$	76.5	88		
		$F_{\text{IN}} = 10\text{MHz}$		89		
		$F_{\text{IN}} = 20\text{MHz}$		83		
		$F_{\text{IN}} = 40\text{MHz}$		82		
		$F_{\text{IN}} = 70\text{MHz}$		80		
SFDR	无杂散动态范围, 包括第二和第三个谐波失真	$F_{\text{IN}} = 1.1\text{MHz}$		82		dBc
		$F_{\text{IN}} = 5\text{MHz}$	78.5	89		
		$F_{\text{IN}} = 10\text{MHz}$		92		
		$F_{\text{IN}} = 20\text{MHz}$		85		
		$F_{\text{IN}} = 40\text{MHz}$		84		
		$F_{\text{IN}} = 70\text{MHz}$		82		
非 HD2,3	无杂散动态范围 (不包括 HD2 和 HD3)	$F_{\text{IN}} = 1.1\text{MHz}$		101		dBFS
		$F_{\text{IN}} = 5\text{MHz}$	85	101		
		$F_{\text{IN}} = 10\text{MHz}$		100		
		$F_{\text{IN}} = 20\text{MHz}$		97		
		$F_{\text{IN}} = 40\text{MHz}$		91		
		$F_{\text{IN}} = 70\text{MHz}$		88		
IMD3	双音互调失真	$F_1 = 10\text{MHz}$, $F_2 = 12\text{MHz}$, $A_{\text{IN}} = -7\text{dBFS}/\text{单音}$		83		dBc
		$F_1 = 40\text{MHz}$, $F_2 = 45\text{MHz}$, $A_{\text{IN}} = -7\text{dBFS}/\text{单音}$		78		

5.8 时序要求

除非另有说明，否则典型值的适用条件为： $T_A = 25^\circ\text{C}$ ，MIN 和 MAX 时序值在整个温度范围内进行表征 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ 且未经生产测试，ADC 采样率 = 65MSPS，50% 时钟占空比， $AVDD = IOVDD = 1.8\text{V}$ ，1.6V 外部基准和 -1dBFS 差分输入。

参数		测试条件	最小值	标称值	最大值	单位
ADC 时序规格						
t_{AD}	孔径延迟			0.85		ns
t_{A}	孔径抖动	具有快速边缘的方波时钟		180		fs
t_{ACQ}	信号采集周期，以采样时钟下降沿为基准	$F_S = 10\text{MSPS}$		$-T_S/2$		采样时钟周期
		$F_S = 25\text{MSPS}$		$-T_S/2$		
		$F_S = 65\text{MSPS}$		$-T_S/4$		
t_{CONV}	信号转换周期，以采样时钟下降沿为基准	$F_S = 10\text{MSPS}$		$+T_S \times 1/5$		采样时钟周期
		$F_S = 25\text{MSPS}$		$+T_S \times 3/8$		
		$F_S = 65\text{MSPS}$		$+T_S \times 5/8$		
唤醒时间	断电后的数据有效时间	外部 1.6V 基准，差分采样时钟			100	μs
$t_{\text{S, SYNC}}$	SYNC 输入信号的设置时间	以采样时钟上升沿为基准			500	ps
$t_{\text{H, SYNC}}$	SYNC 输入信号的保持时间				600	
ADC 延迟	信号输入到数据输出	SLVDS 2 线			2	ADC 时钟周期
		SLVDS 1 线			1	
		SLVDS 1/2 线			1	
		2 倍实时抽取率			21	输出时钟周期
		2 倍复杂抽取率			22	
		4 倍、8 倍、16 倍、32 倍实时或复杂抽取率			23	

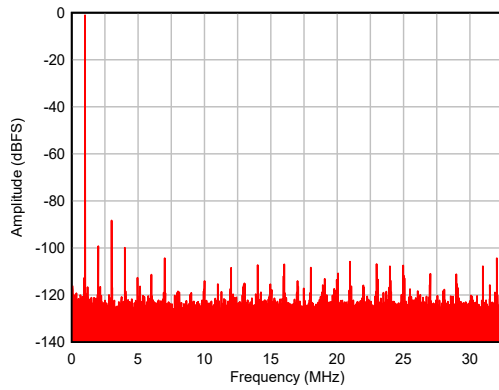
5.8 时序要求 (续)

除非另有说明，否则典型值的适用条件为： $T_A = 25^\circ\text{C}$ ，MIN 和 MAX 时序值在整个温度范围内进行表征 $T_{\text{MIN}} = -55^\circ\text{C}$ 至 $T_{\text{MAX}} = 105^\circ\text{C}$ 且未经生产测试，ADC 采样率 = 65MSPS，50% 时钟占空比， $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ ，1.6V 外部基准和 -1dBFS 差分输入。

参数		测试条件	最小值	标称值	最大值	单位
接口时序：串行 LVDS 接口						
t_{PD}	传播延迟：采样时钟下降沿到 DCLK 上升沿	采样时钟下降沿到 DCLKIN 上升沿的延迟小于 2.5ns。 $t_{\text{DCLK}} = \text{DCLK 周期}$ $t_{\text{CDCLK}} = \text{采样时钟下降沿到 DCLKIN 下降沿}$	2 + t_{DCLK} +	3 + t_{DCLK} +	4 + t_{DCLK} +	ns
		采样时钟下降沿到 DCLKIN 上升沿的延迟大于或等于 2.5ns。 $t_{\text{DCLK}} = \text{DCLK 周期}$ $t_{\text{CDCLK}} = \text{采样时钟下降沿到 DCLKIN 下降沿}$	2 + t_{CDCLK}	3 + t_{CDCLK}	4 + t_{CDCLK}	ns
t_{CD}	DCLK 上升沿到输出数据延迟	$F_{\text{out}} = 10\text{MSPS}$ ，数据速率 = 90MBPS，2 线	0	0.1	0.3	ns
		$F_{\text{out}} = 65\text{MSPS}$ ，数据速率 = 585MBPS，2 线	0	0.1	0.3	
		$F_{\text{out}} = 10\text{MSPS}$ ，数据速率 = 180MBPS，1 线	0.1	0.2	0.3	
		$F_{\text{out}} = 55\text{MSPS}$ ，数据速率 = 990MBPS，1 线	-0.4	0.1	0.3	
		$F_{\text{out}} = 5\text{MSPS}$ ，数据速率 = 180MBPS，1/2 线	0	0.1	0.3	
t_{DV}	数据有效	$F_{\text{out}} = 10\text{MSPS}$ ，DA/B0，1 = 90MBPS，2 线	10.5	10.7	10.8	ns
		$F_{\text{out}} = 65\text{MSPS}$ ，DA/B0，1 = 585MBPS，2 线	1.3	1.4	1.5	
		$F_{\text{out}} = 10\text{MSPS}$ ，DA/B0 = 180MBPS，1 线	4.7	4.8	4.9	
		$F_{\text{out}} = 55\text{MSPS}$ ，DA/B0 = 990MBPS，1 线	0.5	0.6	0.75	
		$F_{\text{out}} = 5\text{MSPS}$ ，DA0 = 180MBPS，1/2 线	4.7	4.8	4.9	
$F_{\text{out}} = 25\text{MSPS}$ ，DA0 = 900MBPS，1/2 线	0.6	0.7	0.85			
串行编程接口 (SCLK、SEN、SDIO) - 输入						
$f_{\text{CLK}}(\text{SCLK})$	串行时钟频率				20	MHz
$t_{\text{SU}}(\text{SEN})$	SEN 到 SCLK 的上升沿				11	ns
$t_{\text{H}}(\text{SEN})$	通过 SCLK 上升沿进行 SEN				18	ns
$t_{\text{SU}}(\text{SDIO})$	SDIO 到 SCLK 的上升沿				18	ns
$t_{\text{H}}(\text{SDIO})$	通过 SCLK 上升沿进行 SDIO				11	ns
串行编程接口 (SDIO) - 输出						
t_{OZD}	SDIO 高阻态至 LoZ				20	ns
t_{ODZ}	SDIO LoZ 至高阻态				18	ns
t_{OD}	SCLK 的下降沿至 SDIO 数据有效				20	ns

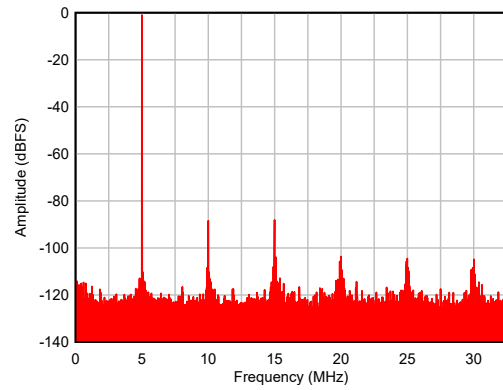
5.9 典型特性

除非另有说明，否则典型值的适用条件为： $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、外部 1.6V 电压基准。



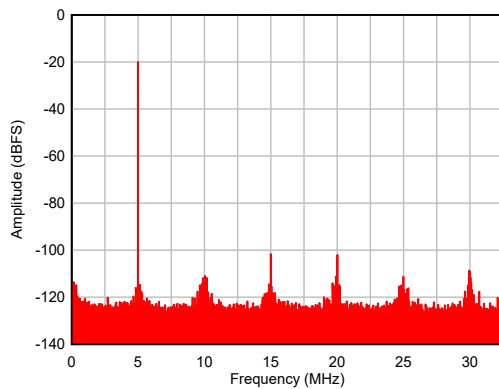
SNR = 84.1dBFS、SFDR = 87.2dBc、非 HD23 = 98.8dBc

图 5-1. $F_{IN} = 1\text{MHz}$ 时的单音频谱



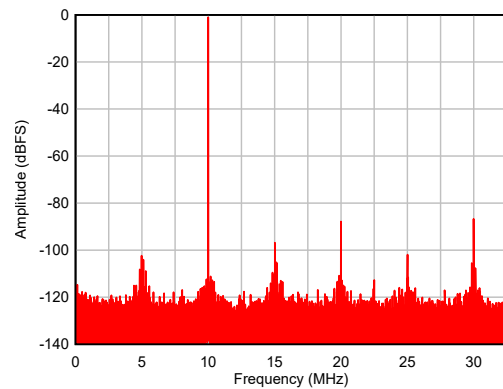
SNR = 83.6dBFS、SFDR = 87.1dBc、非 HD23 = 102dBc

图 5-2. $F_{IN} = 5\text{MHz}$ 时的单音频谱



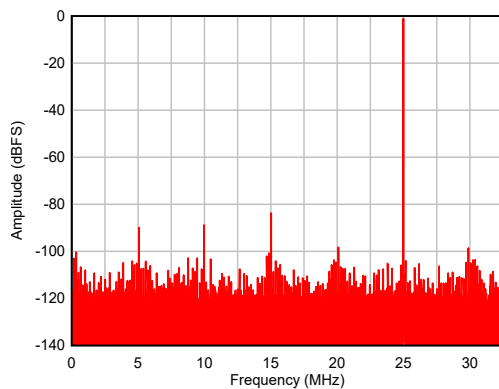
SNR = 85dBFS、SFDR = 81.6dBc、非 HD23 = 84dBc

图 5-3. $F_{IN} = 5\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ 时的单音频谱



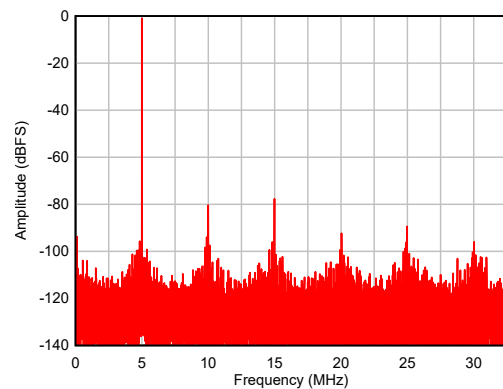
SNR = 83.5dBFS、SFDR = 85.7dBc、非 HD23 = 95.8dBc

图 5-4. $F_{IN} = 10\text{MHz}$ 时的单音频谱



SNR = 79.6dBFS、SFDR = 82.7dBc、非 HD23 = 88.9dBc

图 5-5. $F_{IN} = 40\text{MHz}$ 时的单音频谱



SNR = 76dBFS、SFDR = 76.7dBc、非 HD23 = 88.4dBc

图 5-6. $F_{IN} = 70\text{MHz}$ 时的单音频谱

5.9 典型特性 (续)

除非另有说明, 否则典型值的适用条件为: $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、外部 1.6V 电压基准。

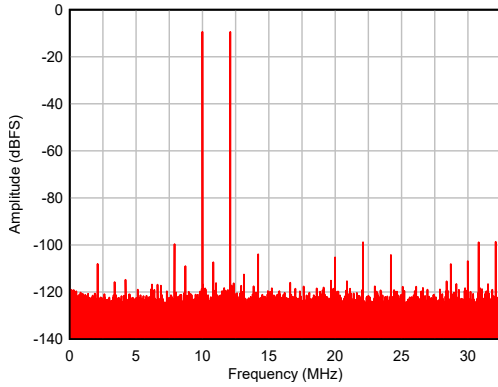


图 5-7. $F_{IN} = 10/12\text{MHz}$ 、 $A_{IN} = -7\text{dBFS}$ /子载波时的双音频谱
IMD3 = 89.6dBc

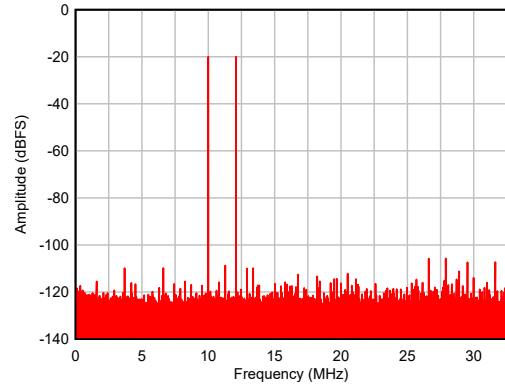


图 5-8. $F_{IN} = 10/12\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ /子载波时的双音频谱
IMD3 = 98.6dBc

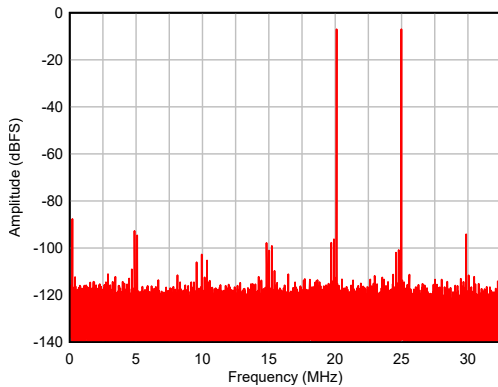


图 5-9. $F_{IN} = 40/45\text{MHz}$ 、 $A_{IN} = -7\text{dBFS}$ /子载波时的双音频谱
IMD3 = 87.1dBc

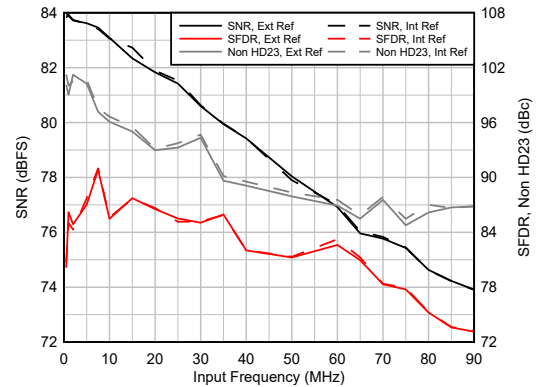


图 5-10. 交流性能与输入频率间的关系

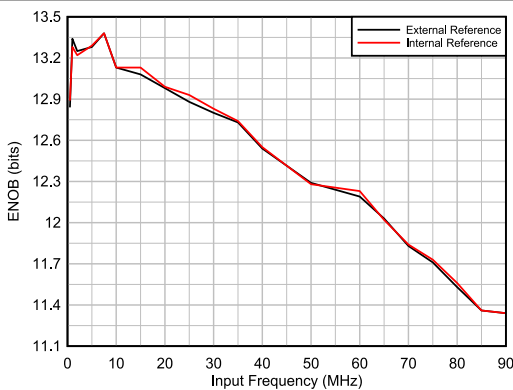


图 5-11. ENOB 与输入频率间的关系

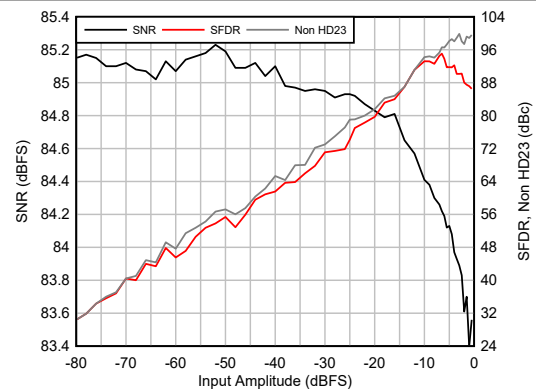


图 5-12. 交流性能与输入幅度间的关系
 $F_{IN} = 5\text{MHz}$

5.9 典型特性 (续)

除非另有说明, 否则典型值的适用条件为: $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AVDD = IOVDD = 1.8\text{V}$ 、外部 1.6V 电压基准。

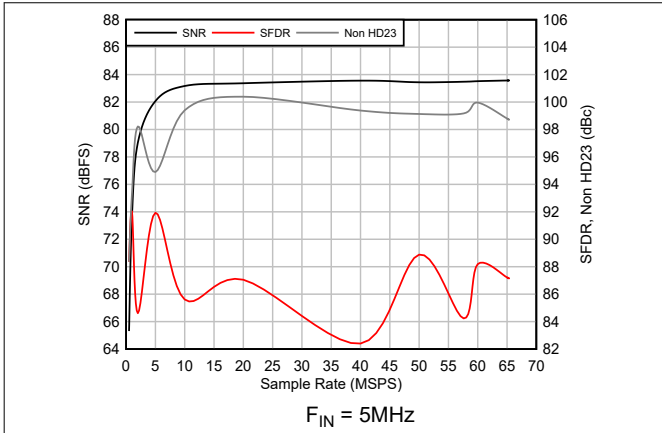


图 5-13. 交流性能与采样率间的关系

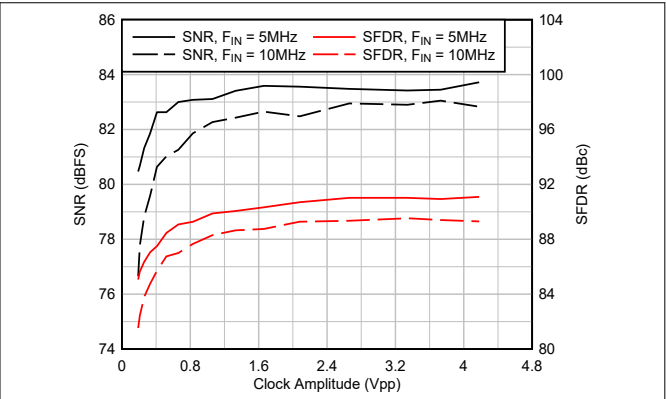


图 5-14. 交流性能与时钟振幅间的关系

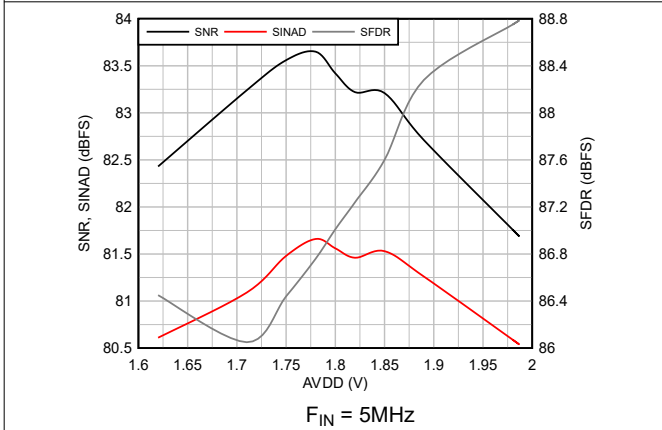


图 5-15. 交流性能与 AVDD 间的关系

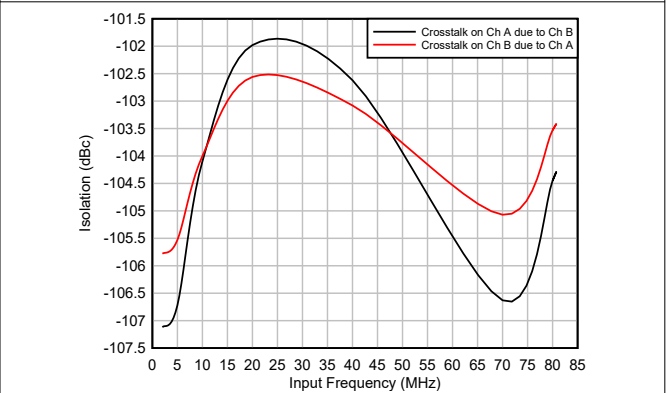


图 5-16. 隔离与输入频率间的关系

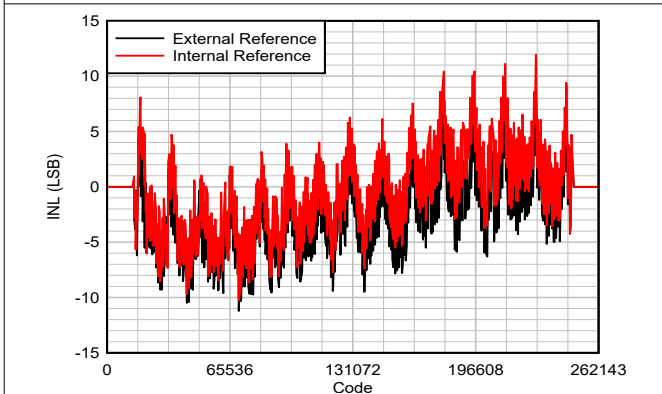


图 5-17. INL 与代码间的关系

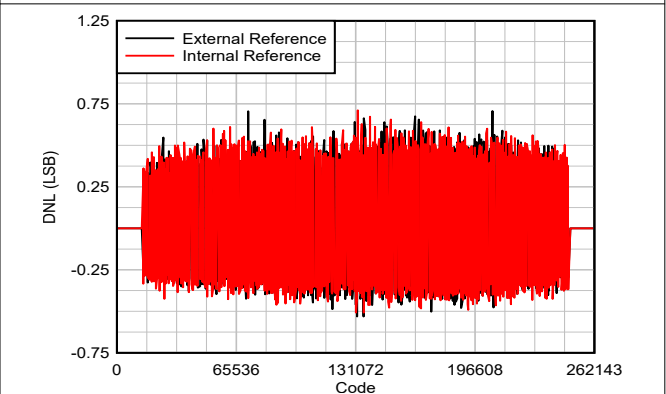


图 5-18. DNL 与代码间的关系

5.9 典型特性 (续)

除非另有说明, 否则典型值的适用条件为: $T_A = 25^\circ\text{C}$ 、ADC 采样率 = 65MSPS、 $A_{IN} = -1\text{dBFS}$ 、差分输入、 $AV_{DD} = IOV_{DD} = 1.8\text{V}$ 、外部 1.6V 电压基准。

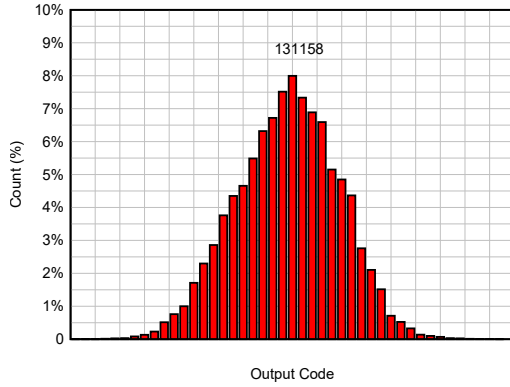
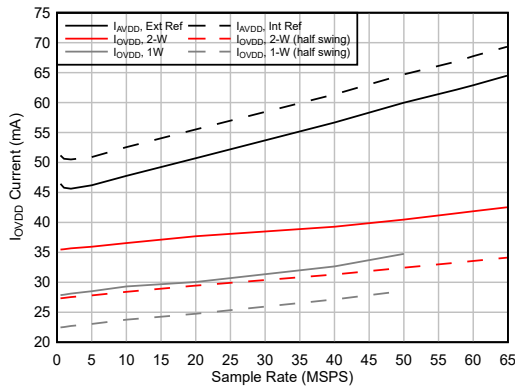


图 5-19. 直流偏移直方图



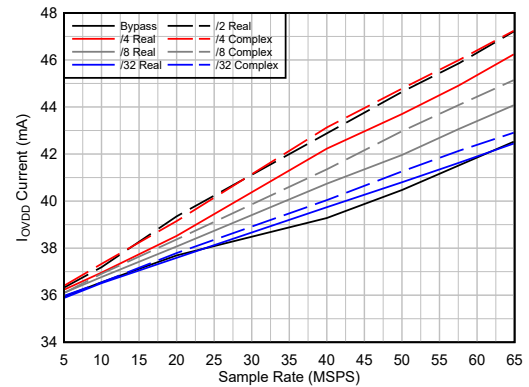
展开的 1MHz 方波

图 5-20. 脉冲响应



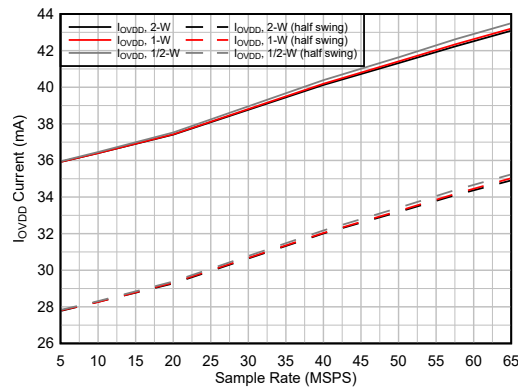
$F_{IN} = 5\text{MHz}$, DDC 旁路

图 5-21. 电流与采样率间的关系



$F_{IN} = 5\text{MHz}$, 2 线

图 5-22. I_{OVDD} 电流与抽取间的关系



$F_{IN} = 5\text{MHz}$, 32 倍复数抽取率

图 5-23. I_{OVDD} 电流与输出接口间的关系

6 参数测量信息

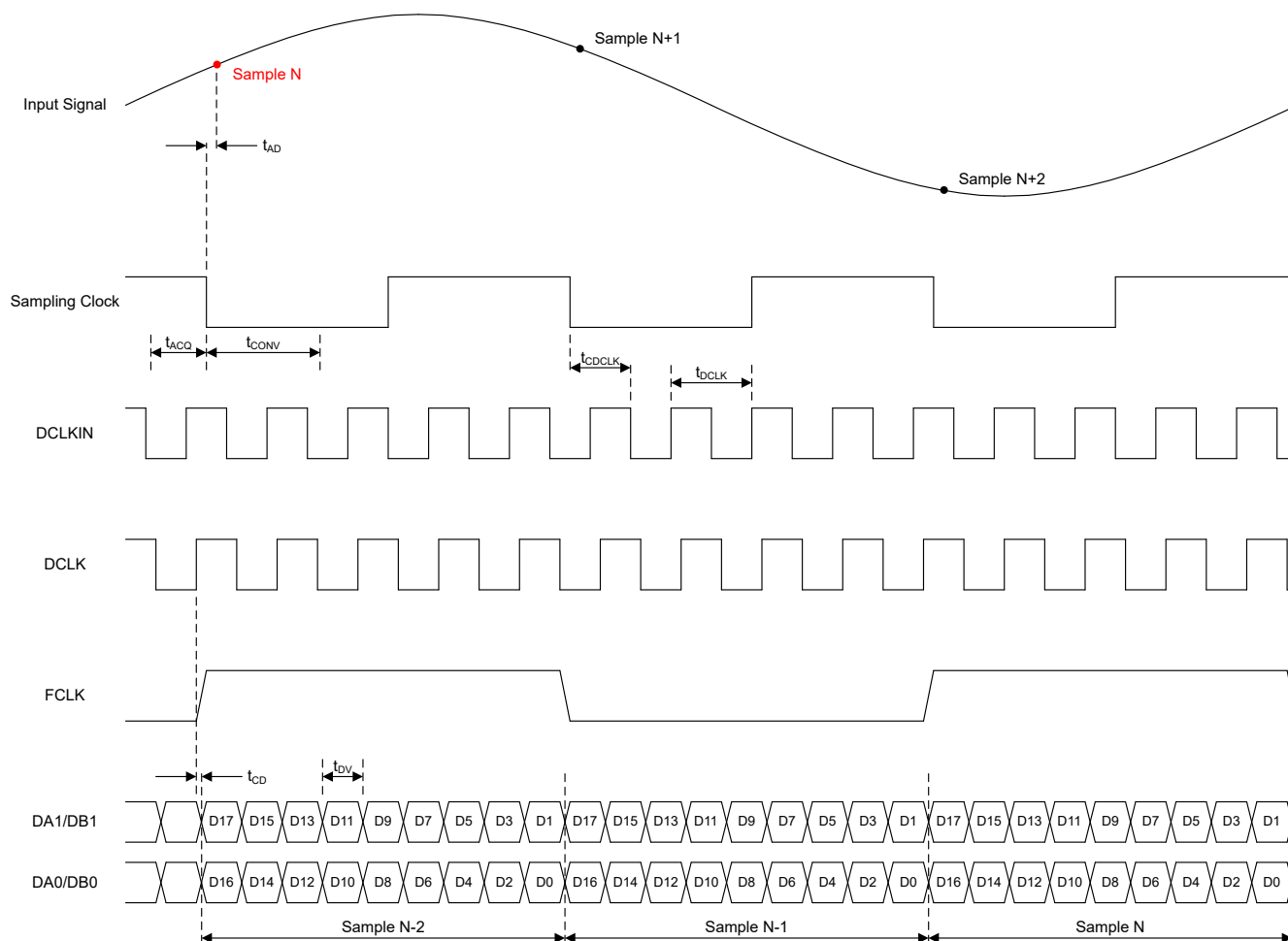


图 6-1. 时序图：2 线

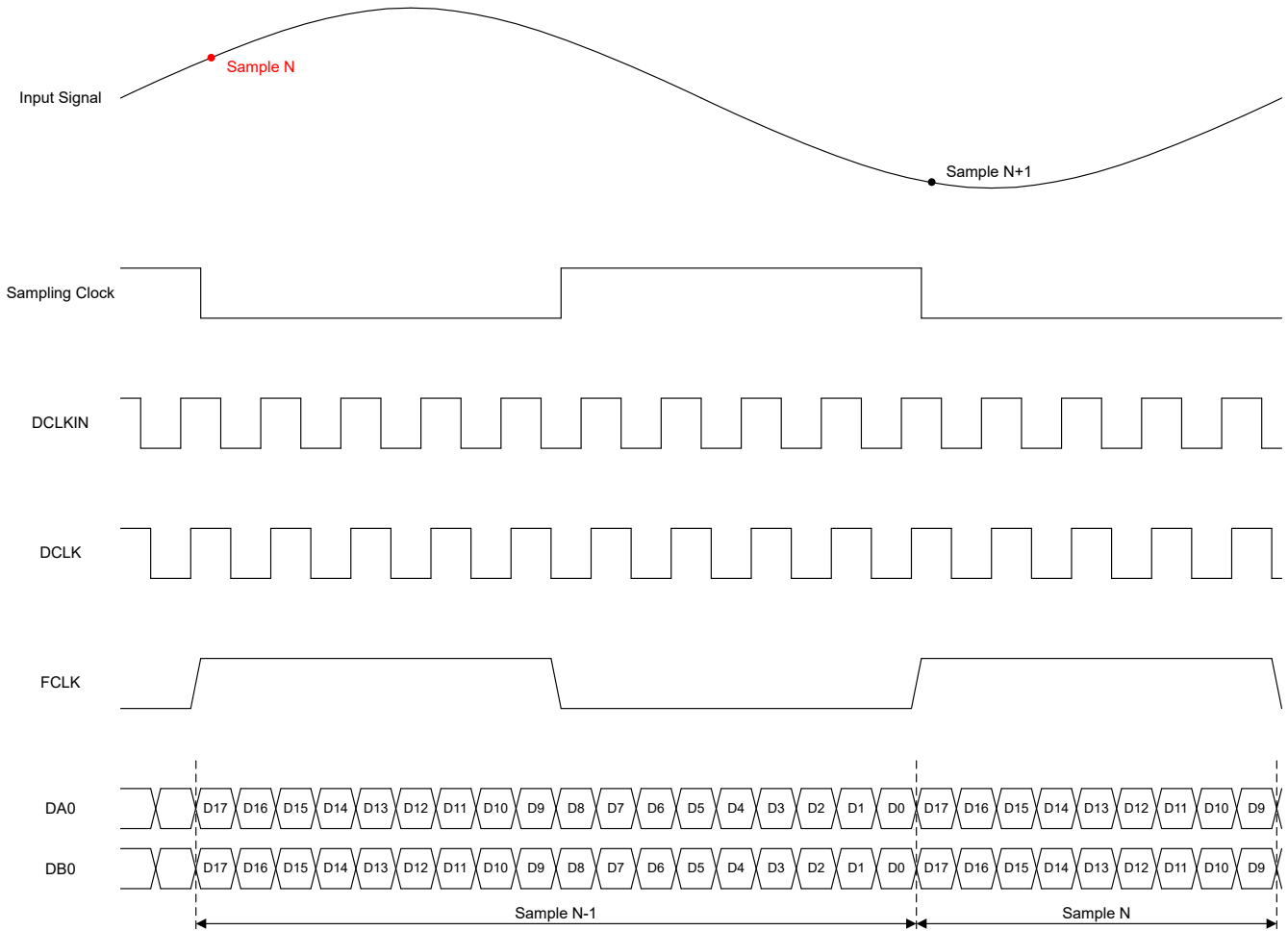


图 6-2. 时序图：1 线

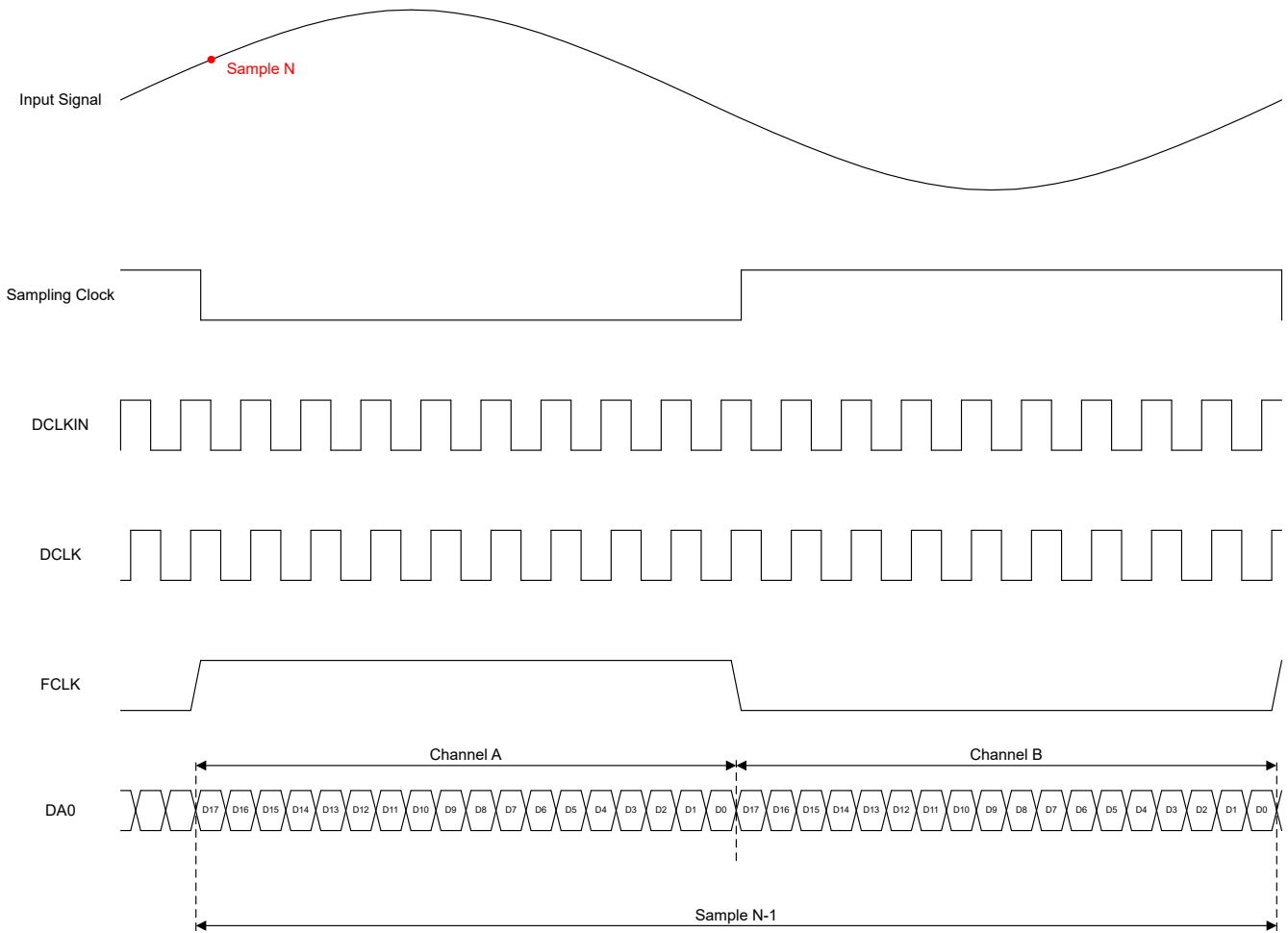


图 6-3. 时序图：1/2 线

7 详细说明

7.1 概述

ADC3683-SP 是一款低延迟、低噪声、超低功耗 18 位高速双通道 ADC，最大采样率为 65MSPS。它适用于任务剖面为电离辐射总剂量 (TID) 小于 300krad (Si) 且单粒子门锁 (SEL) 小于 75MeV-cm²/mg 的航天应用。ADC 有一个内部基准选项，并支持使用外部、高精度、1.6V 基准 (请参阅节 7.3.3)。(可选) 集成式可编程数字下变频器 (DDC) 可降低输出数据速率并实现通道化 (请参阅节 7.3.5)。如果在复数抽取模式下运行，DDC 将为复杂混合提供 32 位可编程 NCO。DDC 还支持无混合的实数抽取模式。

ADC3683-SP 使用串行 LVDS (SLVDS) 接口输出数据，可更大限度减少数字互连的次数 (请参阅节 7.3.4.2)。SLVDS 接口可配置为以下模式之一：每个通道两条 LVDS 信道 (2 线)，每个通道一条 LVDS 信道 (1 线) 或单信道模式 (1/2 线) (其中两个通道在同一个 LVDS 信道上多路复用)。该器件支持从 14 位到 20 位的可配置输出分辨率。由于固有的低延迟 ADC 架构，只需经过一两个时钟周期即可获得数字输出结果，具体取决于输出接口模式。

ADC3683-SP 旨在通过配置寄存器 (节 7.5) 而通过串行外设接口 (SPI) 进行控制；然而，CTRL 引脚也可用于配置上电时的电压基准源和采样时钟输入类型。

7.2 功能方框图

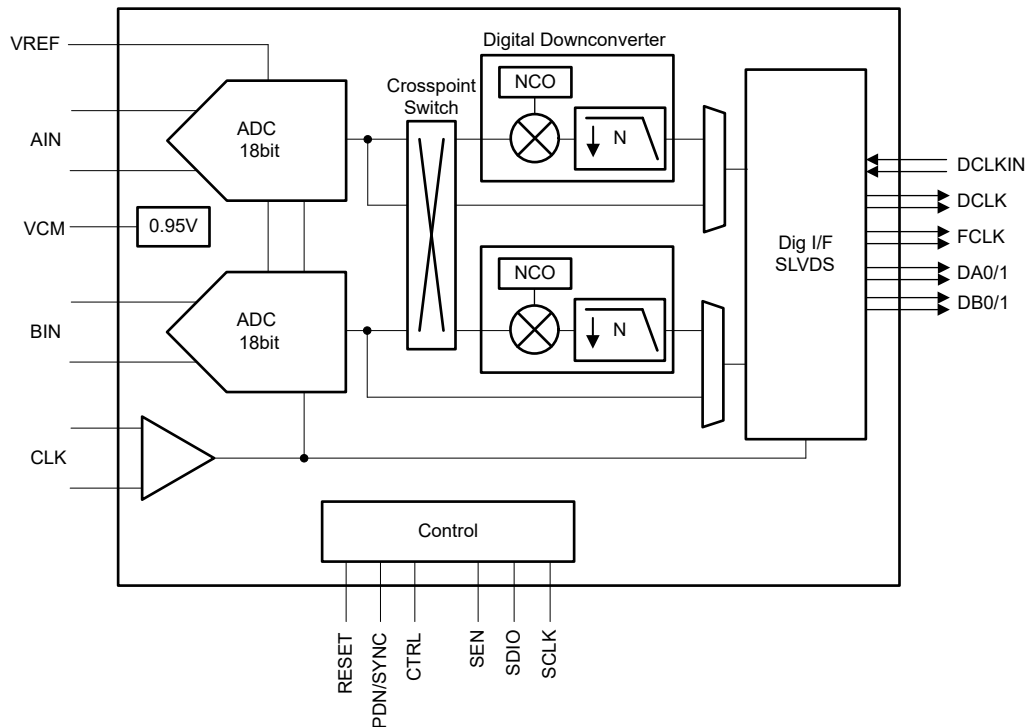


图 7-1. 简化版方框图

7.3 特性说明

7.3.1 模拟输入

ADC3683-SP 的模拟输入旨在以差分方式驱动。支持模拟输入的交流耦合和直流耦合。模拟输入设计用于 0.95V 的输入共模电压，该电压必须在每个输入引脚上从外部提供。图 7-2 所示为 ADC 的模拟输入模型。首先，8 个开关在采集期间闭合，持续时间为 t_{ACQ} 。然后，所有开关都在 t_{CONV} 时间段内保持断开状态。最后，在下一个采集周期之前，复位开关将在 t_{RST} 期间内闭合。

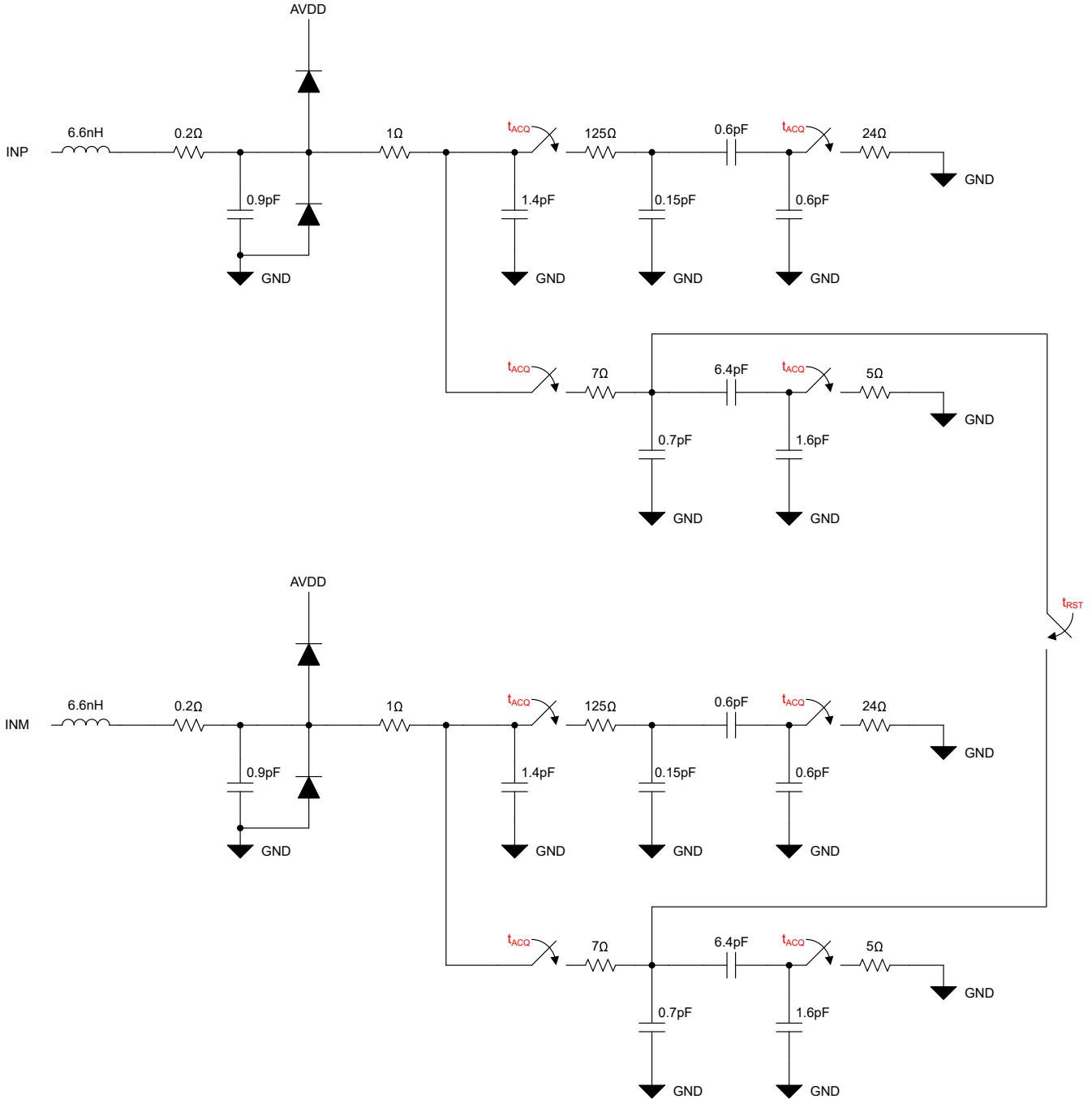


图 7-2. 模拟输入模型

7.3.1.1 模拟输入带宽

图 7-3 展示了具有 $50\ \Omega$ 差分终端的 ADC3683-SP 模拟全功率输入带宽。-3dB 带宽约为 200MHz。ADC 架构将全功率带宽限制为 65MHz；因此，可避免显著降低 ADC 性能。建议输入功率随着输入频率增加到高于 65MHz 而线性降低。

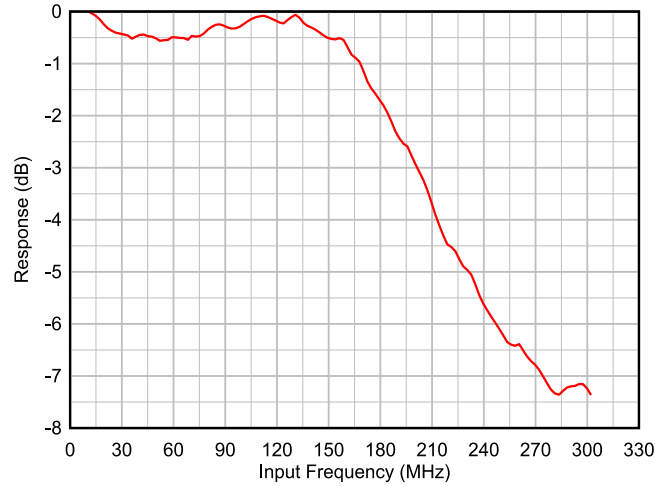


图 7-3. ADC 模拟输入带宽响应

7.3.1.2 模拟前端设计

ADC3683-SP 应与无源滤波器一起使用，以吸收由于采样而在输入端产生的干扰。此外，交流耦合应用中需要无源直流偏置电路，该电路可与端接网络结合使用。

7.3.1.2.1 采样干扰滤波器

采样干扰滤波器旨在优化 ADC 的 SNR 和 HD3 性能。滤波器性能取决于输入频率：因此，建议针对如图 7-5 和图 7-4 所示的不同输入频率范围使用以下滤波器设计（假设 $50\ \Omega$ 源阻抗）。

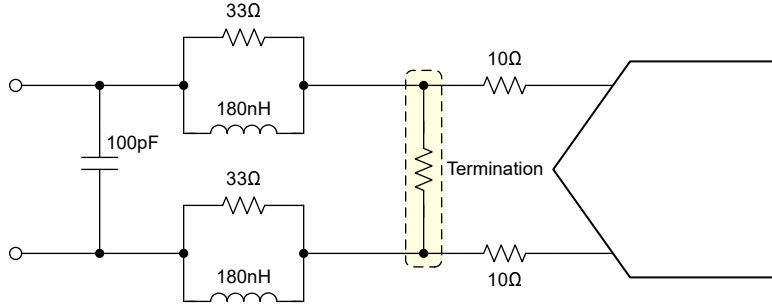


图 7-4. 针对 0Hz 至 30MHz 输入频率的采样干扰滤波器

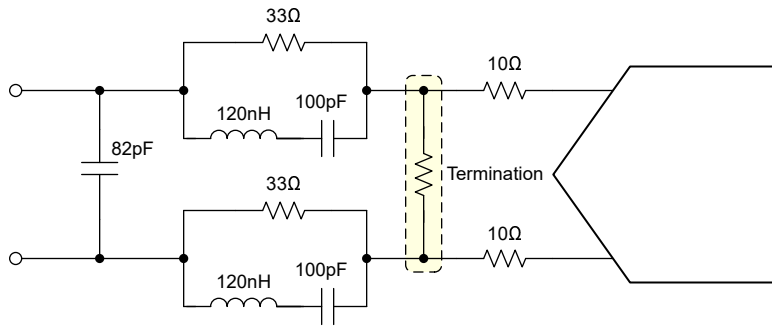


图 7-5. 针对 30MHz 至 70MHz 输入频率的采样干扰滤波器

7.3.1.2.2 交流耦合

ADC3683-SP 模拟输入需要在输入通过交流耦合的情况下对 ADC 的共模电压 (VCM) 进行外部直流偏置。图 7-6 展示了交流耦合输入网络的示例。

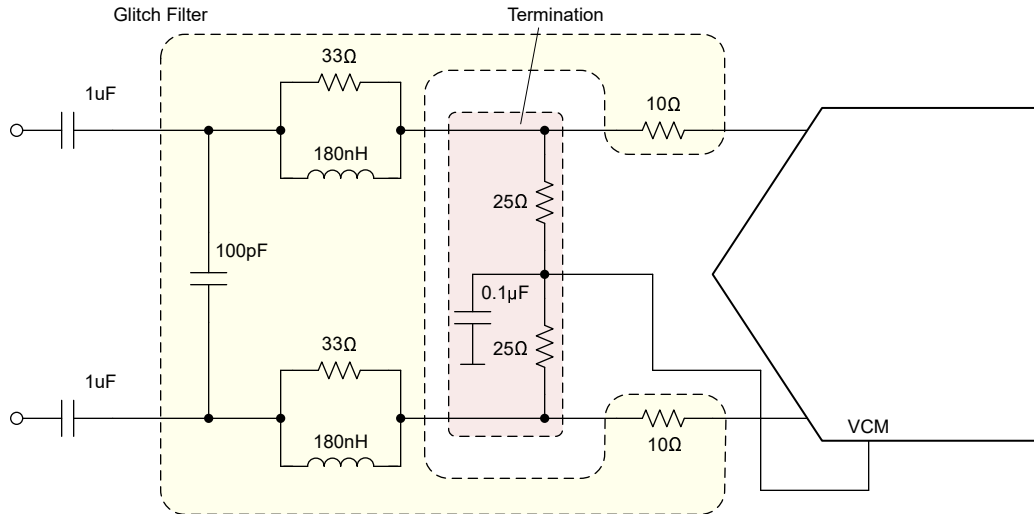


图 7-6. 交流耦合输入网络

7.3.1.2.3 直流耦合

在直流耦合应用中，需要使用 ADC 的 VCM 输出从驱动器（通常是全差分放大器或 FDA）提供直流偏置，如图 7-7 所示。

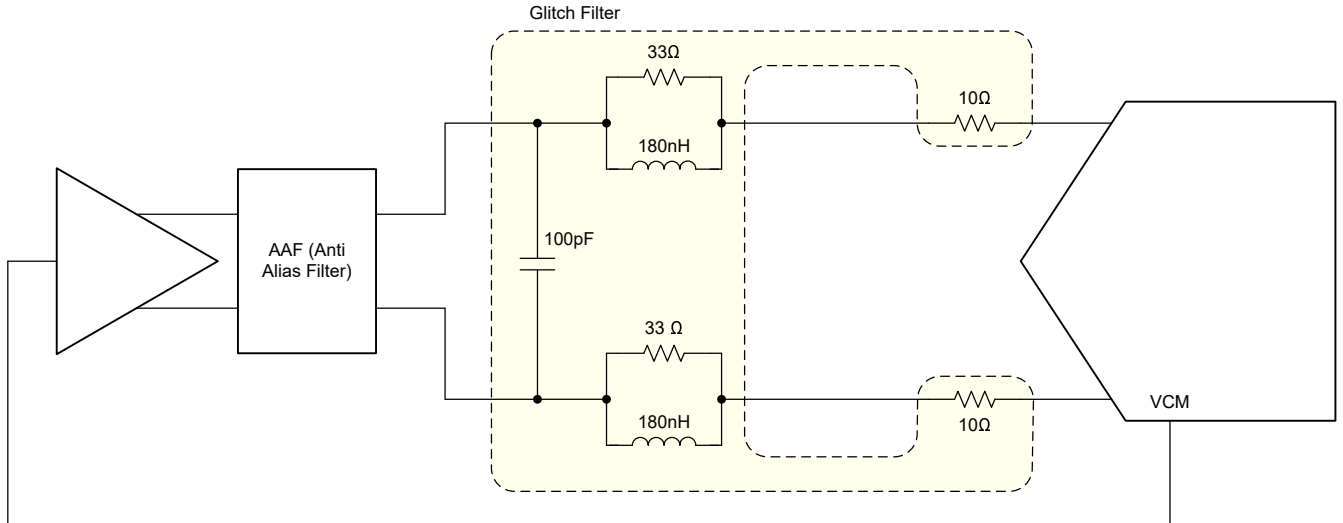


图 7-7. 直流耦合输入网络

7.3.2 时钟输入

为了更大限度地提高 ADC3683-SP SNR 性能，外部采样时钟应为低抖动差分信号。该器件提供了采用单端时钟输入工作的选项，以降低器件功耗并简化系统设计，但这以牺牲性能为代价。

7.3.2.1 差分与单端时钟输入

ADC3683-SP 可使用差分或单端时钟输入运行，其中单端时钟输入的功耗较低，但以牺牲性能为代价。

- 差分时钟输入模式：时钟输入必须在外部进行交流耦合。ADC3683-SP 具有内部直流电路。
- 单端时钟输入模式：使用 SPI (0x0E 的 D3 和 D0) 或通过 CTRL 引脚配置此模式。在此模式下，不存在内部时钟偏置。时钟输入需要与 0.9V 的共模电压进行直流耦合。未使用的时钟输入应交流耦合接地。

7.3.2.2 信号采集时间调整

ADC3683-SP 包含一个寄存器 (0x11 的 D2)，可将内部 DLL 断电，从而将采样率低于 30MSPS 的信号采集时间从时钟周期的 25% 增加到时钟周期的 50%。当 DLL 断电时，采集时间跟踪时钟占空比。

表 7-1. 采集时间与 DLL_PDN 设置间的关系

采样时钟 F_S (MSPS)	DLL_PDN (0x11 的 D2)	采集时间 (t_{Acq})
> 30	0	$T_S / 4$
≤ 30	1	$T_S / 2$

7.3.3 电压基准

ADC3683-SP 提供了两个不同的选项，用于为 ADC 提供电压基准。第一个选项是内部 1.6V 基准。第二个选项是外部 1.6V 基准，它可以直接连接到 VREF 输入以获得出色性能。无论基准源 (内部或外部) 如何，都可以通过将 10 μ F 和 0.1 μ F 陶瓷旁路电容器连接到 VREF 引脚来滤除基准噪声。

备注

电压基准模式可通过 SPI 或使用 CTRL 引脚选择 (节 7.5.1)。如果 CTRL 引脚未用于配置，则 CTRL 引脚应连接到 AVDD，并且可通过 SPI 选择电压基准。

7.3.3.1 内部电压基准

ADC3683-SP 具有 1.6V 基准，可在缺少外部基准的情况下使用。VREF 和 REFGND 之间应连接一个 10 μ F 去耦电容器和一个 0.1 μ F 去耦电容器。该电容应尽量靠近器件引脚放置。

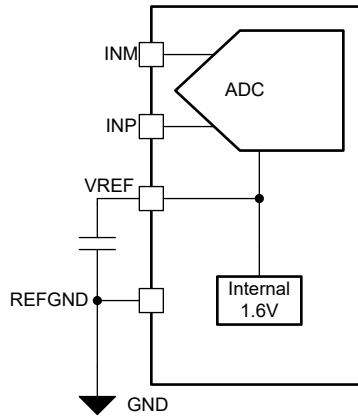


图 7-8. 内部基准模式

7.3.3.2 外部电压基准

为了实现超高精度和出色的漂移性能，ADC3683-SP 基准电压可从外部获得。当使用外部基准时，VREF 引脚可直接连接到外部 1.6V 基准。VREF 和 REFGND 之间应连接一个 10 μ F 去耦电容器和一个 0.1 μ F 去耦电容器。该电容应尽量靠近器件引脚放置。

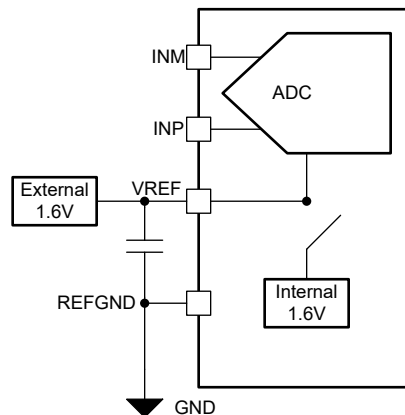


图 7-9. 外部基准模式

7.3.4 数字数据路径和接口

ADC3683-SP 使用串行 LVDS (SLVDS) 接口输出 ADC 数据，可更大限度减少数字互连的次数。SLVDS 接口可配置为以下模式之一：每个通道两条 LVDS 信道 (2 线)，每个通道一条 LVDS 信道 (2 线) 或半信道模式 (1/2 线) 选项 (其中两个通道在一个 LVDS 信道上多路复用)。该器件支持从 14 位到 20 位的可配置输出分辨率。

ADC3683-SP 需要外部接口时钟 (DCLKIN)。DCLKIN 的延迟版本用作接口输出时钟 (DCLK)。

7.3.4.1 数据路径概述

ADC3683-SP 提供一组灵活的数字信号处理 (DSP) 功能 (图 7-10)，可以使用所有或部分功能。ADC 内核提供一个 18 位输出，该输出可传递给数字下变频器 (DDC) 或直接提供给数字接口。由于 ADC 内核提供超低的延迟，必须禁用 DSP 功能 (0x24 的 D2) 才能实现超低延迟。

在数据通道上发送数据之前，数据首先通过分辨率选择块，然后通过输出位映射器。分辨率选择器提供多种输出分辨率选择：14 位、16 位、18 位或 20 位。对于 14 位和 16 位输出分辨率，LSB 在重新格式化期间将被截断。请注意，在 20 位输出模式下，如果未使用 DDC，则只会将两个零附加为 LSB。输出位映射器将每个数据位映射到每个活动通道的数据流中的一个位置。

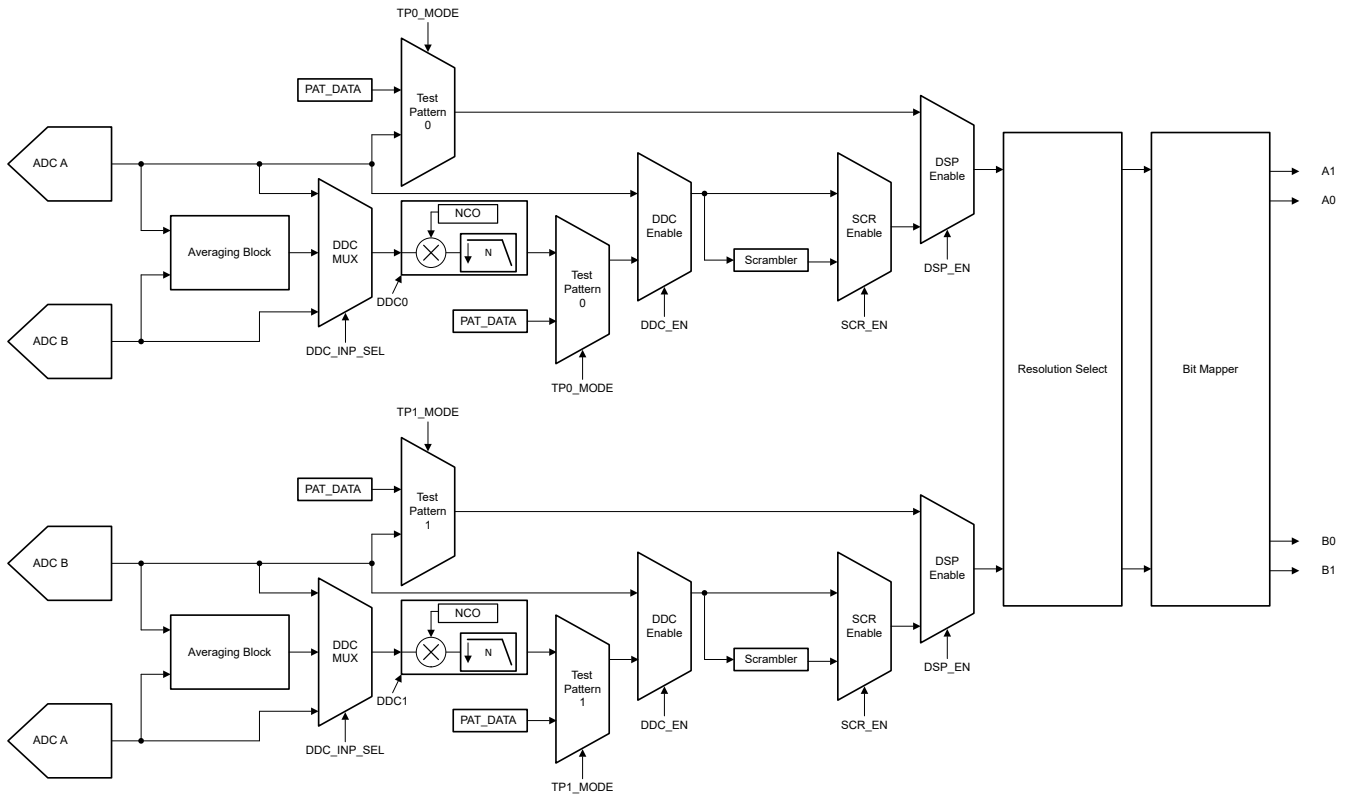


图 7-10. 数字数据路径概述

7.3.4.2 数字接口

表 7-2 根据输出分辨率和接口模式对生成的串行化因子进行了概述。输出串行化因子根据接口模式设置和分辨率在内部进行调整；然而，无论接口设置如何，都无法超过 1Gbps 的最大 LVDS 接口输出数据速率。请注意，DCLKIN 频率也需要进行相应调整。例如，在 2 线模式下将输出分辨率从 18 位更改为 16 位，会使 DCLKIN 等于 $F_S * 4$ 而不是 $F_S * 4.5$ 。

更改输出接口和/或分辨率的编程序列如节 7.5.3 所示。

备注

如果可能，建议使用允许 DCLKIN 频率与采样时钟 (CLK) 频率之间存在整数比的接口模式。这有助于满足节 7.3.4.3 中所述的 DCLKIN 到 CLK 时序要求。

备注

由于 ADC3683-SP SNR 非常高，LVDS 输出可能会耦合并降低 SNR。因此，提供了半摆幅 LVDS 模式以减少 LVDS 输出摆幅并更大幅度地减少耦合。如有可能，请启用半摆幅 (0x1A 的 D6)，以更大幅度地降低 ADC SNR。

表 7-2. 数字接口模式

输出分辨率	接口	串行化因子	FCLK	DCLKIN	DCLK	数据速率
14 位	2 线	7x	$F_S/2$	$F_S * 3.5$	$F_S * 3.5$	$F_S * 7$
	1 线	14x	F_S	$F_S * 7$	$F_S * 7$	$F_S * 14$
	1/2 线	28x	F_S	$F_S * 14$	$F_S * 14$	$F_S * 28$
16 位	2 线	8x	$F_S/2$	$F_S * 4$	$F_S * 4$	$F_S * 8$
	1 线	16x	F_S	$F_S * 8$	$F_S * 8$	$F_S * 16$
	1/2 线	32x	F_S	$F_S * 16$	$F_S * 16$	$F_S * 32$
18 位	2 线	9x	$F_S/2$	$F_S * 4.5$	$F_S * 4.5$	$F_S * 9$
	1 线	18x	F_S	$F_S * 9$	$F_S * 9$	$F_S * 18$
	1/2 线	36x	F_S	$F_S * 18$	$F_S * 18$	$F_S * 36$
20 位	2 线	10x	$F_S/2$	$F_S * 5$	$F_S * 5$	$F_S * 10$
	1 线	20x	F_S	$F_S * 10$	$F_S * 10$	$F_S * 20$
	1/2 线	40x	F_S	$F_S * 20$	$F_S * 20$	$F_S * 40$

7.3.4.3 DCLKIN

DCLKIN 是 ADC3683-SP 的外部时钟，其中该时钟的延迟版本用作输出接口时钟 (DCLK)。DCLKIN 可配置为通过 SPI (0x244 的 D5) 从外部或内部偏置到 1.2V 共模电压。DCLKIN 还具有内部 100 Ω 端接电阻。

备注

DCLKIN 可达到最大 500MHz，这会将 LVDS 通道限制为每个通道最大 1Gbps，因为数据同时在 DCLK 的上升沿和下降沿发送。

鉴于 ADC3683-SP 的低延迟架构，需要控制采样时钟 (CLK) 和 DCLKIN 之间的关系。DCLKIN 和 CLK 必须锁相到相同的基准频率。CLK 和 DCLKIN 的下降沿需要相隔 2.5ns，否则会发生时序违例。如果观察到时序违例，内部时序违例检测电路会在 CLK 和 DCLKIN 之间增加 1ns 的延迟。可以通过一个 DCLK 周期内 t_{PD} 规格的变化观察到该检测电路的影响。

7.3.4.4 输出扰频器

ADC3683-SP 仅包含 2 线模式的可选输出扰频器功能。扰频器可通过启用 DSP 功能 (0x24 的 D2) 和启用扰频 (0x22 的 D6) 来启用。启用后, 每个样本会拆分为两部分。样本流的每一半都独立进行加扰。例如, 如果样本流的分辨率为 18 位, 则该流被分为位 D17-D9 和 D8-D0 两部分。这两半被馈送到独立的扰频块中, 其中每个扰频器的每个输入位 ($x[k]$) 与前两个位 ($y[k-14]$ 和 $y[k-15]$) 进行异或运算, 如图 7-11 所示。由于这是自同步扰频器, 因此可忽略扰频器的启动状态。

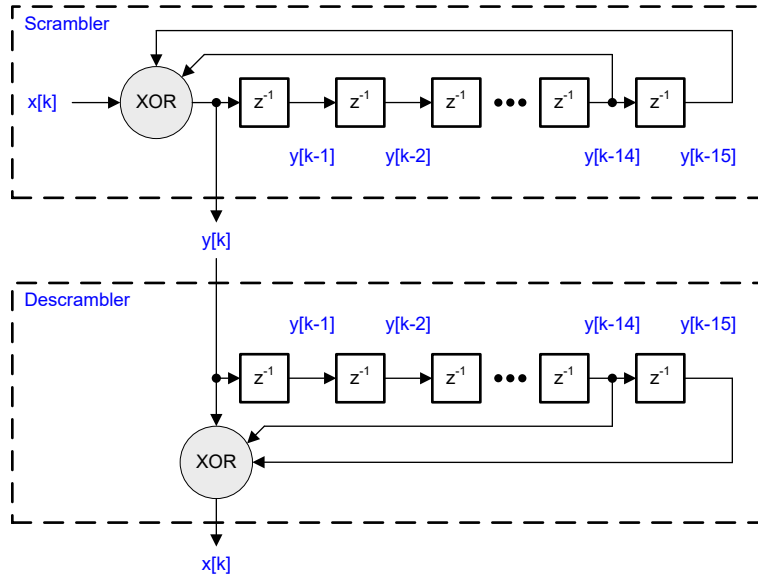


图 7-11. 扰频器和解扰器操作

备注

馈入每个扰频器的样本流首先馈送到扰频器 LSB。因此, 在前面的示例中, 由 D8-D0 组成的样本流一半提供给扰频器, D0 首先作为 $x[k]$, 而后 D1 作为 $x[k+1]$, 依此类推。

为了正确解扰, 必须对样本流的两半进行解扰, 然后将解扰数据用于重建样本。在接收器端, 通过将每个传入位 ($y[k]$) 与之前的 2 个位 ($y[k-14]$ 和 $y[k-15]$) 进行异或运算, 可以对传入的串行数据流进行解扰。

备注

由于扰频器会查看样本流的两半，因此需要配置输出位映射器，以便每个通道仅包含样本的一个半部分。

例如，在 2 线和 18 位模式下，默认情况下 (图 6-1)，一个通道承载奇数位 (D17、D15、D13 等)，一个通道承载偶数位 (D16、D14、D12 等)。启用扰频时，需要配置位映射器，以便一个通道承载位 D9-D17，另一个通道承载位 D0-D8 (每个通道首先承载 LSB)。对 18 位样本流进行扰频的示例数据流图如图 7-12 所示，其中 D17:D0 是 ADC 在分辨率选择块后提供的样本，样本被拆分为 D0-D8 和 D9-D17 并馈入每个扰频器 (LSB 在前)，S0-S17 是生成的扰频位。

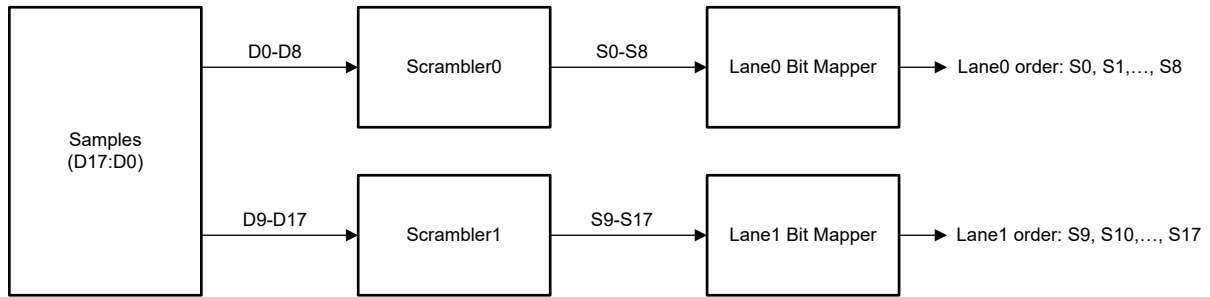


图 7-12. 18 位加扰示例

7.3.4.5 输出位映射器

输出位映射器刚好位于物理输出接口的前面，指示每个活动通道上传输的位顺序。每个采样位都可以通过表 7-3 中所示的值进行唯一标识。同样，每个通道中的每个位位置也是唯一标识的，每个位位置都具有独立的寄存器地址。要将特定位映射到特定位位置（和特定通道），表 7-3 中的位值需要写入与所需通道中所需位位置相对应的地址。

ADC3683-SP 支持的最大输出分辨率为 20 位；因此，每个通道都有唯一标识的 20 个位。在 2 线模式下，两个样本被视为同一帧的一部分；因此，每个样本有两组 20 位，一组用于上个样本，另一组用于当前样本。节 7.3.4.5.1、节 7.3.4.5.2 和节 7.3.4.5.3 分别提供了与 2 线、1 线和 1/2 线下每个通道中每个位位置相对应的寄存器地址。

表 7-3. 唯一位标识符

BIT_ID	通道 A		通道 B	
	上个样本 (仅限 2w)	当前样本	上个样本 (仅限 2w)	当前样本
D19 (MSB)	0x2D	0x6D	0x29	0x69
D18	0x2C	0x6C	0x28	0x68
D17	0x27	0x67	0x23	0x63
D16	0x26	0x66	0x22	0x62
D15	0x25	0x65	0x21	0x61
D14	0x24	0x64	0x20	0x60
D13	0x1F	0x5F	0x1B	0x5B
D12	0x1E	0x5E	0x1A	0x5A
D11	0x1D	0x5D	0x19	0x59
D10	0x1C	0x5C	0x18	0x58
D9	0x17	0x57	0x13	0x53
D8	0x16	0x56	0x12	0x52
D7	0x15	0x55	0x11	0x51
D6	0x14	0x54	0x10	0x50
D5	0x0F	0x4F	0x0B	0x4B
D4	0x0E	0x4E	0x0A	0x4A
D3	0x0D	0x4D	0x09	0x49
D2	0x0C	0x4C	0x08	0x48
D1	0x07	0x47	0x03	0x43
D0 (LSB)	0x06	0x46	0x02	0x42

7.3.4.5.1 2 线模式

在 2 线模式下，同时使用表 7-3 的当前样本列和上个样本列。此外，表 7-3 中当前样本和上个样本的每个 BIT_ID 都需要映射到一个特定地址，以指示相应通道中位的位置。对于 14 位/18 位分辨率和 16 位/20 位分辨率，地址空间顺序是不同的。每个通道的位映射器地址空间也不同。

备注

根据分辨率的不同，样本之间可能会跳过未使用的地址。例如，从 18 位分辨率变为 14 位，每个通道最后两个 LSB 对应的地址可以被忽略。

图 7-13 和图 7-14 展示了对应于每个分辨率设置和通道的位位置的寄存器地址。每个地址显示的默认值是在将 ADC3683-SP 配置为 2 线接口模式后的值。

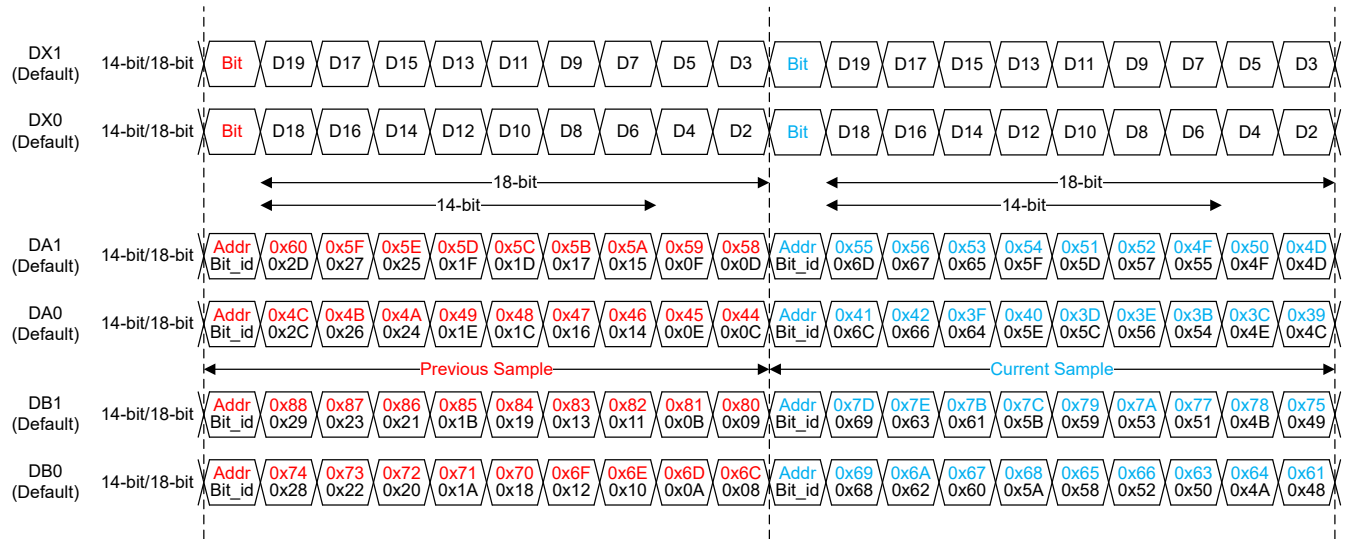


图 7-13. 2 线、14 位/18 位的默认位映射

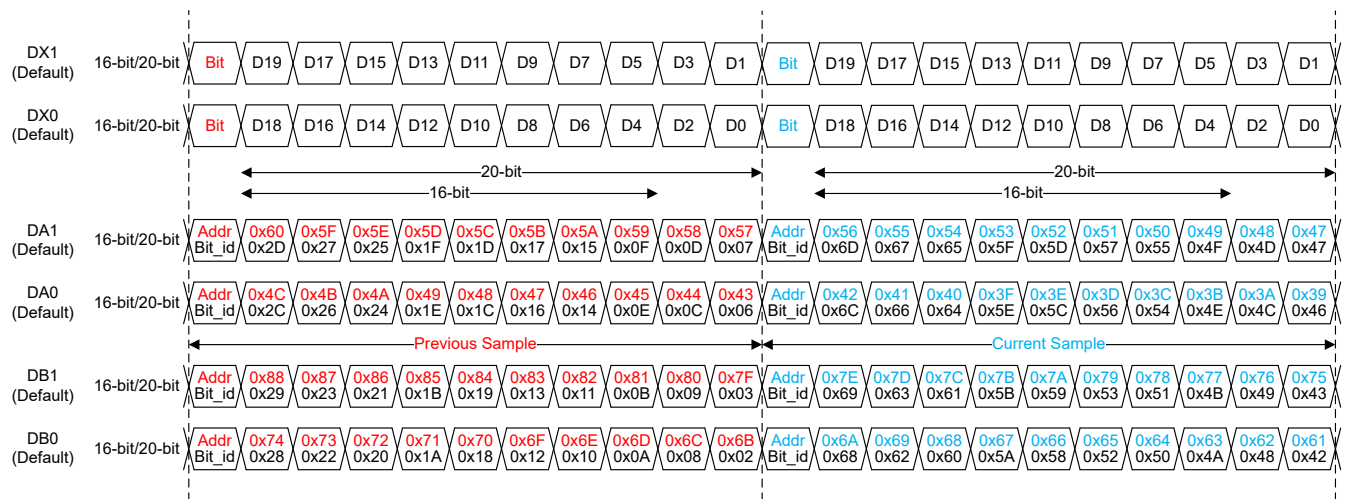


图 7-14. 2 线、16 位/20 位的默认位映射

图 7-15 展示了如何将位映射器配置为支持 16 位扰频输出。位映射器的配置使样本的上半部分和下半部分在单独的通道上发送，并且这些位先发出 LSB，如节 7.3.4.4 中所述。

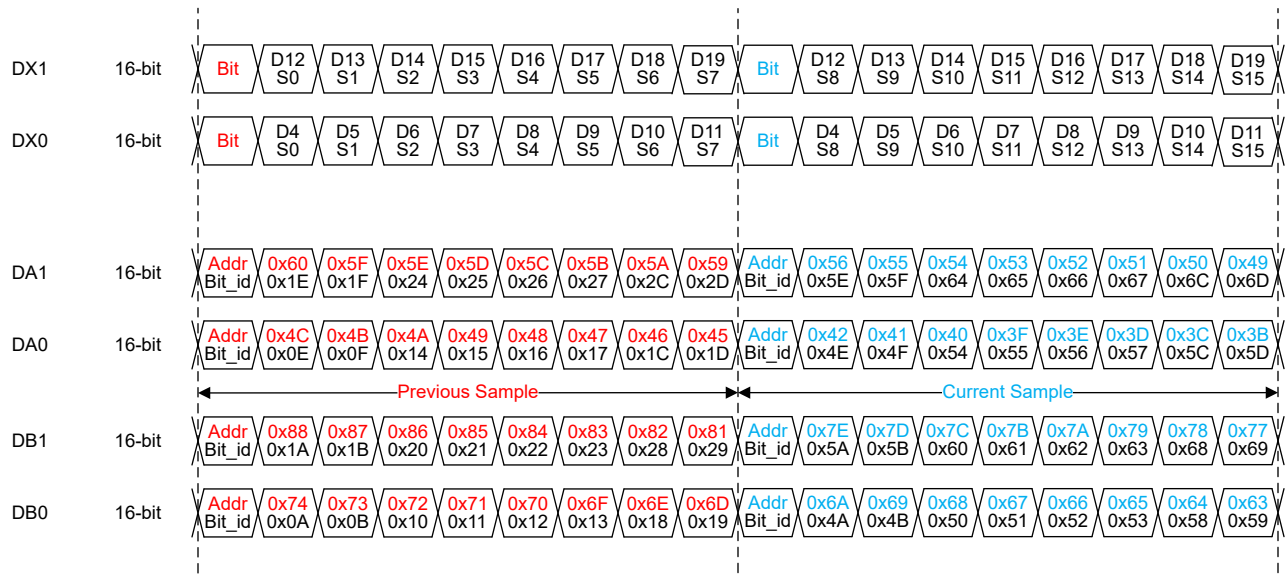


图 7-15. 为 16 位扰频输出配置位映射器的示例

7.3.4.5.2 1 线模式

图 7-16 展示了对应于每个分辨率设置的位位置以及用于 1 线模式的通道的寄存器地址。每个地址显示的默认值是在将 ADC3683-SP 配置为 1 线接口模式后的值。

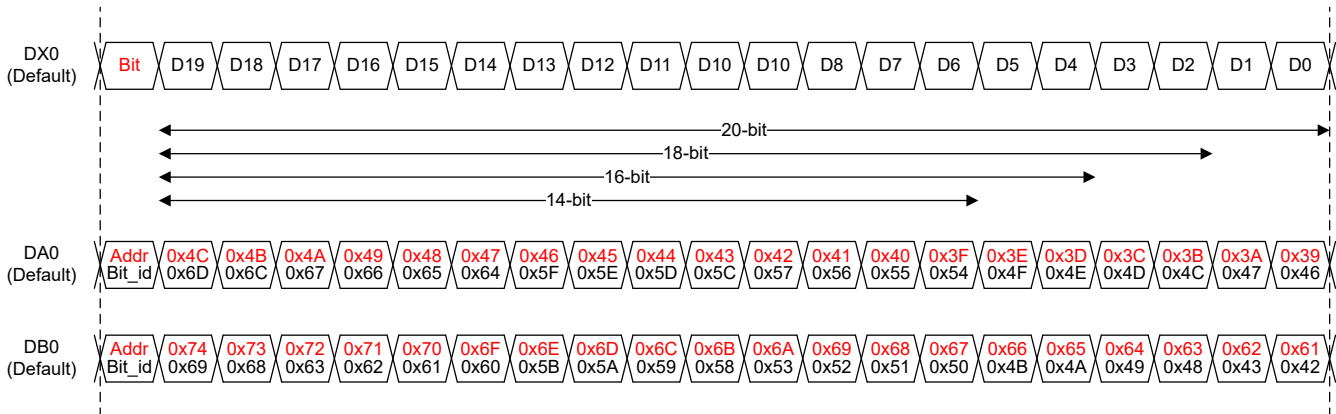


图 7-16. 1 线的默认位映射

7.3.4.5.3 1/2 线模式

在 1/2 线模式下，两个通道在同一信道上复用，并且只在信道 DA0 上提供。图 7-17 展示了对应于 1 线模式下每个分辨率设置通道上的位位置的寄存器地址。每个地址显示的默认值是在将 ADC3683-SP 配置为 1/2 线接口模式后的值。

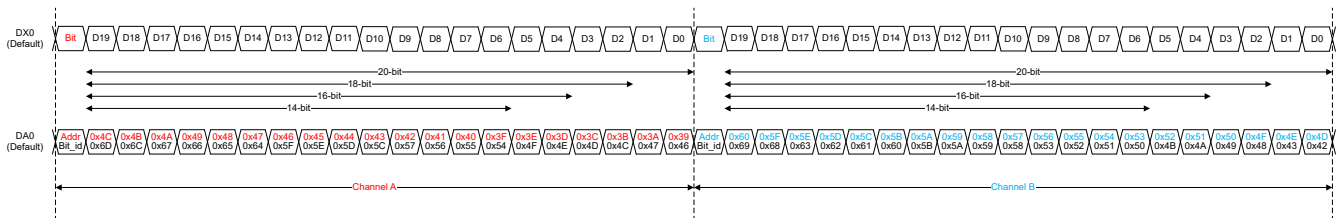


图 7-17. 1/2 线的默认位映射

7.3.4.6 输出数据格式

ADC3683-SP 样本可通过 SPI (0x8F 和 0x92 的 D2) 配置为二进制补码格式 (默认) 或偏移二进制格式。表 7-4 概述了这两种格式选项基于分辨率的最小和最大输出代码。

表 7-4. 最小和最大 ADC 代码

分辨率 (位)	二进制补码 (默认)				偏移二进制			
	14	16	18	20	14	16	18	20
$V_{IN,MAX}$	0x1FFF	0x7FFF	0x1FFFF	0x7FFFF	0x3FFF	0xFFFF	0x3FFFF	0xFFFFF
0	0x0000		0x00000		0x2000	0x8000	0x20000	0x80000
$V_{IN,MIN}$	0x2000	0x8000	0x20000	0x80000	0x0000		0x00000	

7.3.4.7 测试图形

图 7-10 展示了器件内测试图形块的位置。当禁用数字信号处理 (DSP) 功能 (0x24 的 D2) 时，可以启用测试图形块以替换 ADC 数据。同样，使用 DDC 时，可以使用测试图形来替换 DDC 数据。

备注

当启用 DSP 功能且未使用 DDC 时，没有可用的测试图形块。

每个测试图形块能够生成下列输出之一：

- 具有由 PAT_DATA 设置的可编程步长的斜坡模式。
- 具有由 PAT_DATA 设置的可编程自定义图形的恒定图形。

如图 7-10 所示，有两个测试图形块，即测试图形 0 和测试图形 1。每个块的测试图形模式可通过 0x16 的 D7:D5 和 D4:D2 进行配置。为测试图形块提供一组共享数据位 (PAT_DATA)，此数据用作斜坡图形步长和/或恒定图形。PAT_DATA 是位于三个不同寄存器之间的 18 位值：0x16 中的 D17:D16，0x15 中的 D15:D8，0x14 中的 D7:D0。PAT_DATA 按 MSB 对齐。例如，如果器件配置为 14 位分辨率和恒定图形，则仅 PAT_DATA 的前 14 位用于恒定图形。此外，在斜坡模式下，测试图形计数器以 18 位分辨率运行；因此，必须根据所需的分辨率和该分辨率下的步长来配置斜坡图形步长。

- 测试图形数据必须配置为以下各项，以便在每个分辨率下具有一个步长：
 - 0x00001：18 位输出分辨率
 - 0x00004：16 位输出分辨率
 - 0x00010：14 位输出分辨率

7.3.5 数字下变频器

ADC3683-SP 包含一个可选的数字下变频器 (DDC)。DDC 支持 2 倍、4 倍、8 倍、16 倍和 32 倍实数和复数抽取率。此外，每个 DDC 都有一个用于复数抽取的 32 位数控振荡器 (NCO)。

在内部，DDC 数据路径以 20 位分辨率运行，以避免因量化而导致 SNR 下降。根据配置的分辨率，在数字接口上输出数据之前，DDC 输出将截断为所选分辨率。

图 7-18 所示为 DDC 的详细视图。DDC 多路复用器将三个不同输入之一映射到每个 DDC。默认情况下，ADC A 和 ADC B 分别映射到 DDC0 和 DDC1。但是，DDC 多路复用器允许将一个 ADC 映射到两个 DDC，或将两个 ADC 的平均值映射到每个 DDC。

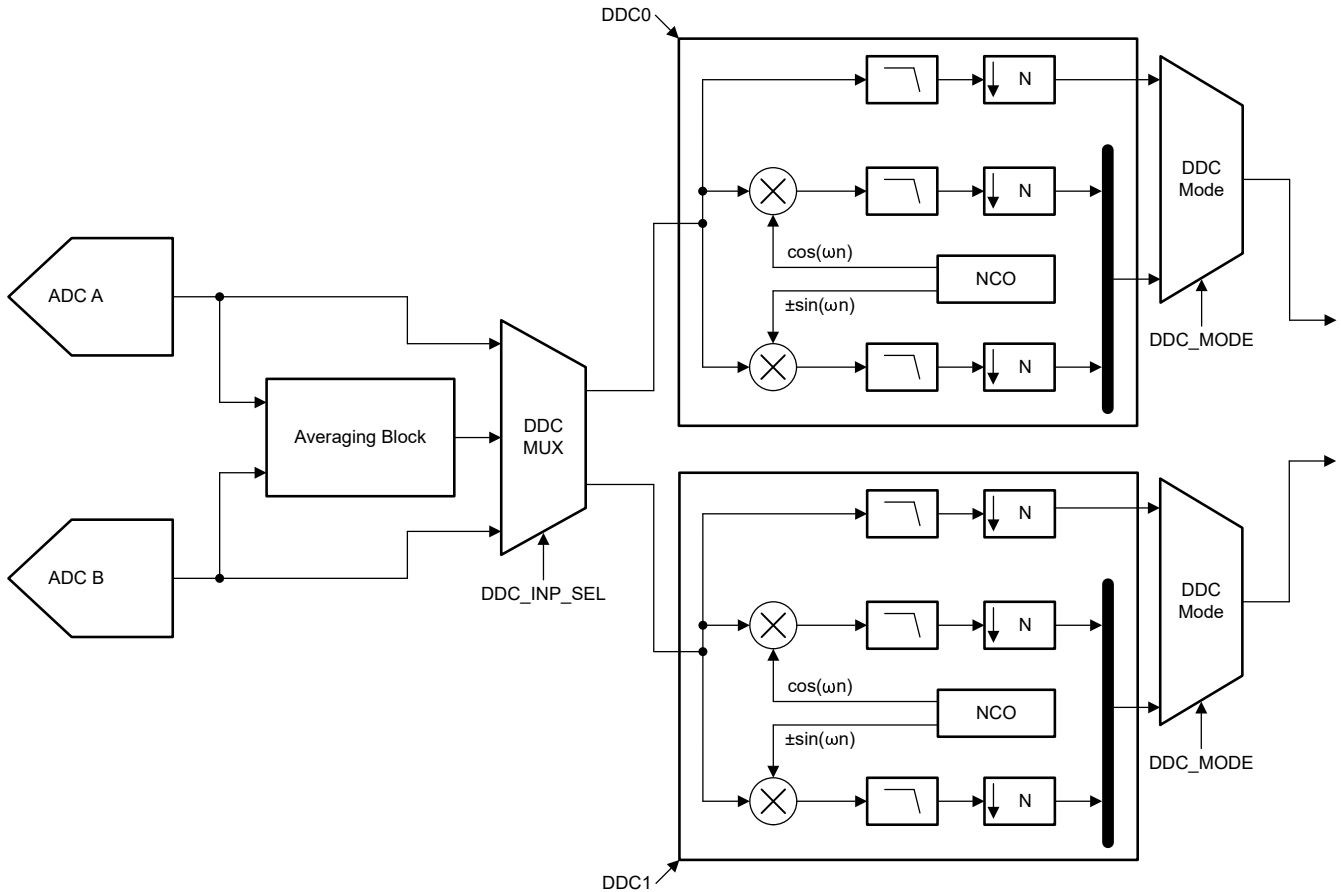


图 7-18. 数字下变频器概述

7.3.5.1 抽取操作

复数抽取操作如图 7-19 中的示例所示。首先，输入信号（和负图像）按 NCO 频率进行频移，如图左侧所示。接下来，应用数字滤波器（以 0Hz 为中心），输出数据速率按 /8 复数抽取，在本例中，输出数据速率为 $F_{OUT} = F_S/8$ 复数，频谱范围为 $-F_S/16$ 至 $F_S/16$ 。在复混频操作期间，频谱（信号和噪声）被分为实部和复部，振幅降低了 6dB。为了补偿振幅衰减，可通过 SPI 启用抽取滤波器块中的 6dB 数字增益选项。

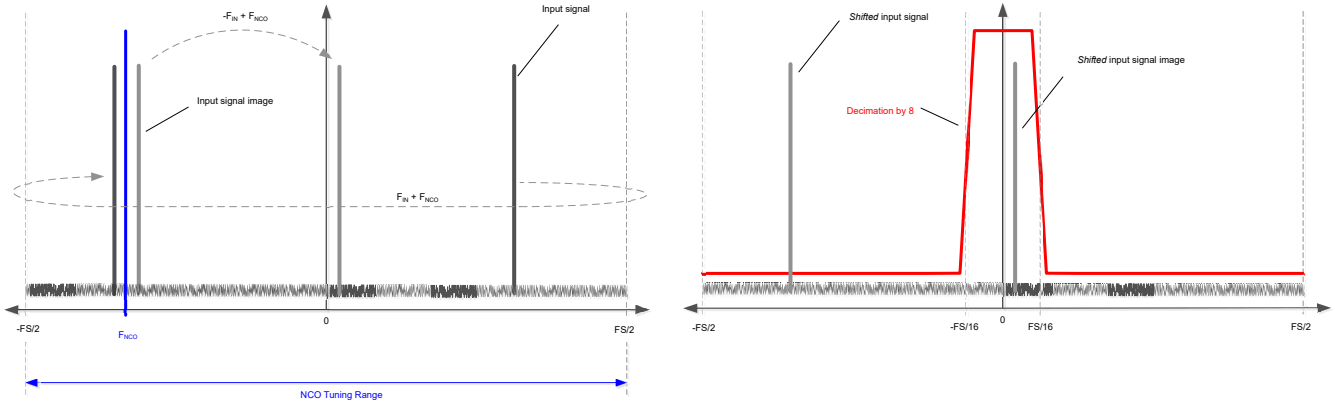


图 7-19. /8 复数抽取示例

实数抽取操作如图 7-20 所示。此模式中没有混合，只应用复数数字滤波器的实部，并且输出数据速率会降低。/8 实数抽取得出的输出数据速率为 $F_{OUT} = F_S/8$ ，频谱范围为 0 至 $F_S/16$ 。

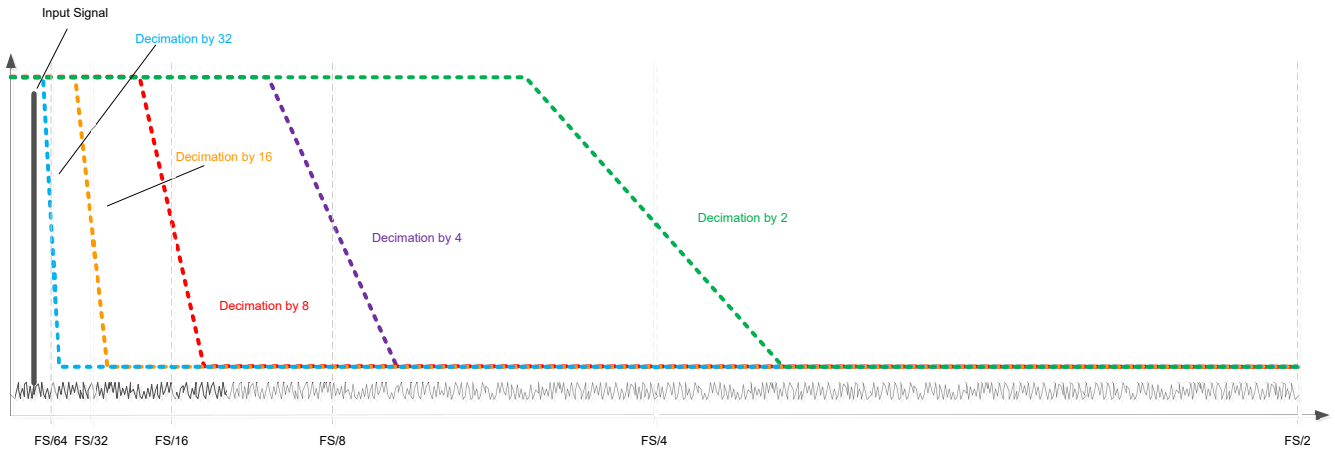


图 7-20. 实数抽取示例

7.3.5.2 数控振荡器 (NCO)

DDC 块配备了 32 位 NCO，用于在数字滤波之前在复数抽取模式下混合。NCO 提供以下复数输出：

$$e^{j\omega n} \text{ or } e^{-j\omega n} \tag{1}$$

其中，频率 ω 指定为 32 位有符号数，也称为频率控制字 (FCW)。

复数输出与 ADC 的实数输入相乘，以将所需的载波混合到等于 $F_{IN} \pm F_{NCO}$ 的频率。NCO 频率可在 $-F_S/2$ 至 $F_S/2$ 范围内进行调节，并以带符号的二进制补码形式处理。对新的 NCO 频率进行编程后，必须切换 NCO_RES (0x26 的 D5 和 D1) 或 SYNC 引脚才能使新频率生效。

NCO FCW 的计算公式如下：

$$FCW = F_{NCO} \times 2^{32} / F_S \text{ for an } f_{NCO} \text{ in range of } 0 \text{ to } + F_S/2 \tag{2}$$

$$FCW = (F_{NCO} + F_S) \times 2^{32} / F_S \text{ for an } F_{NCO} \text{ in range of } -F_S/2 \text{ to } 0 \tag{3}$$

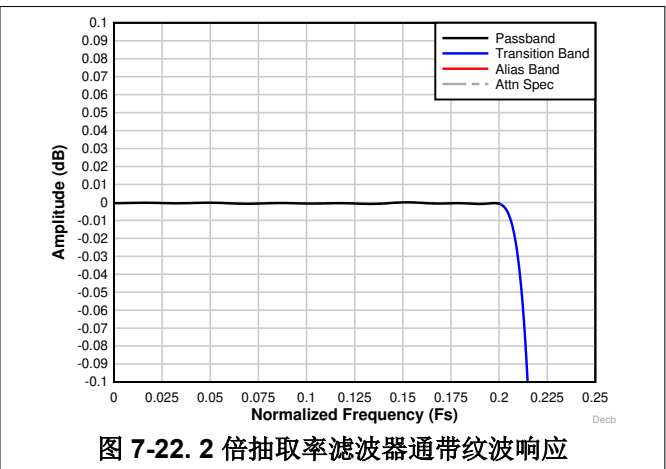
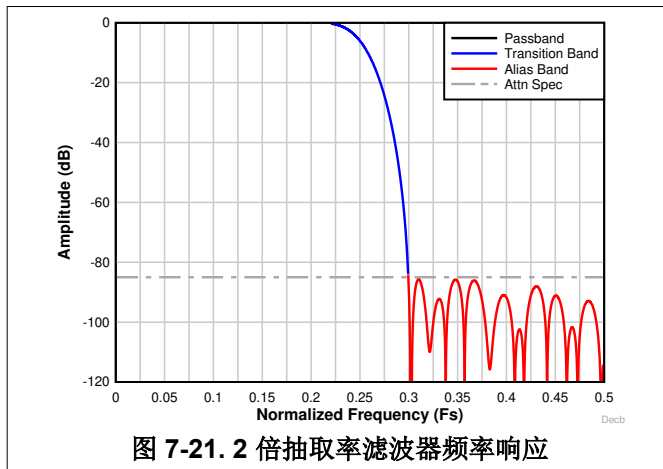
7.3.5.3 抽取滤波器

表 7-5 概述了不同抽取设置相对于 ADC 采样率 F_S 的通带带宽和输出数据速率。

表 7-5. 抽取滤波器摘要和最大可用输出带宽

实数/复数抽取	抽取设置 N	输出速率	输出带宽	输出速率 ($F_S = 65\text{MSPS}$)	输出带宽 ($F_S = 65\text{MSPS}$)
复数	2	$F_S / 2$ 复数	$0.8 \times F_S / 2$	32.5MSPS 复数	26MHz
	4	$F_S / 4$ 复数	$0.8 \times F_S / 4$	16.25MSPS 复数	13MHz
	8	$F_S / 8$ 复数	$0.8 \times F_S / 8$	8.125MSPS 复数	6.5MHz
	16	$F_S / 16$ 复数	$0.8 \times F_S / 16$	4.0625MSPS 复数	3.25MHz
	32	$F_S / 32$ 复数	$0.8 \times F_S / 32$	2.03125MSPS 复数	1.625MHz
实数	2	$f_S/2$	$0.4 \times F_S / 2$	32.5 MSPS	13MHz
	4	$f_S/4$	$0.4 \times F_S / 4$	16.25 MSPS	6.5MHz
	8	$f_S/8$	$0.4 \times F_S / 8$	8.125 MSPS	3.25MHz
	16	$f_S/16$	$0.4 \times F_S / 16$	4.0625 MSPS	1.625MHz
	32	$f_S/32$	$0.4 \times F_S / 32$	2.03125 MSPS	0.8125MHz

抽取滤波器响应归一化为 ADC 采样时钟频率 F_S ，如图 7-21 至图 7-30 所示。每张图包含滤波器通带、过渡带和阻带。



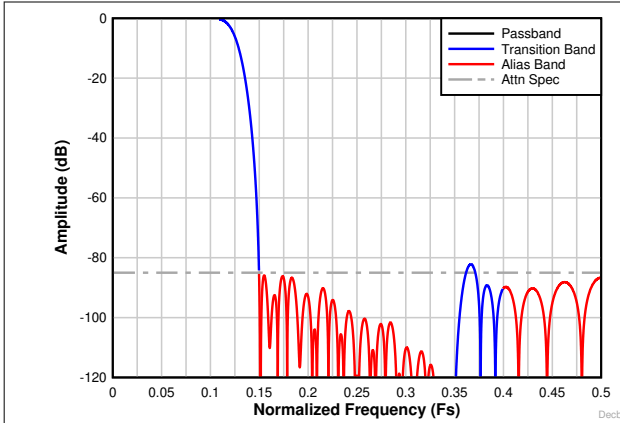


图 7-23. 4 倍抽取率滤波器频率响应

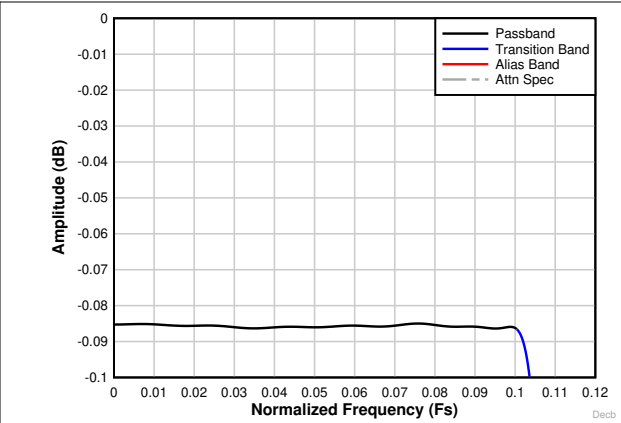


图 7-24. 4 倍抽取率滤波器通带纹波响应

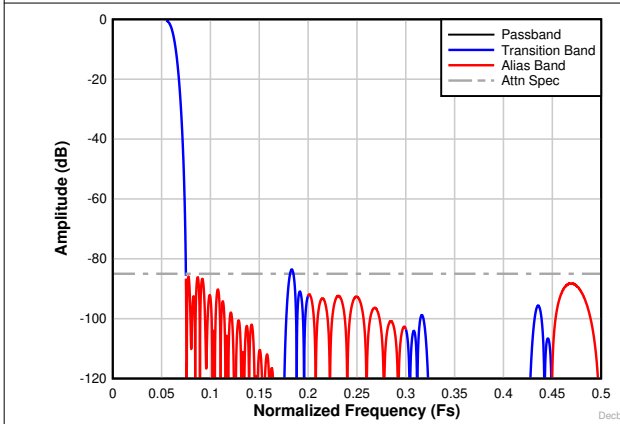


图 7-25. 8 倍抽取率滤波器频率响应

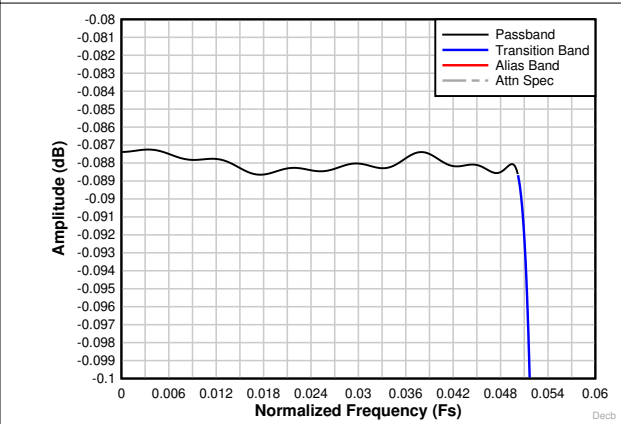


图 7-26. 8 倍抽取率滤波器通带纹波响应

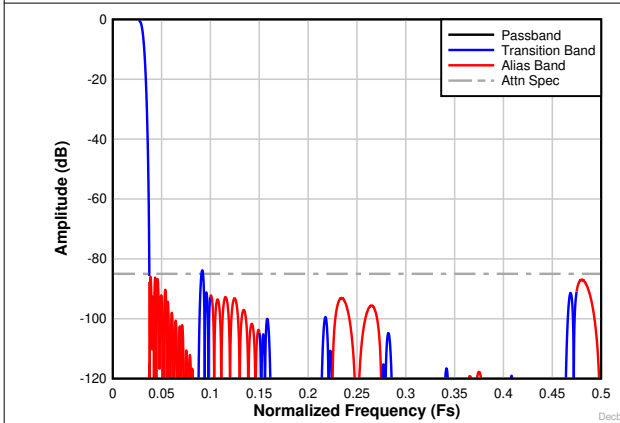


图 7-27. 16 倍抽取率滤波器频率响应

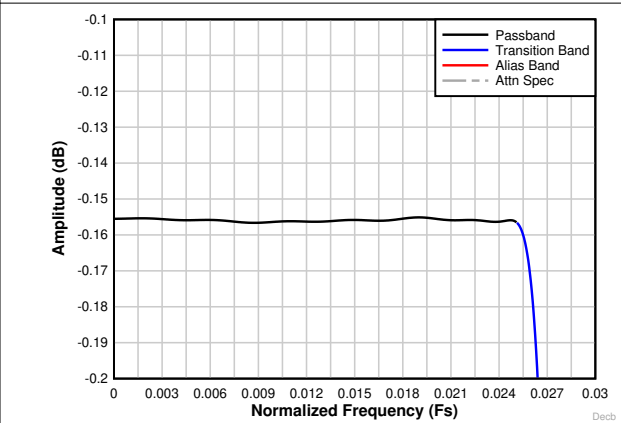
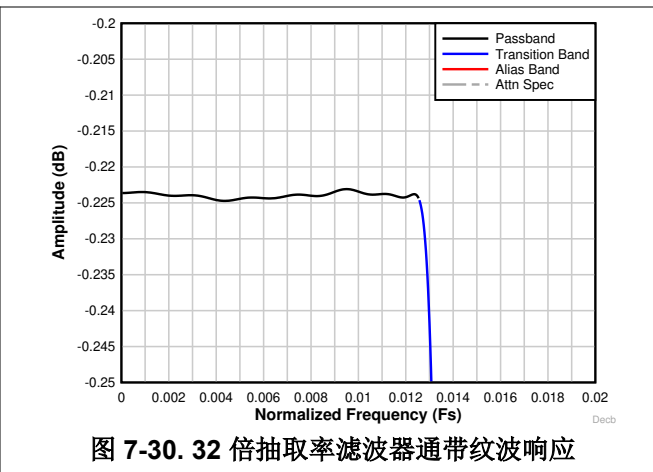
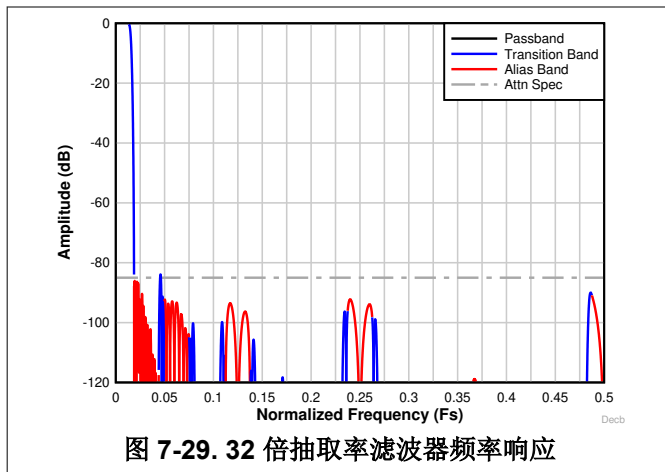


图 7-28. 16 倍抽取率滤波器通带纹波响应



7.3.5.4 SYNC

PDN/SYNC 引脚可用于通过外部 SYNC 信号同步多个器件。PDN/SYNC 引脚可通过 SPI 进行配置，以用作同步输入。配置为 SYNC 后，SYNC 信号将由采样时钟的上升沿锁存，如图 7-31 所示。

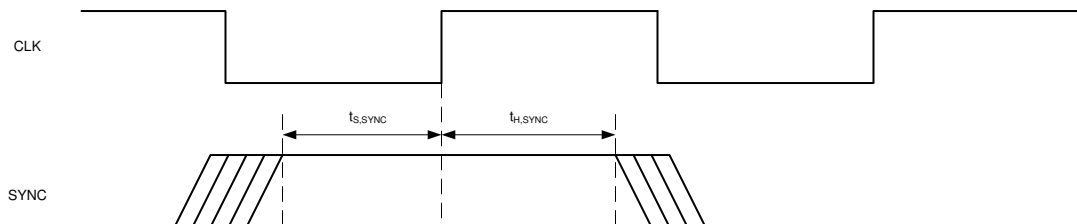


图 7-31. 外部 SYNC 时序图

仅当使用 DDC 时，才需要同步信号。使用基于 SPI 的 SYNC 或 PDN/SYNC 引脚时，内部时钟分频器会复位。如果未提供 SYNC 信号，则内部时钟分频器可能无法跨器件同步。SYNC 信号也会复位 NCO 相位，并加载新的 NCO 频率。SYNC 信号应作为单脉冲提供，脉冲宽度至少为 256 个时钟周期。

7.3.5.5 带抽取因子的输出数据格式

使用抽取时，数字输出数据的格式如图 7-32 (复数抽取) 和图 7-33 (实数抽取) 所示。这些图代表了 18 位输出分辨率。

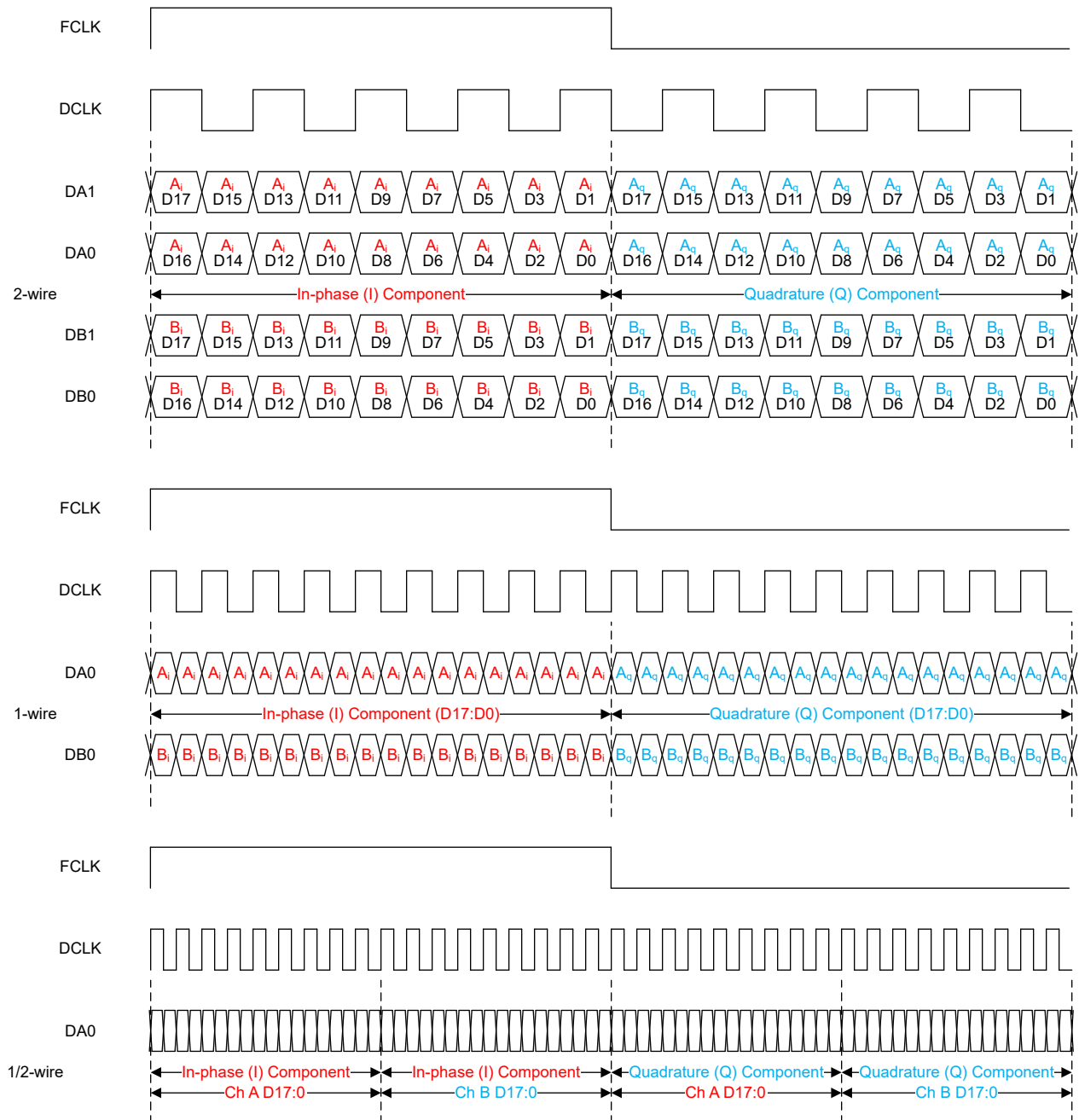


图 7-32. 复数抽取中的输出数据格式 (18 位输出分辨率)

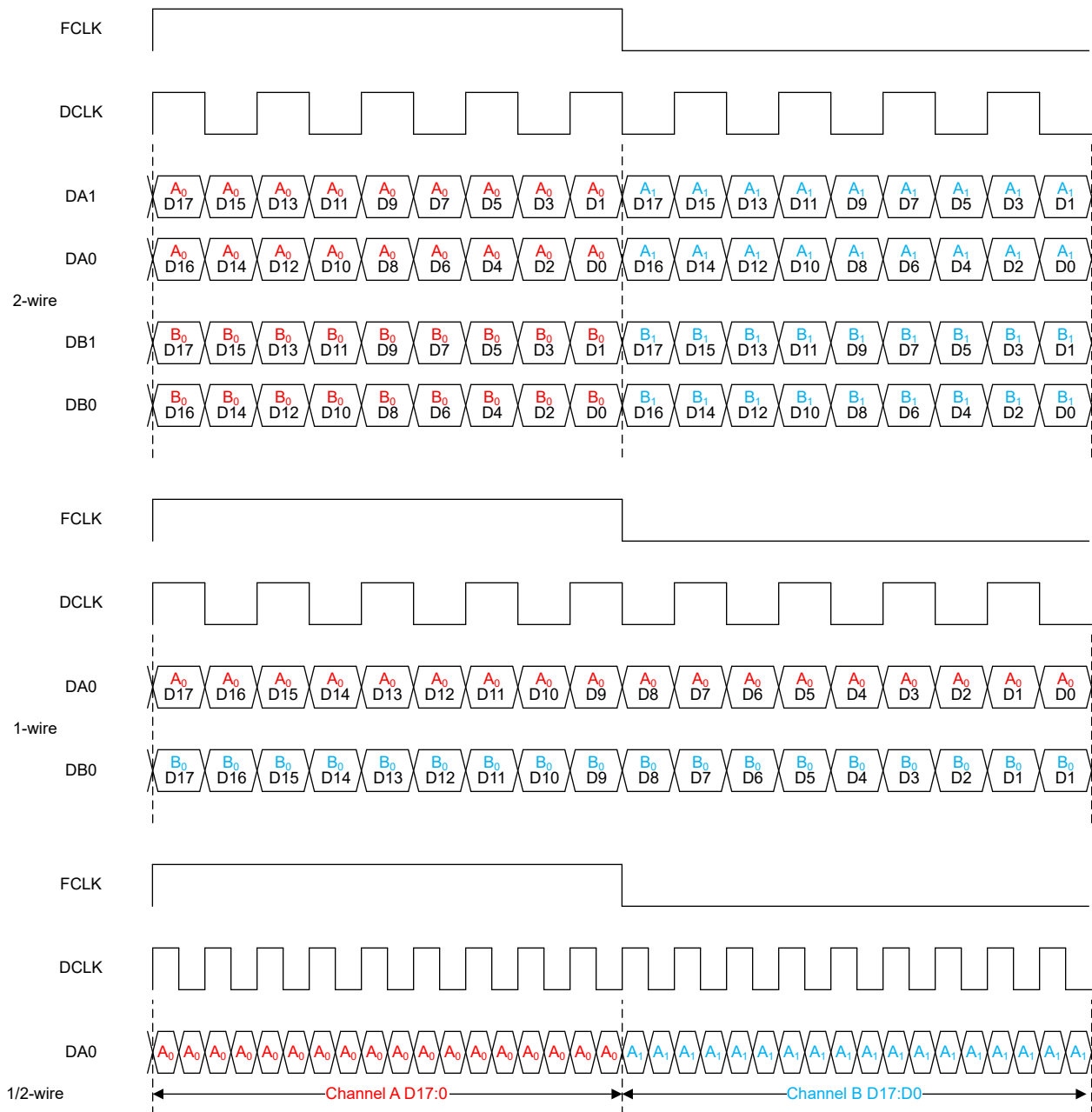


图 7-33. 实数抽取中的输出数据格式 (18 位输出分辨率)

7.4 器件功能模式

7.4.1 低延迟模式

ADC3683-SP 低延迟模式可通过禁用数字信号处理 (DSP) 功能来配置。DSP 功能可通过 SPI (0x24 的 D2) 禁用，以确保 ADC 延迟在 2 线模式下为 2 个时钟周期，在 1 线模式下为 1 个时钟周期。

7.4.2 取平均数模式

ADC3683-SP 包括数字通道均值计算功能，有助于改善 ADC SNR (请参阅图 7-34)。相同的输入信号在外部提供给两个 ADC 输入，而两个 ADC 的输出在内部进行平均处理。通过求平均值，不相关噪声 (例如 ADC 热噪声) 会增加不一致性，从而将 SNR 提高约 3dB。

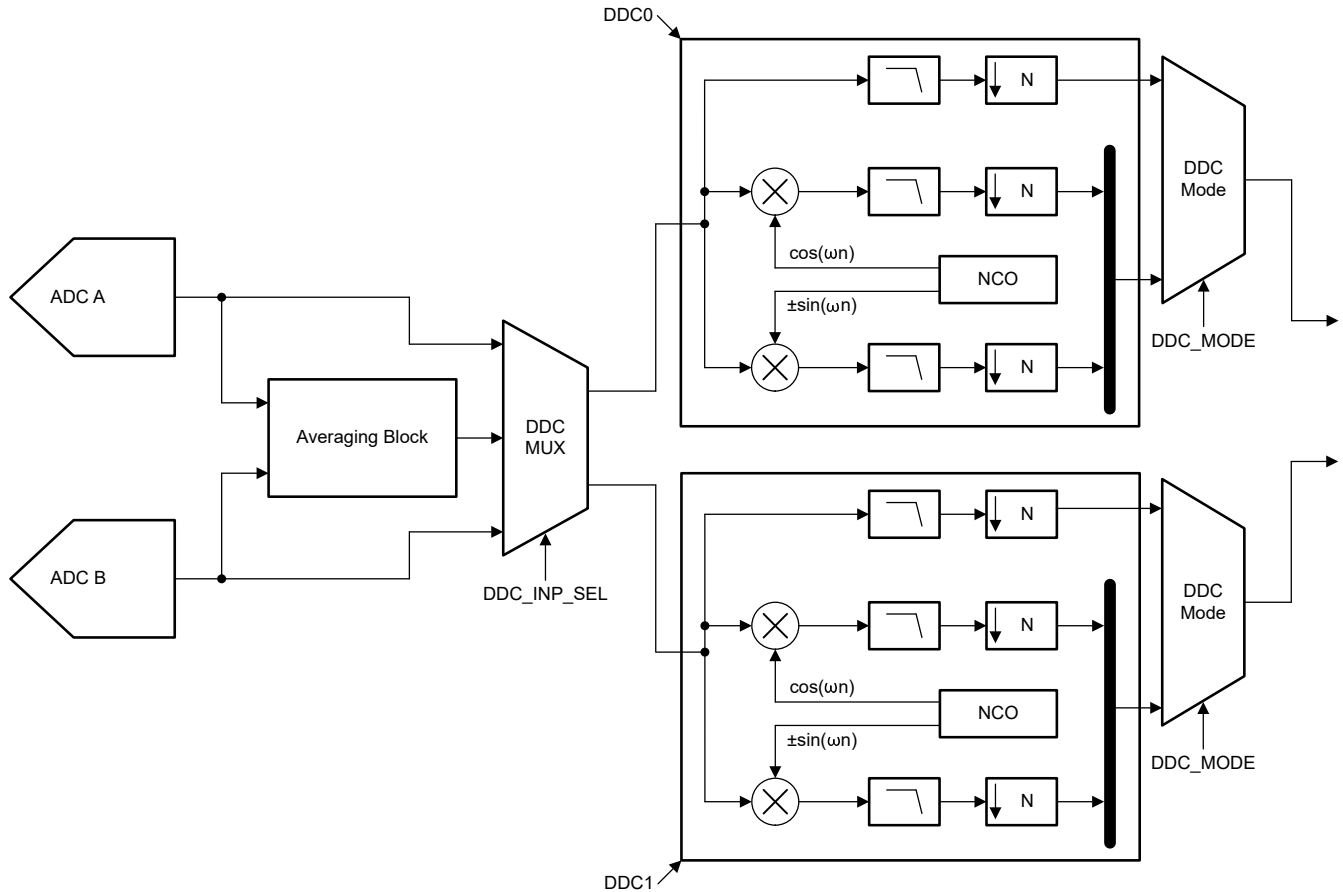


图 7-34. 均值计算图

7.5 编程

该器件主要使用串行编程接口 (SPI) 进行配置和控制；但是，该器件可以在默认配置下运行，无需 SPI。断电状态、内部或外部基准选择以及采样时钟输入类型可通过 PDN/SYNC 和 CTRL 引脚进行配置。

备注

断电功能需要存在 ADC 采样时钟。

7.5.1 引脚控制

可以使用 CTRL 引脚选择 ADC 电压基准和采样时钟输入类型。即使有一个内部 100k Ω 上拉电阻连接到 AVDD，CTRL 引脚也应设置为外部电压而不是悬空。使用分压器设置 CTRL 引脚电压时，应使用小于 5k Ω 的电阻值。

表 7-6. CTRL 引脚设置

CTRL 引脚电压	电压基准选项	时钟类型
>1.7V (默认值)	外部基准	差分时钟输入
0.5 至 0.7V	内部基准	差分时钟输入
< 0.1V	内部基准	单端时钟输入

7.5.2 串行外设接口 (SPI)

该器件具有一组内部寄存器，这些寄存器可以通过 $\overline{\text{SEN}}$ (串行接口使能)、SCLK (串行接口时钟) 和 SDIO (串行接口数据输入/输出) 引脚构成的 SPI 进行访问。当 $\overline{\text{SEN}}$ 为低电平时，位以串行方式移入器件。当 $\overline{\text{SEN}}$ 处于低电平有效状态时，输入数据在每个 SCLK 上升沿锁存。当 $\overline{\text{SEN}}$ 为低电平时，串行数据在第 24 个 SCLK 上升沿加载到寄存器中。当字长超过 24 位的倍数时，超出的位会被忽略。数据可以在单个有效 $\overline{\text{SEN}}$ 脉冲内，以 24 位字的整数倍加载。该接口可在从 20MHz 到低至几赫兹的 SCLK 频率下运行。

7.5.2.1 寄存器写入

可以按照以下步骤对内部寄存器进行编程：

1. 将 $\overline{\text{SEN}}$ 引脚驱动为低电平。
2. 将 R/W 位设置为 0 (16 位地址的 A15 位)，并将地址字段中的 A[14:12] 位设置为 0。
3. 通过指定要写入内容的寄存器地址 (A[11:0])，启动一个串行接口周期。
4. 写入将在 SCLK 上升沿锁存的 8 位数据。

图 7-35 展示了寄存器写入操作的相关时序要求。

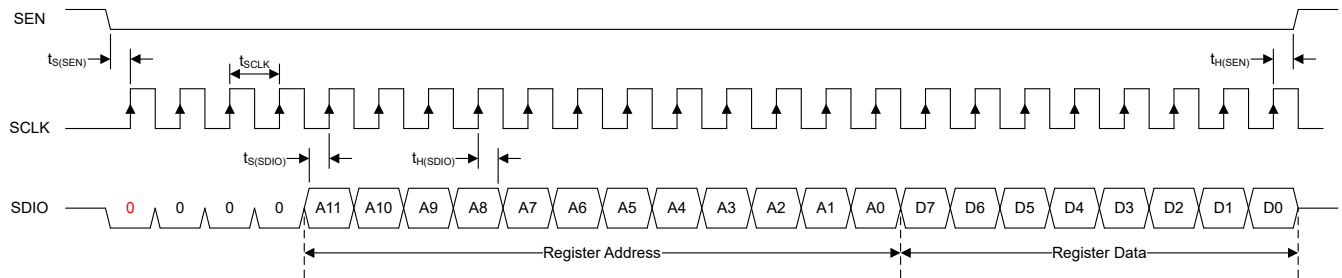


图 7-35. 串行寄存器写入时序图

7.5.2.2 寄存器读取

该器件包含可使用 SDIO 引脚回读内部寄存器内容的模式。该回读模式可用作诊断检查，以验证外部控制器和 ADC 之间的串行接口通信。读取串行寄存器内容的过程如下：

1. 将 $\overline{\text{SEN}}$ 引脚驱动为低电平。
2. 将 R/W 位 (A15) 设置为 1。将地址字段中的 A[14:12] 设置为 0。
3. 启动串行接口周期，指定将读取其内容的寄存器地址 (A[11:0])。
4. 该器件在 SCLK 下降沿将所选寄存器的内容 (D[7:0]) 发送到 SDIO 引脚。
5. 外部控制器可以在 SCLK 上升沿上捕获内容。

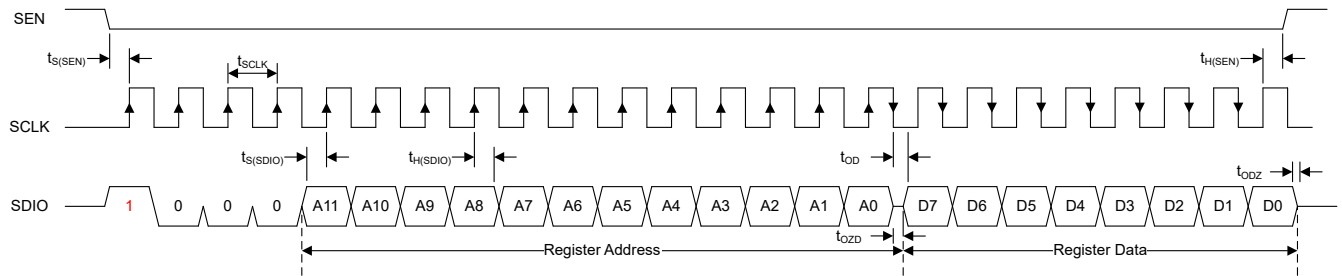


图 7-36. 串行寄存器读取时序图

7.5.3 器件配置步骤

以下序列总结了用于更改 ADC3683-SP 模式的所有相关寄存器，包括数字信号处理 (DSP) 功能和输出接口。步骤 1 和 2 必须首先执行，因为电子保险丝负载会复位一些器件寄存器，其余步骤可以按任何顺序执行。

表 7-7. ADC3683-SP 的配置步骤

STEP	特性	地址	说明				
1	输出接口	0x07	根据输出分辨率选择输出接口模式。				
			输出分辨率	2 线	1 线	1/2 线	
			14 位	0x2B	0x6C	0x8D	
			16 位	0x4B			
			18 位	0x2B			
20 位	0x4B						
2		0x13	使用电子保险丝加载程序 (0x13 的 D0) 加载输出接口位映射。将 0x01 写入 0x13，等待大约 1ms 以便位映射被正确载入，并将 0x00 写入 0x13。				
3	输出接口	0x19	根据所需的器件模式和接口模式配置 FCLK 设置。				
			模式	接口模式	FCLK_SRC	FCLK_DIV	TOG_FCLK
			禁用 DSP 功能/实数抽取	2 线	0	1	0
				1 线	0	0	0
				1/2 线	0	0	0
			复数抽取	2 线	1	0	0
1 线	1	0		0			
1/2 线	0	0		1			
4		0x1B	选择输出接口分辨率。				
5	输出接口	0x20 0x21 0x22	根据器件模式配置 FCLK 图形。				
			模式	输出分辨率	2 线	1 线	1/2 线
			禁用 DSP 功能/实数抽取	14 位	0xFFC00	0xFE000	0xFFC00
				16 位		0xFF000	
				18 位		0xFF800	
				20 位		0xFFC00	
			复数抽取	14 位	0xFFFFF	0xFFFFF	0xFFFFF
				16 位			
18 位							
20 位							
6		0x39..0x60 0x61..0x88	根据需要更改默认输出位映射 (例如，如果启用扰频器)。				
7		0x24 0x22	或者，如果器件配置为 2 线接口模式，则可以启用扰频器。				

表 7-7. ADC3683-SP 的配置步骤 (续)

STEP	特性	地址	说明		
8	数字下变频器	0x24	(可选) 启用 DDC。		
9		0x25	如果使用 DDC, 请配置 DDC 设置。		
10		0x2A/B/C/D 0x31/2/3/4	如果使用复数抽取, 则对所需的 NCO 频率进行编程。		
11		0x27 0x2E	如果不使用复数抽取, 则将这两个位设置为 0。		
			接口模式	IQ_ORDER	Q_DEL
			2 线	1	0
	1 线		0	1	
		1/2 线	1	1	
12		0x26	设置 DDC 增益并切换 NCO 复位位以更新 NCO 频率。		

7.5.4 寄存器映射

表 7-8. 寄存器映射摘要

寄存器地址	寄存器数据							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x00	0	0	0	0	0	0	0	复位
0x07	IF_MAPPER_SEL			0	IF_SEL_EN	IF_MODE_SEL		
0x08	0	0	0	0	0	PDN_A	PDN_B	PDN_GLOBAL
0x09	0	0	0	0	PDN_DA1	PDN_DA0	PDN_DB1	PDN_DB0
0x0E	SYNC_PIN_EN	SPI_SYNC_VAL	SYNC_SRC_SEL	0	CTRL_MODE	REF_SEL		SE_CLK_EN
0x11	0	0	0	0	0	DLL_PDN	0	0
0x13	0	0	0	0	0	0	0	FUSE_LD
0x14	PAT_DATA[7:0]							
0x15	PAT_DATA[15:8]							
0x16	TP1_MODE			TP0_MODE			PAT_DATA_[17:16]	
0x19	FCLK_SRC	0	0	FCLK_DIV	0	0	0	TOG_FCLK
0x1A	0	HALF_SWING_EN	0	0	0	0	0	0
0x1B	RES_SEL_EN	20B_EN	RES_SEL			0	0	0
0x1E	0	0	0	0	LVDS_DATA_DEL		LVDS_DCLK_DEL	
0x20	FCLK_PAT[7:0]							
0x21	FCLK_PAT[15:8]							
0x22	0	SCR_EN	0	0	FCLK_PAT[19:16]			
0x24	0	0	AVG_EN	DDC_INP_SEL		DSP_EN	DDC_EN	0
0x25	DDC_MUX_EN	DEC_FACTOR			DDC_MODE	0	0	0
0x26	DDC0_GAIN		NCO0_RES	0	DDC1_GAIN		NCO1_RES	0
0x27	0	0	0	IQ0_ORDER	Q0_DEL	0	0	0
0x2A	FCW0[7:0]							
0x2B	FCW0[15:8]							
0x2C	FCW0[23:16]							
0x2D	FCW0[31:24]							
0x2E	0	0	0	IQ1_ORDER	Q1_DEL	0	0	0
0x31	FCW1[7:0]							
0x32	FCW1[15:8]							
0x33	FCW1[23:16]							
0x34	FCW1[31:24]							
0x39..0x60	BIT_MAPPER_A							
0x61..0x88	BIT_MAPPER_B							
0x8F	0	0	0	0	0	0	FORMAT_A	0
0x92	0	0	0	0	0	0	FORMAT_B	0
0x244	0	0	DCLKIN_VCM	0	0	0	0	0

7.5.4.1 寄存器详细说明

图 7-37. 寄存器 0x00

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	复位
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-9. 寄存器 0x00 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0。
0	复位	R/W	0	该位会将所有内部寄存器复位为默认值并自行清零。

图 7-38. 寄存器 0x07

7	6	5	4	3	2	1	0
IF_MAPPER_SEL			0	IF_SEL_EN	IF_MODE_SEL		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-10. 寄存器 0x07 字段说明

位	字段	类型	复位	说明
7-5	IF_MAPPER_SEL	R/W	000	根据所需的接口模式选择正确的位映射。节 7.3.4.5 介绍了每种模式的位映射。每个接口模式的默认位映射由内部保险丝载入，并且还需要一个保险丝载入序列（请参阅表 7-15）。必须在保险丝加载序列之前设置该字段。 001：2 线、18 位和 14 位的位映射。 010：2 线、16 位的位映射。 011：1 线的位映射。 100：1/2 线的位映射。
4	0	R/W	0	必须写入 0。
3	IF_SEL_EN	R/W	0	允许选择输出接口模式。 0：禁用接口模式选择。 1：启用接口模式选择。
2-0	IF_MODE_SEL	R/W	000	选择所需的输出接口模式（2 线、1 线或 1/2 线）。IF_SEL_EN 必须设置为 1 才能使该设置生效。 011：接口模式设置为 2 线。 100：接口模式设置为 1 线。 101：接口模式设置为 1/2 线。

图 7-39. 寄存器 0x08

7	6	5	4	3	2	1	0
0	0	0	0	0	PDN_A	PDN_B	PDN_GLOBAL
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-11. 寄存器 0x08 字段说明

位	字段	类型	复位	说明
7-3	0	R/W	0	必须写入 0。
2	PDN_A	R/W	0	将 ADC A 断电。 0：启用 ADC A。 1：ADC A 断电。
1	PDN_B	R/W	0	将 ADC B 断电。 0：启用 ADC B。 1：ADC B 断电。
0	PDN_GLOBAL	R/W	0	器件全局断电。 0：器件被启用。 1：器件已断电。

图 7-40. 寄存器 0x09

7	6	5	4	3	2	1	0
0	0	0	0	PDN_DA1	PDN_DA0	PDN_DB1	PDN_DB0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-12. 寄存器 0x09 字段说明

位	字段	类型	复位	说明
7-4	0	R/W	0	必须写入 0。
3	PDN_DA1	R/W	0	通道 A1 断电控制。在 1 线和 1/2 线接口模式中，该通道不会自动断电。 0：通道 A1 启用。 1：通道 A1 断电。
2	PDN_DA0	R/W	0	通道 A0 断电控制。 0：通道 A0 启用。 1：通道 A0 断电。
1	PDN_DB1	R/W	0	通道 B1 断电控制。在 1 线和 1/2 线接口模式中，该通道不会自动断电。 0：通道 B1 启用。 1：通道 B1 断电。
0	PDN_DB0	R/W	0	通道 B0 断电控制。在 1/2 线接口模式中，该通道不会自动断电。 0：通道 B0 启用。 1：通道 B0 断电。

图 7-41. 寄存器 0x0E

7	6	5	4	3	2	1	0
SYNC_PIN_EN	SPI_SYNC_VAL	SYNC_SRC_SEL	0	CTRL_MODE	REF_SEL		SE_CLK_EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-13. 寄存器 0x0E 字段说明

位	字段	类型	复位	说明
7	SYNC_PIN_EN	R/W	0	PDN/SYNC 引脚是一种双用途引脚。 0：PDN/SYNC 引脚配置为全局断电控制引脚。 1：PDN/SYNC 引脚配置为 SYNC 引脚。
6	SPI_SYNC_VAL	R/W	0	设置 SYNC_SRC_SEL 时设置内部 SYNC 状态。应切换 SPI_SYNC_VAL 以发出 SYNC 序列。不会自动复位为 0。 0：内部 SYNC 状态设置为 0（正常运行）。 1：内部 SYNC 状态设置为 1（启动 SYNC 序列）。
5	SYNC_SRC_SEL	R/W	0	选择器件的 SYNC 源。 0：来自 PDN/SYNC 引脚的 SYNC 内部状态。 1：来自 SPI_SYNC_VAL 字段的 SYNC 内部状态。
4	0	R/W	0	必须写入 0。
3	CTRL_MODE	R/W	0	选择是通过 CTRL 引脚设置 ADC 基准模式和采样时钟类型，还是根据 REF_SEL 和 SE_CLK_EN 字段设置 ADC 基准模式和采样时钟类型。 0：CTRL 引脚控制 ADC 基准模式和采样时钟输入类型。 1：REF_SEL 和 SE_CLK_EN 字段分别控制 ADC 基准模式和采样时钟类型。
2-1	REF_SEL	R/W	00	通过 SPI 选择 ADC 基准模式。必须将 CTRL_MODE 设置为 1 才能使该设置生效。 00：内部 1.6V 基准用作 ADC 基准。 10：在外部提供 ADC 基准。
0	SE_CLK_EN	R/W	0	选择 ADC 采样时钟输入类型。必须将 CTRL_MODE 设置为 1 才能使该设置生效。 0：ADC 采样时钟输入配置为差分输入。 1：ADC 采样时钟输入配置为单端输入。

图 7-42. 寄存器 0x11

7	6	5	4	3	2	1	0
0	0	0	0	0	DLL_PDN	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-14. 寄存器 0x11 字段说明

位	字段	类型	复位	说明
7-3	0	R/W	0	必须写入 0。
2	DLL_PDN	R/W	0	为内部 DLL 选择断电状态。请参阅节 7.3.2.2。
1-0	0	R/W	0	必须写入 0。

图 7-43. 寄存器 0x13

7	6	5	4	3	2	1	0
0	0	0	0	0	0		FUSE_LD
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-15. 寄存器 0x13 字段说明

位	字段	类型	复位	说明
7-1	0	R/W	0	必须写入 0。
0	FUSE_LD	R/W	0	内部保险丝负载控制。设置为 1，等待大约 1ms 后设置为 0，以根据接口模式设置加载器件配置。

图 7-44. 寄存器 0x14/15/16

7	6	5	4	3	2	1	0
PAT_DATA[7:0]							
PAT_DATA[15:8]							
TP1_MODE			TP0_MODE			PAT_DATA[17:16]	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-16. 寄存器 0x14/15/16 字段说明

位	字段	类型	复位	说明
7-5	TP1_MODE	R/W	000	<p>位于 0x16 中。选择测试图形 1 的模式 (ADC B 的默认数据路径)。</p> <p>000 : 测试图形已禁用 (正常输出模式)。</p> <p>010 : 斜坡图形模式, 在这种模式下, PAT_DATA 设置斜坡图形增量大小。</p> <p>011 : 恒定图形模式, 在这种模式下, PAT_DATA[17:0] 是 MSB 对齐的恒定图形。</p>
4-2	TP0_MODE	R/W	000	<p>位于 0x16 中。选择测试图形 0 的模式 (ADC A 的默认数据路径)。</p> <p>000 : 测试图形已禁用 (正常输出模式)。</p> <p>010 : 斜坡图形模式, 在这种模式下, PAT_DATA 设置斜坡图形增量大小。</p> <p>011 : 恒定图形模式, 在这种模式下, PAT_DATA[17:0] 是 MSB 对齐的恒定图形。</p>
1-0、7-0、7-0	PAT_DATA[17:0]	R/W	0	<p>PAT_DATA[17:0] 分为三个寄存器 : 0x16 中的 [17:16]、0x15 中的 [15:8] 和 0x14 中的 [7:0]。PAT_DATA :</p> <ul style="list-style-type: none"> 将测试图形模式设置为恒定图形时, 用作恒定图形。 当测试图形模式设置为斜坡图形时, 用作斜坡图形步长。

图 7-45. 寄存器 0x19

7	6	5	4	3	2	1	0
FCLK_SRC	0	0	FCLK_DIV	0	0	0	TOG_FCLK
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-17. 寄存器 0x19 字段说明

位	字段	类型	复位	说明
7	FCLK_SRC	R/W	0	选择 FCLK 信号源。请参阅表 7-18。
6-5	0	R/W	0	必须写入 0。
4	FCLK_DIV	R/W	0	选择 FCLK 分频器设置。请参阅表 7-18。
3-1	0	R/W	0	必须写入 0。
0	TOG_FCLK	R/W	0	选择 FCLK 切换设置。请参阅表 7-18。

表 7-18. 基于器件模式的 FCLK 设置

模式	接口模式	FCLK_SRC	FCLK_DIV	TOG_FCLK
禁用 DSP 功能/实数抽取	2 线	0	1	0
	1 线	0	0	0
	1/2 线	0	0	0
复数抽取	2 线	1	0	0
	1 线	1	0	0
	1/2 线	0	0	1

图 7-46. 寄存器 0x1A

7	6	5	4	3	2	1	0
0	HALF_SWING_EN	0	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-19. 寄存器 0x1A 字段说明

位	字段	类型	复位	说明
7	0	R/W	0	必须写入 0。
6	HALF_SWING_EN	R/W	0	该位会降低 LVDS 输出摆幅。
5-0	0	R/W	0	必须写入 0。

图 7-47. 寄存器 0x1B

7	6	5	4	3	2	1	0
RES_SEL_EN	20B_EN	RES_SEL			0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-20. 寄存器 0x1B 字段说明

位	字段	类型	复位	说明
7	RES_SEL_EN	R/W	0	选择是否启用分辨率选择块。将输出分辨率设置为 20 位时，不需要分辨率选择块。 0：禁用分辨率选择块。 1：启用分辨率选择块。
6	20B_EN	R/W	0	控制 20 位输出分辨率模式。 0：禁用 20 位输出分辨率模式。 1：启用 20 位输出分辨率模式。
5-3	RES_SEL	R/W	000	选择输出分辨率。如果禁用了 DSP 功能，则需要将 RES_SEL_EN 设置为 1 才能使该设置生效。 000：输出分辨率设置为 18 位。 001：输出分辨率设置为 16 位。 010：输出分辨率设置为 14 位。
2-0	0	R/W	0	必须写入 0。

表 7-21. 根据模式设置输出分辨率

模式	RES_SEL_EN	RES_SEL
DSP 功能已禁用	1	000：输出分辨率设置为 18 位。 001：输出分辨率设置为 16 位。 010：输出分辨率设置为 14 位。
实数抽取	0	
复数抽取	0	

图 7-48. 寄存器 0x1E

7	6	5	4	3	2	1	0
0	0	0	0	LVDS_DATA_DEL		LVDS_DCLK_DEL	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-22. 寄存器 0x1E 字段说明

位	字段	类型	复位	说明
7-4	0	R/W	0	必须写入 0
3-2	LVDS_DATA_DEL	R/W	00	数据通道上的控制延迟。 00：无延迟（正常模式）。 01：数据通道提前 50ps。 10：数据通道延迟 50ps。 11：数据通道延迟 100ps。
1-0	LVDS_DCLK_DEL	R/W	00	接口数据时钟上的控制延迟。 00：无延迟（正常模式）。 01：DCLK 提前 50ps。 10：DCLK 延迟 50ps。 11：DCLK 延迟 100ps。

图 7-49. 寄存器 0x20/21/22

7	6	5	4	3	2	1	0
FCLK_PAT[7:0]							
FCLK_PAT_[15:8]							
0	SCR_EN	0	0	FCLK_PAT_[19:16]			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-23. 寄存器 0x20/21/22 字段说明

位	字段	类型	复位	说明
6	SCR_EN	R/W	0	位于 0x22 中。配置扰频器启用状态。只能在 2 线接口模式下使用扰频器。DSP_EN 需要设置为 1 才能使该设置生效。 0：禁用输出扰频器。 1：启用输出扰频器。
3-0、7-0、7-0	FCLK_PAT[19:0]	R/W	0xFFC00	FCLK_PAT 被分成三个寄存器。0x22 中的 [19:16]、0x21 中的 [15:8] 和 0x20 中的 [7:0]。请参阅表 7-24。

表 7-24. 不同模式下的 FCLK 图形

模式	输出分辨率	2 线	1 线	1/2 线	
禁用 DSP 功能/实数抽取	14 位	0xFFC00	0xFE000	0xFFC00	
	16 位		0xFF000		
	18 位		0xFF800		
	20 位		0xFFC00		
复数抽取	14 位		0xFFC00	0xFFFFF	0xFFFFF
	16 位				
	18 位				
	20 位				

图 7-50. 寄存器 0x24

7	6	5	4	3	2	1	0
0	0	AVG_EN	DDC_INP_SEL		DSP_EN	DDC_EN	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-25. 寄存器 0x24 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0。
5	AVG_EN	R/W	0	控制用于对 ADC A 和 B 输出进行平均值计算的均值计算模块。 0：禁用均值计算模块。 1：启用均值计算模块。
4-3	DDC_INP_SEL	R/W	0	选择 DDC 输入源。DDC_MUX_EN 必须设置为 1 才能使该设置生效。 00：ADC A 的输出作为 DDC0 输入。ADC B 的输出作为 DDC1 输入。 01：ADC A 的输出作为 DDC0 和 DDC1 输入。 10：ADC B 作为 DDC0 和 DDC1 输入的输出。 11：ADC 均值计算模块的输出作为 DDC0 和 DDC1 输入。
2	DSP_EN	R/W	0	启用 DSP 功能数据路径。 0：禁用 DSP 功能数据路径。 1：启用 DSP 功能数据路径。
1	DDC_EN	R/W	0	启用 DDC。 0：禁用 DDC。 1：DDC 已启用。
0	0	R/W	0	必须写入 0。

图 7-51. 寄存器 0x25

7	6	5	4	3	2	1	0
DDC_MUX_EN	DEC_FACTOR			DDC_MODE	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-26. 寄存器 0x25 字段说明

位	字段	类型	复位	说明
7	DDC_MUX_EN	R/W	0	控制 DDC_MUX 的启用。必须启用 DDC_MUX 才能使 DDC_INP_SEL 生效。 0 : DDC_MUX 禁用。 1 : DDC_MUX 启用，
6-4	DEC_FACTOR	R/W	000	抽取因子设置。 000 : 无抽取。 001 : 2 倍抽取率。 010 : 4 倍抽取率。 011 : 8 倍抽取。 100 : 16 倍抽取率。 101 : 32 倍抽取率。
3	DDC_MODE	R/W	0	DDC 模式，适用于两个 DDC。 0 : DDC 模式设置为复数抽取。 1 : DDC 模式设置为实数抽取。
2-1	0	R/W	0	必须写入 0。

图 7-52. 寄存器 0x26

7	6	5	4	3	2	1	0
DDC0_GAIN		NCO0_RES	0	DDC1_GAIN		NCO1_RES	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-27. 寄存器 0x26 字段说明

位	字段	类型	复位	说明
7-6	DDC0_GAIN	R/W	00	为 DDC0 选择数字增益设置以补偿 DDC0 复数抽取振幅的降低。 00 : 未添加数字增益。 10 : 增加 6dB 数字增益 (只能在复数抽取模式下启用)。
5	NCO0_RES	R/W	0	切换该位会复位 DDC0 中 NCO0 的 NCO 相位，并将当前 FCW0 加载为 NCO 频率。该设置不会自清零。
4	0	R/W	0	必须写入 0。
3-2	DDC0_GAIN	R/W	00	为 DDC1 选择数字增益设置以补偿 DDC1 复数抽取振幅的降低。 00 : 未添加数字增益。 10 : 增加 6dB 数字增益 (只能在复数抽取模式下启用)。
1	NCO1_RES	R/W	0	切换该位会复位 DDC1 中 NCO1 的 NCO 相位，并将当前 FCW1 加载为 NCO 频率。该设置不会自清零。
0	0	R/W	0	必须写入 0。

图 7-53. 寄存器 0x27

7	6	5	4	3	2	1	0
0	0	0	IQ0_ORDER	Q0_DEL	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-28. 寄存器 0x27 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0。
4	IQ0_ORDER	R/W	0	交换 DDC0 的 I 和 Q 输出顺序。如果不使用复数抽取，则设为 0；否则，请参阅表 7-29。
3	Q0_DEL	R/W	0	这会将 DDC0 的正交输出延迟一次采样。如果不使用复数抽取，则设为 0；否则，请参阅表 7-29。
2-0	0	R/W	0	必须写入 0

表 7-29. 用于复数抽取的 IQ_ORDER 和 Q_DEL 寄存器设置

接口模式	IQ_ORDER	Q_DEL
2 线	1	0
1 线	0	1
1/2 线	1	1

图 7-54. 寄存器 0x2A/B/C/D

7	6	5	4	3	2	1	0
FCW0[7:0]							
FCW0[15:8]							
FCW0[23:16]							
FCW0[31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-30. 寄存器 0x2A/2B/2C/2D 字段说明

位	字段	类型	复位	说明
	FCW0[31:0]	R/W	0	NCO0 的 FCW，分为四个寄存器。0x2D 中的 [31:24]、0x2C 中的 [23:16]、0x2B 中的 [15:8] 和 0x2A 中的 [7:0]。

图 7-55. 寄存器 0x2E

7	6	5	4	3	2	1	0
0	0	0	IQ1_ORDER	Q1_DEL	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-31. 寄存器 0x2E 字段说明

位	字段	类型	复位	说明
7-5	0	R/W	0	必须写入 0
4	IQ1_ORDER	R/W	0	交换 DDC1 的 I 和 Q 输出顺序。如果不使用复数抽取，则设为 0；否则，请参阅表 7-29。
3	Q1_DEL	R/W	0	这会将 DDC1 的正交输出延迟一次采样。如果不使用复数抽取，则设为 0；否则，请参阅表 7-29。
2-0	0	R/W	0	必须写入 0。

图 7-56. 寄存器 0x31/32/33/34

7	6	5	4	3	2	1	0
FCW1[7:0]							
FCW1[15:8]							
FCW1[23:16]							
FCW1[31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-32. 寄存器 0x31/32/33/34 字段说明

位	字段	类型	复位	说明
	FCW1[31:0]	R/W	0	NCO1 的 FCW，分为四个寄存器。0x34 中的 [31:24]、0x33 中的 [23:16]、0x32 中的 [15:8] 和 0x31 中的 [7:0]。

图 7-57. 寄存器 0x39..0x60

7	6	5	4	3	2	1	0
BIT_MAPPER_A							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-33. 寄存器 0x39..0x60 字段说明

位	字段	类型	复位	说明
	BIT_MAPPER_A	R/W	0	请参阅节 7.3.4.5。

图 7-58. 寄存器 0x61..0x88

7	6	5	4	3	2	1	0
BIT_MAPPER_B							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-34. 寄存器 0x61..0x88 字段说明

位	字段	类型	复位	说明
7-0	BIT_MAPPER_B	R/W	0	请参阅节 7.3.4.5。

图 7-59. 寄存器 0x8F

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT_A	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-35. 寄存器 0x8F 字段说明

位	字段	类型	复位	说明
7-2	0	R/W	0	必须写入 0
1	FORMAT_A	R/W	0	设置通道 A 数据路径的输出数据格式。DSP_EN 必须设置为 1 才能使该设置生效。 0：输出数据格式为二进制补码。 1：输出数据格式为偏移二进制。
0	0	R/W	0	必须写入 0

图 7-60. 寄存器 0x92

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT_B	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-36. 寄存器 0x92 字段说明

位	字段	类型	复位	说明
7-2	0	R/W	0	必须写入 0
1	FORMAT_B	R/W	0	设置通道 B 数据路径的输出数据格式。DSP_EN 必须设置为 1 才能使该设置生效。 0：输出数据格式为二进制补码。 1：输出数据格式为偏移二进制。
0	0	R/W	0	必须写入 0

表 7-37. 寄存器 0x244

7	6	5	4	3	2	1	0
0	0	DCLKIN_VCM	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-38. 寄存器 0x244 字段说明

位	字段	类型	复位	说明
7-6	0	R/W	0	必须写入 0。
5	DCLKIN_VCM	R/W	0	该位设置 DCLKIN 的共模源。 0：DCLKIN 共模由外部提供。 1：DCLKIN 在内部偏置为 1.2V 共模。
4-0	0	R/W	0	必须写入 0。

8 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ADC3683-SP 可作为高速低延迟数字转换器，适用于各种航天应用。ADC3683-SP 的一些常见应用可在[光学成像有效载荷](#)中找到。

8.2 典型应用

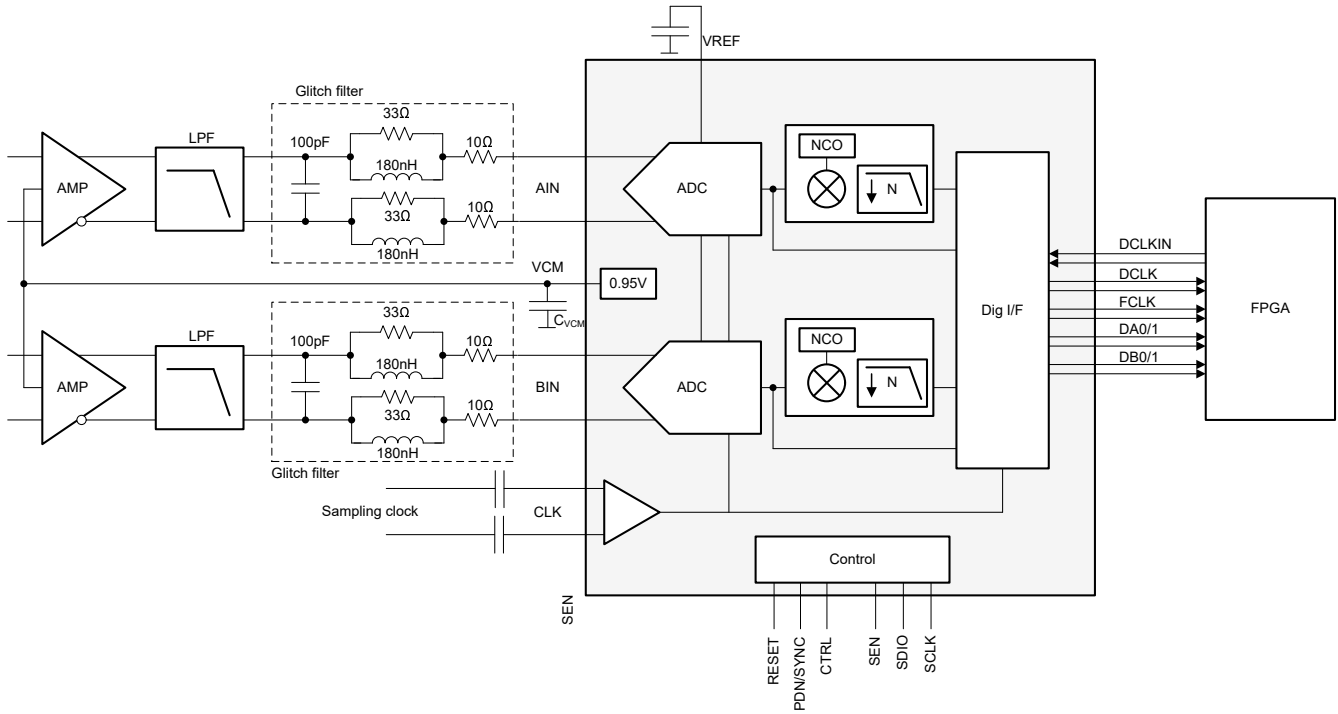


图 8-1. 直流耦合数字转换器的典型配置

8.2.1 设计要求

表 8-1. 设计要求

要求	说明
信号带宽	直流到 20MHz
输入驱动器	单端至差分信号转换和直流耦合
时钟源	低抖动差分时钟

8.2.2 详细设计过程

节 8.2.1 中提供了应用要求。支持的信号带宽可低至直流，因此使用放大器将信号直流耦合到 ADC 的输入端。此外，ADC VCM 输出提供放大器共模，如图 8-1 所示。

在设计放大器或滤波器驱动电路时，需要考虑 ADC 输入满量程电压。例如，ADC3683-SP 输入满量程为 $3.2V_{PP}$ 。德州仪器 (TI) 提供了各种用于航天应用 (如 LMH5485-SP 和 THS4511-SP) 的放大器。为了获得更高直流精度，可使用外部基准。

8.3 初始化设置

器件初始化应遵循以下步骤。

1. 施加 AVDD 和 IOVDD (无需特定顺序)。施加 AVDD 后，内部基准上电并在大约 2ms 内稳定下来。
2. 配置 CTRL 引脚并应用采样时钟。
3. 进行硬件复位。硬件复位释放后，将从内部保险丝加载默认寄存器，并启动内部上电校准。该校准大约需要 200000 个时钟周期。
4. 开始通过 SPI 编程。

表 8-2. 上电时序

		最短时间	单位
t_1	从上电到 CTRL 引脚逻辑电平的延迟	2	ms
t_2	RESET 脉冲宽度	1	μ s
t_3	从 RESET 禁用到 \overline{SEN} 有效的延迟	大约 200000	时钟周期

8.4 电源相关建议

ADC3683-SP 需要两个不同的电源。 A_{VDD} 电源为内部模拟电路和 ADC 供电，而 I_{OVDD} 电源为数字接口和内部数字电路供电。不需要电源时序。

低噪声电源应为 A_{VDD} 轨供电，以实现数据表性能。

推荐的电源架构包括以下两种：

1. 一个高效的开关稳压器后跟一个低噪声 LDO，可抑制开关噪声并提高电压精度。
2. 使用高效开关稳压器直接降低最终的 ADC 电源电压。这种方法可提供出色的效率；但必须注意确保开关稳压器噪声不会降低 ADC 性能。

建议将 [TPS7H4002-SP](#) 作为第一级耐辐射开关稳压器。开关稳压器之后可以是 [TPS7A4501-SP](#) 或 [TPS7H1111-SP](#)，这两个都是航天加固型 LDO。

备注

A_{VDD} 和 I_{OVDD} 电源电压不应共享，以防止数字开关噪声耦合到模拟信号链中。

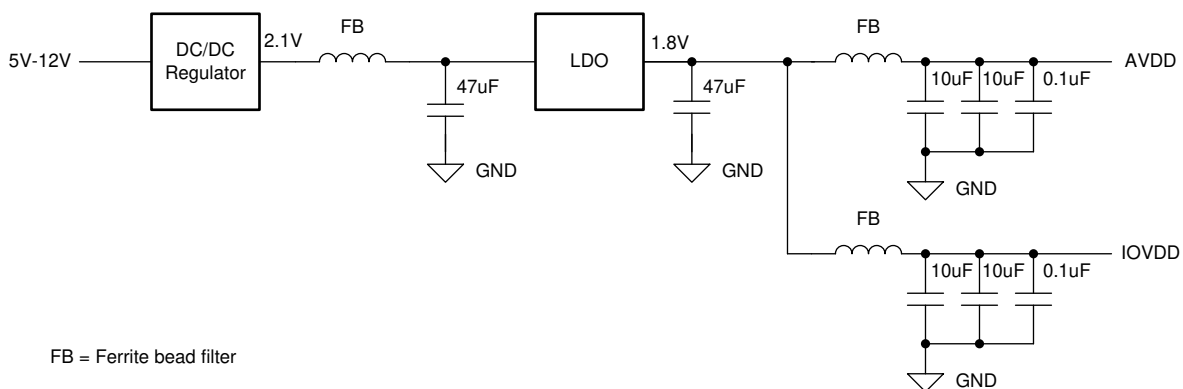


图 8-2. 基于 LDO 的方法示例

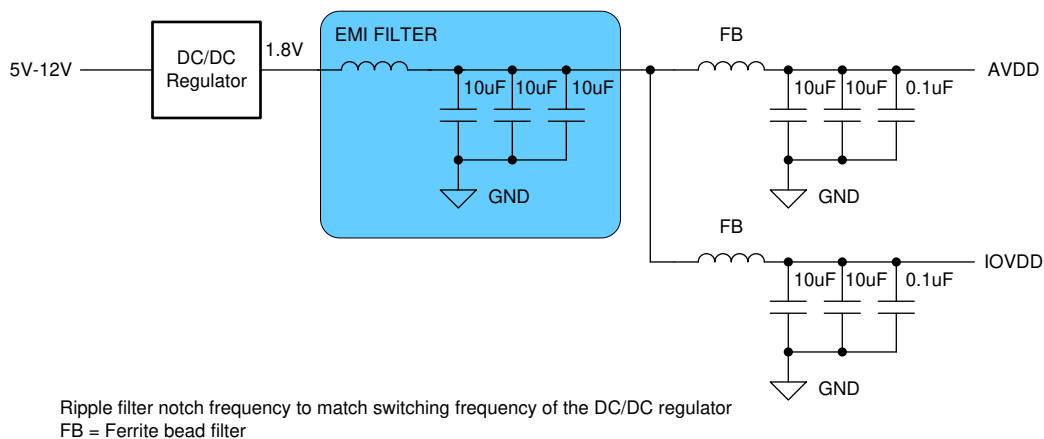


图 8-3. 仅开关方法示例

8.5 布局

8.5.1 布局指南

在电路板设计过程中，有几个关键信号需要特别注意：

1. 模拟输入和时钟信号：

- 布线应尽可能短，并应尽可能避免过孔，以更大限度地减小阻抗不连续性。
 - 应使用松散耦合的 $100\ \Omega$ 差分线路进行布线。
 - 差分布线长度应尽可能匹配，以更大限度地减少相位不平衡和 HD2 下降。
2. 数字输出接口：
 - 应使用紧密耦合的 $100\ \Omega$ 差分线路进行布线。
 - 确保 LVDS 通道的布线尽可能远离模拟输入，以更大限度地减少耦合。
 3. 电压基准：
 - 去耦电容器应尽可能靠近器件引脚放置，并连接在 VREF 和 REFGND 之间 - 通过将电容器与器件置于同一层来避免使用过孔。
 4. 电源和接地连接：
 - 为所有电源和接地引脚提供低电阻连接路径。
 - 避免使用狭窄的隔离路径，那会增加连接电阻。
 - 在 PCB 堆叠中的电源层和信号层之间添加 GND 层。

8.5.2 布局示例

以下是一个示例，展示了 ADC3683-SP EVM 上 ADC3683-SP 的顶层布局。

- 信号和时钟输入在顶层以差分信号形式进行布线。
- LVDS 通道通过过孔到达底层，以更大限度地减少模拟输入上的耦合。

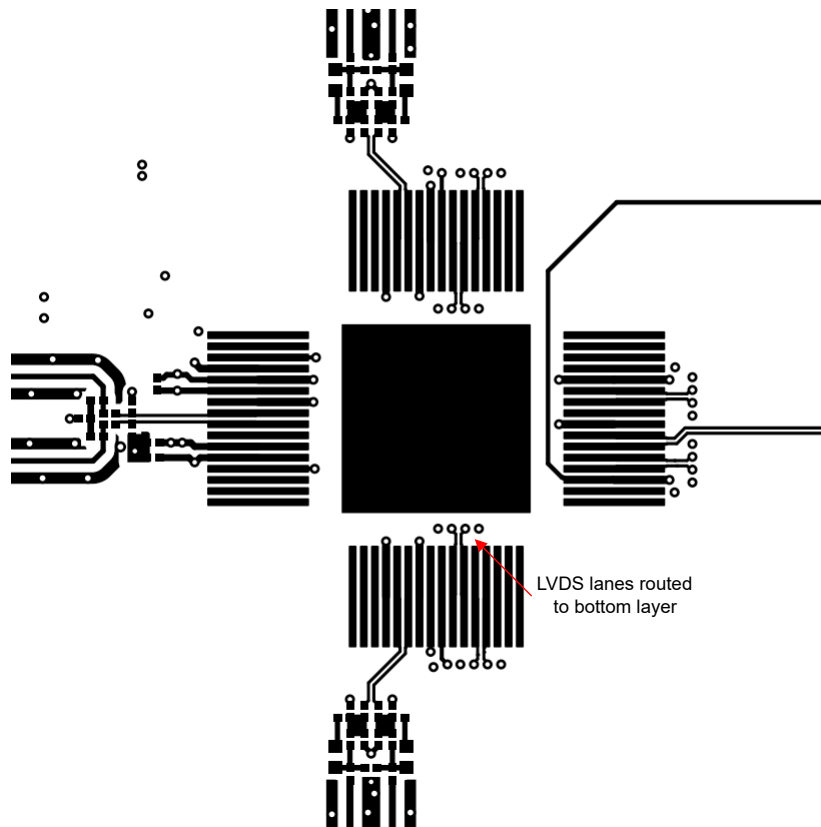


图 8-4. ADC3683-SP EVM 的布局示例

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

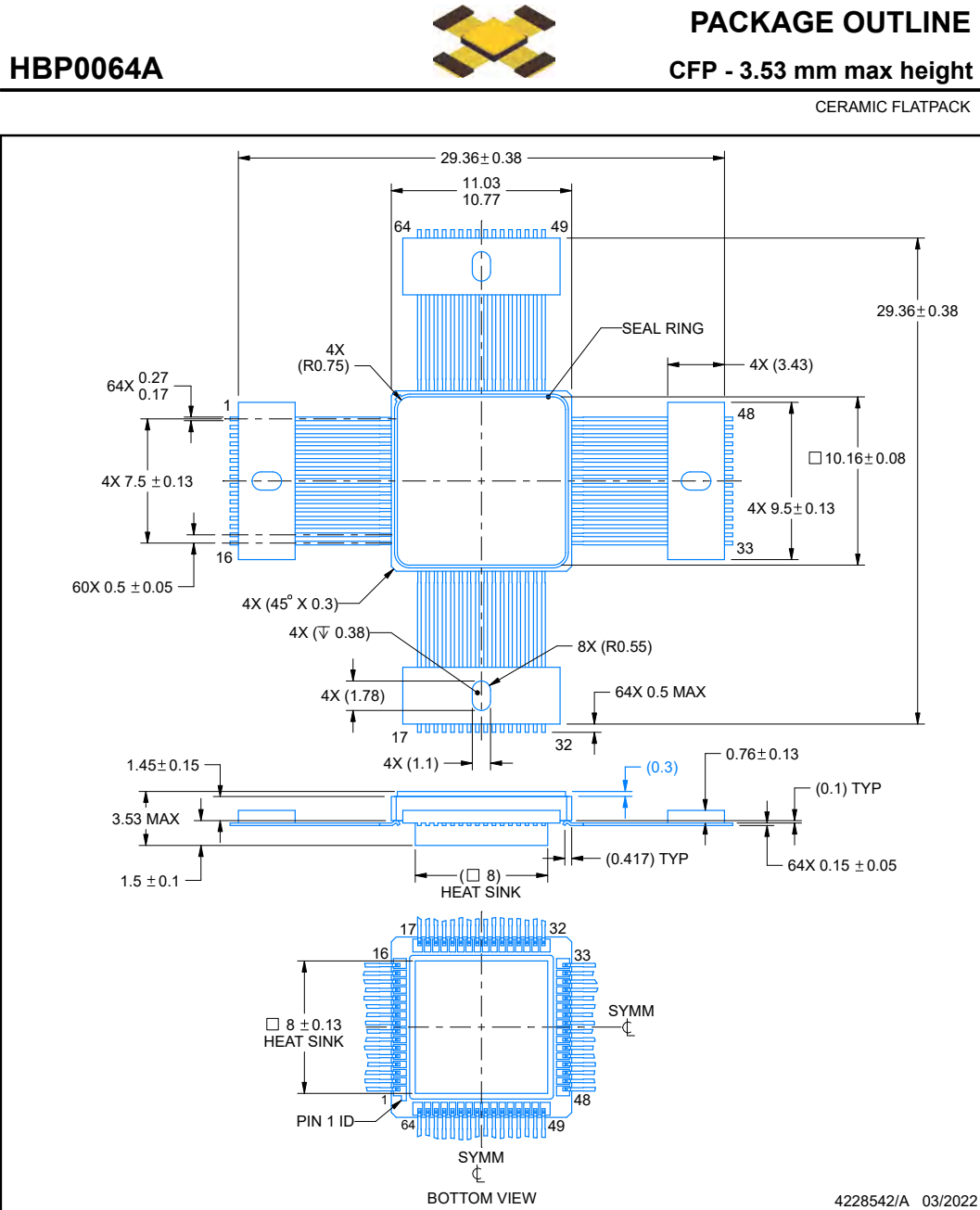
注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2024) to Revision A (December 2024)	Page
• 删除了 器件信息 表中 5962F2320401VXC 的“产品预发布”说明.....	1
• 更改了 详细设计过程	61
• 删除了 应用曲线	61

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 机械数据



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid.
4. Ground pad to be electronic connected to heat sink and seal ring.
5. The leads are gold plated and can be solder dipped.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962F2320401VXC	ACTIVE	CFP	HBP	64	24	RoHS & Green	Call TI	N / A for Pkg Type	-55 to 105	F2320401VXC ADC3683-SP	Samples
ADC3683HBP/EM	ACTIVE	CFP	HBP	64	24	RoHS & Green	Call TI	Call TI	25 to 25	ADC3683HBP/EM EVAL ONLY	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ADC3683-SP :

- Catalog : [ADC3683](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司