

Application Note

慢速或浮点 CMOS 输入的影响



摘要

近年来，CMOS (AC/ACT、AHC/AHCT、ALVC、CBT、CBTLV、HC/HCT、LVC、LV/LV-A) 和 BiCMOS (ABT、ALVT、BCT、FB、GTL、和 LVT) 逻辑器件系列进一步巩固了它们在半导体市场的地位。在现今所有的系统中，无论是个人电脑、工作站还是数字交换机，新的设计几乎都采用了这两种技术。原因显而易见：在当今市场中，功耗正逐渐成为一个主要问题。然而，使用 CMOS 和 BiCMOS 器件设计系统时，必须了解这些系列的特性以及输入和输出在系统中的行为方式。对于设计人员来说，遵守制造商要求的所有规则和限制并在数据表规范内进行设计非常重要。由于数据表不会详细介绍器件的输入行为，因此本应用手册对 CMOS 和 BiCMOS 系列的输入特性进行了一般性说明。此外，还介绍了在使用特定系列进行设计时，针对悬空输入问题的处理方法。了解这些输入的行为有助于实现更稳健的设计和更高的可靠性。

内容

1 慢速或浮点 CMOS 输入的影响.....	3
2 慢速输入边沿速率.....	4
3 关于设计更可靠系统的建议.....	6
4 总线控制.....	6
5 上拉或下拉电阻器.....	6
6 总线保持电路.....	7
7 总结.....	13
8 修订历史记录.....	13

插图清单

图 1-1. ABT 和 LVT/LVC 器件的输入结构.....	3
图 1-2. 电源电流与输入电压间的关系 (单个输入)	3
图 2-1. 输入/输出模型.....	4
图 2-2. 电源电流与输入电压间的关系 (36 个输入)	5
图 2-3. 典型双向总线.....	6
图 5-1. 具有已定义电平的非活动总线模式.....	6
图 6-1. 典型总线保持电路.....	8
图 6-2. 独立总线保持电路 (SN74ACT107x).....	8
图 6-3. 上部钳位二极管特性 (SN74ACT107x).....	9
图 6-4. 下部钳位二极管特性 (SN74ACT107x).....	9
图 6-5. 具有总线保持电路的 ABT/LVT 和 ALVC/LVC 系列的输入结构.....	9
图 6-6. V_O —输出电压—V 总线保持输入特征.....	10
图 6-7. V_I —输入电压—V 总线保持输入特性.....	10
图 6-8. 驱动器和接收器系统.....	11
图 6-9. 使用和不使用接收器总线保持电路时驱动器从高输出切换到低输出的情况.....	11
图 6-10. 使用和不使用接收器总线保持电路时驱动器从低输出切换到高输出的情况.....	11
图 6-11. 总线保持电路电源电流与输入电压间的关系.....	12
图 6-12. 不同频率下的输入功率图 (使用总线保持电路时)	12
图 6-13. 不同频率下的输入功率图 (不使用总线保持电路时)	12

表格清单

表 1-1. 建议运行条件.....	4
表 2-1. 在建议的自然通风工作温度范围内的电气特性 (除非另有说明)	5
表 6-1. 具有总线保持功能的器件.....	7

表 6-2. 总线保持数据表最低规格示例.....	13
---------------------------	----

商标

Widebus™ and Widebus+™ are trademarks of TI.

所有商标均为其各自所有者的财产。

1 慢速或浮点 CMOS 输入的影响

CMOS 和 BiCMOS 系列都具有 CMOS 输入结构。此结构是一个逆变器，由一个到 V_{CC} 的 p 沟道和一个到 GND 的 n 沟道组成，如 图 1-1 所示。使用低电平输入时，P 沟道晶体管导通，N 沟道关断，导致电流从 V_{CC} 流出并将节点拉至高电平状态。使用高电平输入时，N 沟道晶体管导通，P 沟道关断，电流流向 GND，将节点拉低。在这两种情况下，都没有电流从 V_{CC} 流向 GND。但是，当从一种状态切换到另一种状态时，输入超过阈值区域，导致 N 沟道和 P 沟道同时导通，从而在 V_{CC} 和 GND 之间产生电流路径。此电流浪涌可能会造成损坏，具体取决于输入处于阈值区域 (0.8V 至 2V) 的时间长度。每个输入电源电流 (I_{CC}) 可升至几毫安，峰值约为 $1.5V V_1$ (见图 2-1)。当在数据表指定的输入转换时间限制 (位于特定器件的建议运行条件表中) 内切换状态时，这不是问题。示例如 表 1-1 所示。

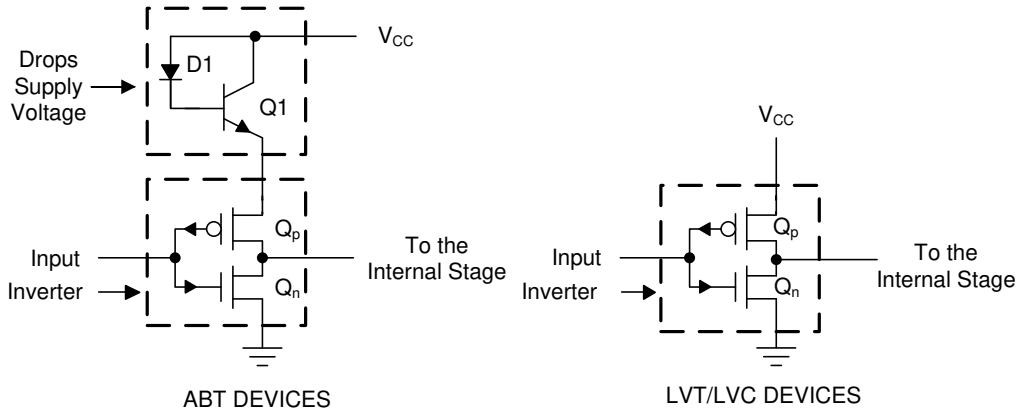
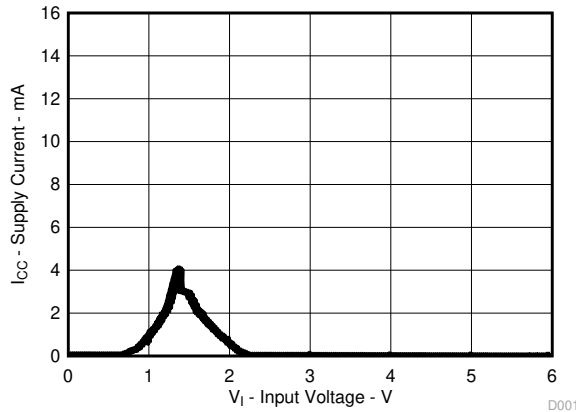


图 1-1. ABT 和 LVT/LVC 器件的输入结构



$V_{CC} = 5V$

$T_A = 25^\circ C$

单个输入位从 0V 驱动至 6V

图 1-2. 电源电流与输入电压间的关系 (单个输入)

表 1-1. 建议运行条件

数据表中指定的输入转换上升或下降速率⁽¹⁾

		最小值	最大值	单位
$\Delta t/\Delta v$ 输入转换上升或下降速率	ABT 八进制		5	ns/V
	ABT Widebus™ 和 Widebus+™		10	
	AHC、AHCT		20	
	FB		10	
	LVT、LVC、ALVC、ALVT		10	
	LV		100	
	LV-A	$V_{CC} = 2.3V$ 至 $2.7V$	200	
	$V_{CC} = 3V$ 至 $3.6V$	100		
	$V_{CC} = 4.5V$ 至 $5.5V$	20		
t_t 输入转换 (上升和下降) 时间	HC、HCT	$V_{CC} = 2V$	1000	ns
		$V_{CC} = 4.5V$	500	
		$V_{CC} = 6V$	400	

(1) 有关器件规格, 请参阅最新的 TI 数据表。

2 慢速输入边沿速率

随着速度的提高, 逻辑器件对慢速输入边沿速率变得更加敏感。较慢的输入边沿速率及输出切换时电源轨上产生的噪声可能会导致过多的输出误差或振荡。如果未使用的输入被悬空或未主动保持在有效逻辑电平, 则会发生类似的情况。

这些功能问题是由于在开关期间, 输出负载电流 (I_O) 流经寄生引线电感时在器件的电源系统中引起的电压瞬变造成的 (见 图 2-1)。由于器件的内部电源节点在整个集成电路中用作电压基准, 因此电感电压尖峰 V_{GND} 会影响信号出现在内部栅极结构中的方式。例如, 当器件接地节点处的电压上升时, 输入信号 V_i' 的幅度似乎会降低。如果发生违反阈值的情况, 这种不良现象随后可能会错误地更改输出。

在输入边沿缓慢上升的情况下, 如果 GND 的电压变化足够大, 则器件的视在信号 V_i' 似乎被驱动回越过阈值, 而输出开始进行反向开关操作。如果出现最坏的情况 (所有输出同时开关并带有较大的瞬态负载电流), 慢速输入边沿会反复驱动回越过阈值, 导致输出振荡。因此, 不应超出器件的最大输入转换时间, 以免损坏电路或封装。

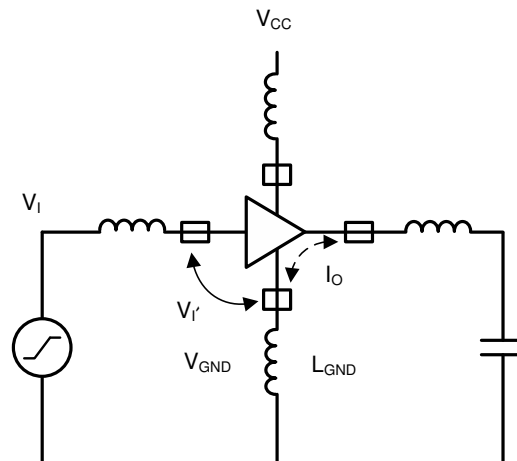


图 2-1. 输入/输出模型

如果长时间将一个 0.8V 到 2V 之间的电压施加到输入端, 这种情况就变得至关重要, 不应忽略, 尤其是位数越高且封装 (SSOP、TSSOP) 越密集时。例如, 如果一个 18 位收发器有 36 个 I/O 引脚在阈值处悬空, 则来自 V_{CC} 的电流可以高达 150 mA 至 200 mA。器件消耗的功率约为 1W, 会导致严重的过热问题。器件的这种持续过热会

影响其可靠性。另外，由于输入位于阈值区域，输出往往会振荡，长此以往会对内部电路造成损坏。数据表显示了当输入处于 TTL 电平时电源电流 (ΔI_{CC}) 的增加情况 [对于 ABT $V_I = 3.4V$ ， $\Delta I_{CC} = 1.5 mA$ (见 表 2-1)]。当输入位于阈值区域时，这变得更加重要，如图 2-2 所示。

这些特性对于所有 CMOS 输入电路 (包括微处理器和存储器) 而言都是典型特征。

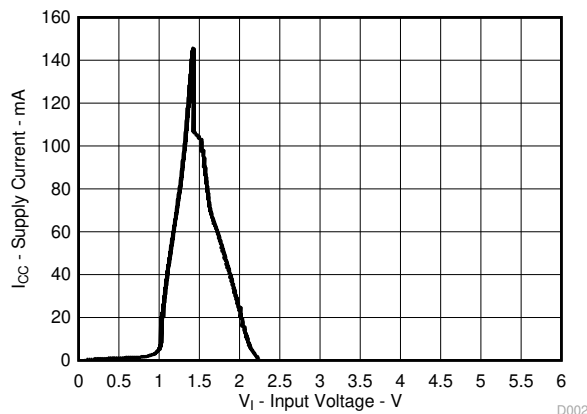
对于 CBT 或 CBTLV 器件，这适用于控制输入。对于 FB 和 GTL 器件，这仅适用于控制输入和 TTL 端口。

表 2-1. 在建议的自然通风工作温度范围内的电气特性 (除非另有说明)

数据表中指定的处于 TTL 电平的输入电源电流变化示例 (1)

					最小值	最大值	单位
ΔI_{CC} (2)	ABT、AHCT	$V_{CC} = 5.5V$,	一个输入为 3.4V,	其他输入电压为 V_{CC} 或 GND		1.5	mA
	CBT 控制输入	$V_{CC} = 5.5V$,	一个输入为 3.4V,	其他输入电压为 V_{CC} 或 GND		2.5	
ΔI_{CC} (2)	CBTLV 控制输入	$V_{CC} = 3.6V$,	一个输入为 3V,	其他输入电压为 V_{CC} 或 GND		750	μA
ΔI_{CC} (2)	LVC	$V_{CC} = 3V$ 至 $3.6V$,	一个输入处于 $V_{CC} - 0.6V$,	其他输入电压为 V_{CC} 或 GND		0.2	mA
	LVC、ALVC、LV					0.5	

- (1) 有关器件规格，请参阅最新的 TI 数据表。
- (2) 这是每个输入在指定 TTL 电压电平而不是 V_{CC} 或 GND 时电源电流的增加情况。



$V_{CC} = 5V$

$T_A = 25^\circ C$

所有 36 个输入位均从 0V 驱动至 6V

图 2-2. 电源电流与输入电压间的关系 (36 个输入)

只要驱动器在传输路径或总线上处于活动状态，接收器的输入就始终处于有效状态。只要上升和下降时间在数据表限制范围内，就不会违反输入规范。但是，当驱动器处于高阻抗状态时，接收器输入不再处于所定义的电平，往往会悬空。当多个收发器共享同一总线时，这种情况可能会恶化。图 2-3 是典型总线系统的一个示例。当所有收发器都处于非活动状态时，总线线路电平未定义。当达到由总线上每个元件的泄漏电流所确定的电压时，这种情况称为悬空状态。结果是功耗会显著增加，并有损坏总线上所有元件的风险。建议在不使用输入或 I/O 引脚时，或驱动这些引脚的器件处于高阻抗状态时，将其保持在有效的逻辑电平。

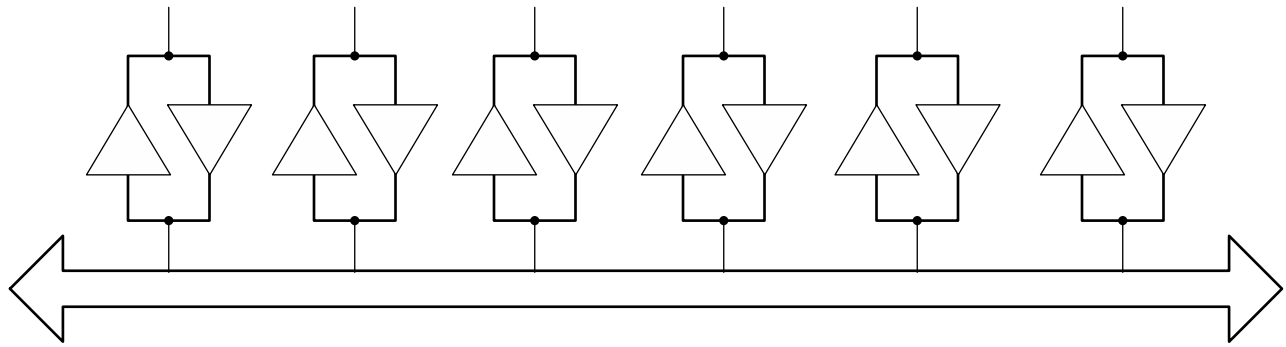


图 2-3. 典型双向总线

3 关于设计更可靠系统的建议

4 总线控制

为了避免总线系统中出现悬空输入，最简单的方法是，确保在电压累积不超过最大 V_{IL} 规格（TTL 兼容输入为 0.8V）的有限时间内，总线始终处于活动或非活动状态。在此电压下，相应的 I_{CC} 值过低，器件运行时没有任何问题或担忧（见图 1-2 和图 2-1）。

为避免损坏元件，设计人员必须了解总线能够悬空的最长时间。首先，假设最大泄漏电流为 $I_{OZ} = 50 \text{ mA}$ 且总电容（I/O 和线路电容）为 $C = 20 \text{ pF}$ ，则在超过 0.8V 电平的非活动线路上，电压随时间的变化可以按方程式 1 所示计算。

$$\Delta V / \Delta t = \frac{I_{OZ}}{C} = \frac{50 \mu\text{A}}{20 \text{ pF}} = 2.5 \text{ V} / \mu\text{s} \quad (1)$$

本例中总线的允许悬空时间应降低至最多 320ns，从而确保总线不超过指定的 0.8V 电平。当涉及多个元件时，时间常数不会改变，因为它们的泄漏电流和电容会进行相加计算。

此方法的优点是，添加特殊元件时不会产生额外的成本。遗憾的是，这种方法并不总是适用，因为总线并不总是处于活动状态。

5 上拉或下拉电阻器

当禁用总线的时间超过最大允许时间时，应采用其他方法来防止元件损坏或过热。应分别使用一个上拉或下拉电阻连接到 V_{CC} 或 GND，以使总线保持在所定义的状态。电阻器的大小起着重要作用，如果未正确选择电阻，可能会出现问題。一般情况下，建议使用 $1\text{k}\Omega$ 至 $10\text{k}\Omega$ 的电阻器。选择上拉或下拉电阻器时，不得违反最大输入转换时间（见表 1-1）。否则，元件可能会振荡，或者器件的可靠性可能会受到影响。

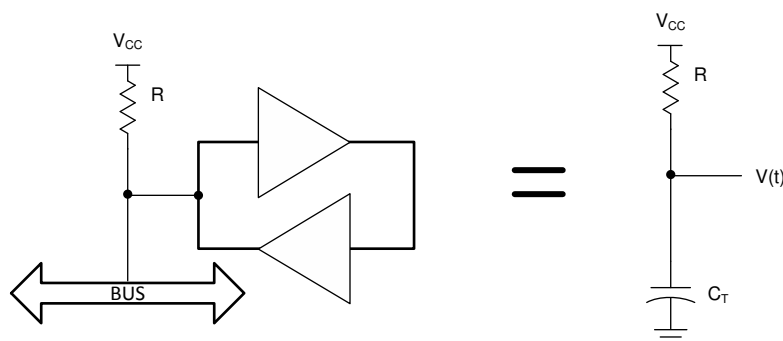


图 5-1. 具有已定义电平的非活动总线模式

假设低电平有效总线进入高阻抗状态，如图 5-1 中所示。 C_T 表示器件加上总线线路电容， R 表示 V_{CC} 的上拉电阻。所需的电阻器值可按方程式 2 所示进行计算。

$$V(t) = V_{CC} - \left(e^{-t/RC_T} (V_{CC} - V_i) \right) \quad (2)$$

其中

- $V(t) = 2V$ ，时间 t 时的最小电压
- $V_i = 0.5V$ ，初始电压
- $V_{CC} = 5V$
- C_T = 总电容
- R = 上拉电阻器
- t = 数据表中指定的最大输入上升时间 (见 表 1-1)。

求解 R ，公式变为：

$$R = \frac{t}{0.4 \times C_T} \quad (3)$$

对于一条总线上有多个收发器：

$$R = \frac{t}{0.4 \times C \times N} \quad (4)$$

其中

- C = 单个元件和布线电容
- N = 连接到总线的元件数量

假设有两个元件连接到总线，每个元件的电容 $C = 15pF$ ，需要 $10ns/V$ 的最大上升时间，输入 ($2V$) 的总上升时间为 $t = 15ns$ ，则电阻器最大值可通过 方程式 5 计算得出：

$$R = \frac{15 \text{ ns}}{0.4 \times 15 \text{ pF} \times 2} = 1.25 \text{ k}\Omega \quad (5)$$

对于交流供电的系统，建议使用这种上拉电阻器方法；但是，不建议用于对功耗敏感的电池供电设备。而是应使用下一节中讨论的总线保持功能。使用上拉电阻器的总体优势在于，当总线悬空时，这些电阻器可确保所定义的电平，并有助于消除部分线路反射，因为电阻器也可以用作总线终端。

6 总线保持电路

要为悬空的总线提供已定义的电平，最有效的方法是在特定系列上使用德州仪器 (TI™) 内置总线保持功能，或者作为外部元件 (如 [SN74ACT1071](#) 和 [SN74ACT1073](#)) (见 表 6-1)。

表 6-1. 具有总线保持功能的器件

器件类型	带有总线保持功能
SN74ACT1071	带有钳位二极管的 10 位总线保持功能
SN74ACT1073	带有钳位二极管的 16 位总线保持功能
ABT Widebus+ (32 位和 36 位)	所有器件
ABT 八进制和 Widebus	仅限特定器件
AHC/AHCT Widebus	TBA (仅限特定器件)
低电压 (LVT 和 ALVC)	所有器件
LVC Widebus	所有器件

特定 TI 系列中使用了总线保持电路，以帮助解决悬空输入问题，并消除对上拉和下拉电阻器的需求。总线保持电路由两个背对背反相器组成，输出通过电阻器反馈到输入端 (见 图 6-1)。要了解总线保持电路的工作原理，请假设源驱动器已将线路切换到高电平。这会导致没有电流流过反馈电路。现在，驱动器进入高阻抗状态，总线

保持电路通过反馈电阻器保持高电平。总线保持电路的电流要求仅取决于电路的泄漏电流。当总线处于低电平状态然后变为无效时，同样的情况也适用。

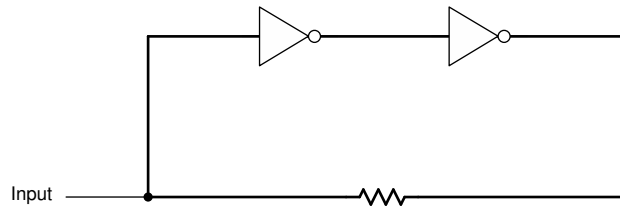


图 6-1. 典型总线保持电路

如本节前面所述，TI 提供作为独立的 10 位和 16 位器件 (SN74ACT1071 和 SN74ACT1073) 的总线保持功能，具有连接到 V_{CC} 和 GND 的钳位二极管，以防止由于总线上的阻抗不匹配引起线路反射。由于在 CMOS 电路中无法轻松实现纯欧姆电阻器，因此将一种称为传输门的配置用作反馈元件 (见 图 6-2)。在缓冲级的输入和输出之间并联了一个 N 沟道和一个 P 沟道。N 沟道晶体管的栅极连接到 V_{CC} ，P 沟道的栅极连接到 GND。当缓冲器的输出为高电平时，P 沟道开启，而当输出为低电平时，N 沟道开启。两个沟道的表面积都相对较小，漏极到源极的导通状态电阻 R_{dson} 约为 $5k\Omega$ 。

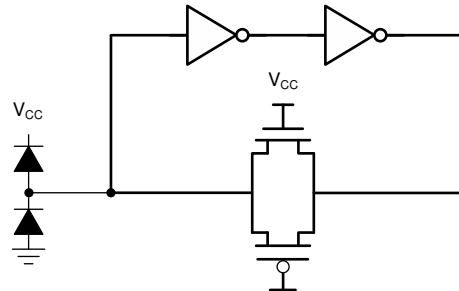


图 6-2. 独立总线保持电路 (SN74ACT107x)

假设在实际应用中，总线上驱动器的泄漏电流为 $I_{OZ} = 10\text{mA}$ ， $5k\Omega$ 电阻两端的压降为 $V_D = 0.8\text{V}$ (假设此值是为了确保达到定义的逻辑电平)。然后，一个总线保持电路能够处理的最大元件数量可通过 方程式 6 计算：

$$N = \frac{V_D}{I_{OZ} \times R} = \frac{0.8 \text{ V}}{10 \mu\text{A} \times 5 \text{ k}\Omega} = 16 \text{ components} \quad (6)$$

74ACT1071 和 74ACT1073 还提供钳位二极管，作为总线保持电路的一项附加功能。这些二极管用于钳制由线路反射产生的任何过冲或下冲。图 6-3 和图 6-4 显示了输入电压高于 V_{CC} 或低于 GND 时二极管的特性。在 $V_1 = -1\text{V}$ 时，二极管可以提供约 50 mA ，这有助于消除下冲。当需要考虑总线噪声问题时，这会非常有用。

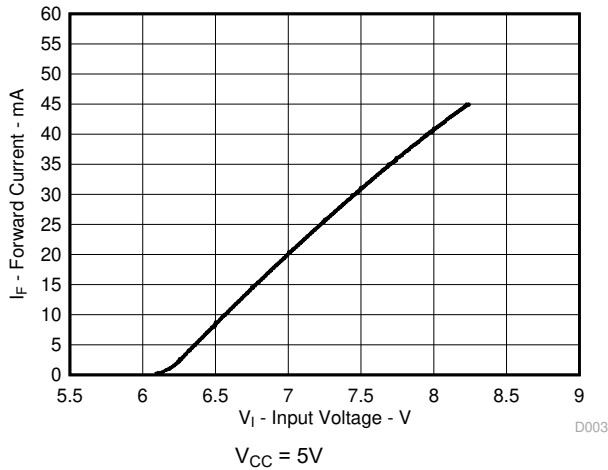


图 6-3. 上部钳位二极管特性 (SN74ACT107x)

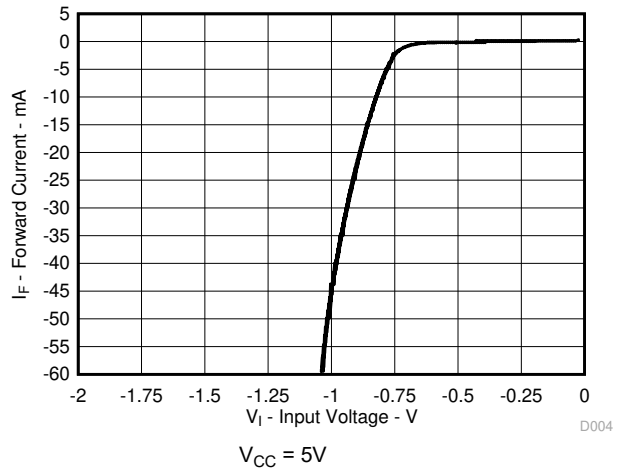


图 6-4. 下部钳位二极管特性 (SN74ACT107x)

TI 还提供总线保持电路，作为某些高级系列驱动器和接收器的新增功能。此电路与独立电路类似，在第二个逆变器的漏极上添加了一个二极管（仅限 **ABT** 和 **LVT**，见 **图 6-5**）。当输入电压高于 V_{CC} ($V_I > V_{CC}$) 时，二极管会阻断过冲电流，因此仅存在泄漏电流。这个电路使用器件的输入级作为它的第一个反相器；第二个反相器会创建反馈特性。总线保持电路可以处理的最大元件数量的计算方式与前一个示例类似。然而，此电路相对于独立总线保持电路的优势在于，它无需外部元件或电阻，因而可以减少占用的电路板面积。这对于某些设计至关重要，尤其是在使用宽总线时。此外，由于成本和电路板尺寸限制是主要问题，设计人员更倾向于采用简便的解决办法：即使用可直接插入更换的部件。TI 在多个系列中提供此功能（有关更多详细信息，请见 **表 6-1**）。

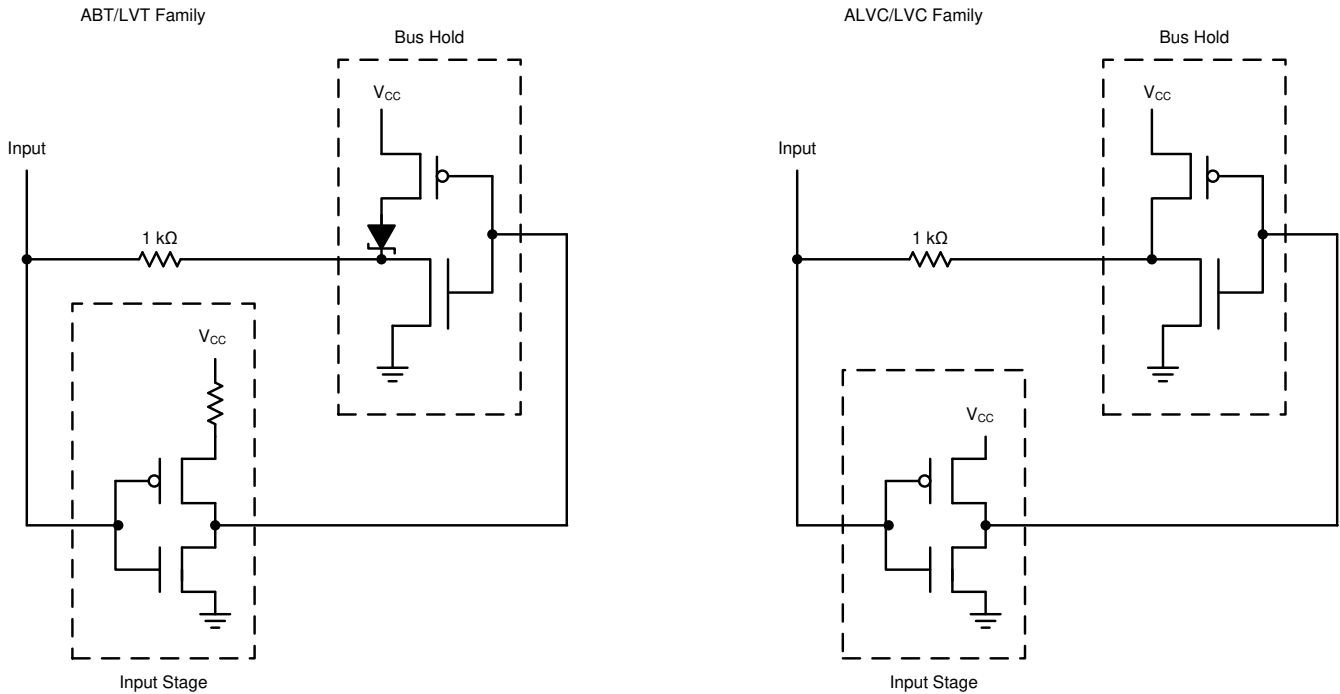


图 6-5. 具有总线保持电路的 **ABT/LVT** 和 **ALVC/LVC** 系列的输入结构

图 6-6 和 **图 6-7** 显示了当输入电压从 $0V$ 扫描到 $5V$ 时，总线保持电路在 $3.3V$ 和 $5V$ 工作电压下的输入特性。这些特性在行为上与弱驱动器类似。当输入为低电平时，该驱动器将电流灌入器件，而当输入为高电平时，则从器件中拉出电流。当电压接近阈值时，电路会尝试切换到另一状态，始终将输入保持在有效电平。这是使用内部反馈电路的结果。该图还显示，当输入接近阈值时，电流处于最大值。输入电压为 $3.3V$ 时， $I_{I(\text{hold})}$ 最大值约为 $25mA$ ，输入电压为 $5V$ 时，最大值约为 $400mA$ 。

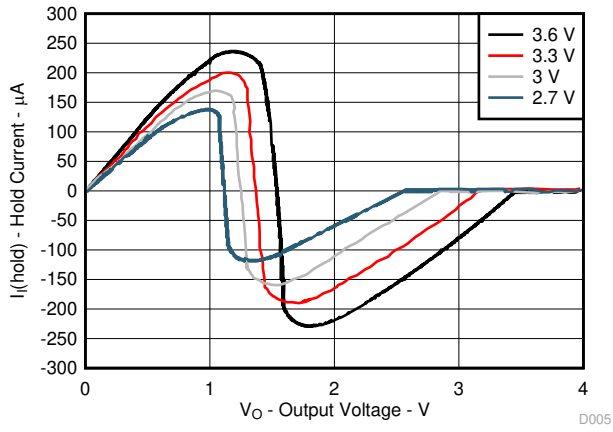


图 6-6. V_O —输出电压—V 总线保持输入特征

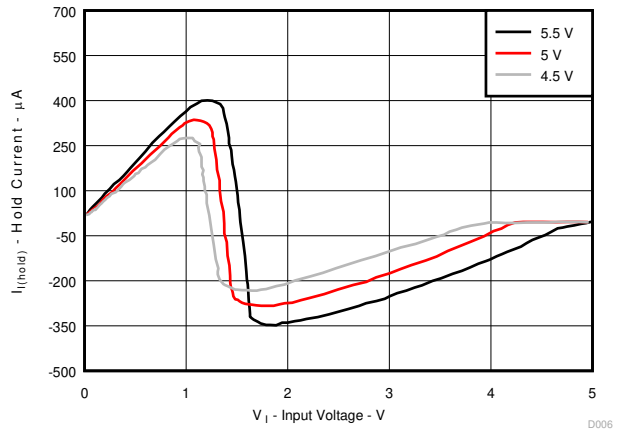


图 6-7. V_I —输入电压—V 总线保持输入特性

当具有总线保持电路的多个器件由单个驱动器驱动时，可能会担心驱动器的交流开关能力会变弱。作为小型驱动器，总线保持电路在开关时需要用到交流电流。使用 TI CMOS 和 BiCMOS 系列时，该电流不大。图 6-8 显示了驱动六个 LVTH16244 器件的 4mA 缓冲器。布线是 75 Ω 传输线。接收器间距 1cm，驱动器位于布线中心。图 6-9 和图 6-10 显示了当连接到六个切换到低电平或高电平的接收器时，总线保持负载对驱动器的影响。图 6-9 和图 6-10 还显示了总线保持电路与接收器断开连接时的同一系统。这两张图都显示了总线保持对驱动器上升和下降时间的影响。最初，总线保持电路会试图抵消驱动器，从而增加上升或下降时间。然后，总线保持电路改变状态（注意交叉点），这有助于驱动器更快地开关，从而减少上升或下降时间。

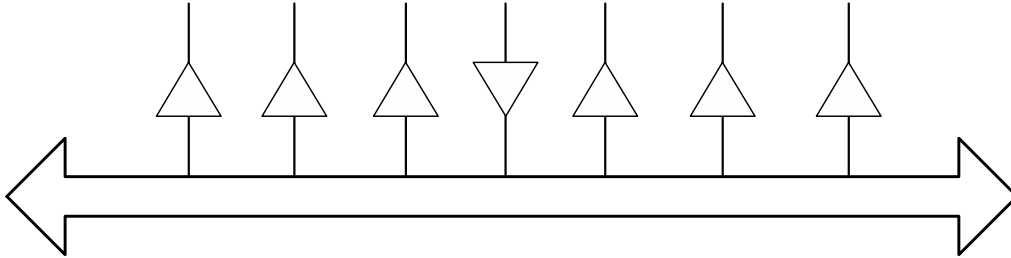


图 6-8. 驱动器和接收器系统

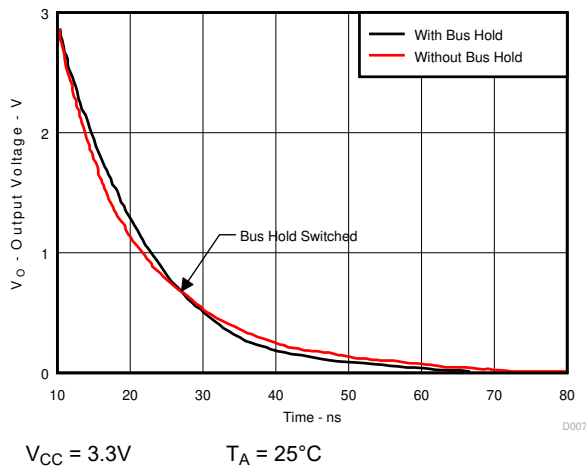


图 6-9. 使用和不使用接收器总线保持电路时驱动器从高输出切换到低输出的情况

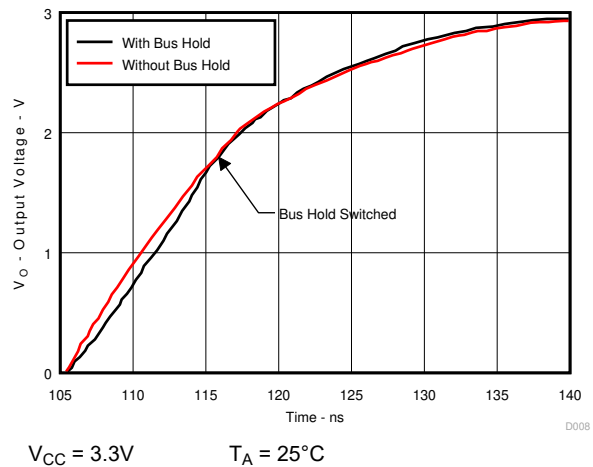
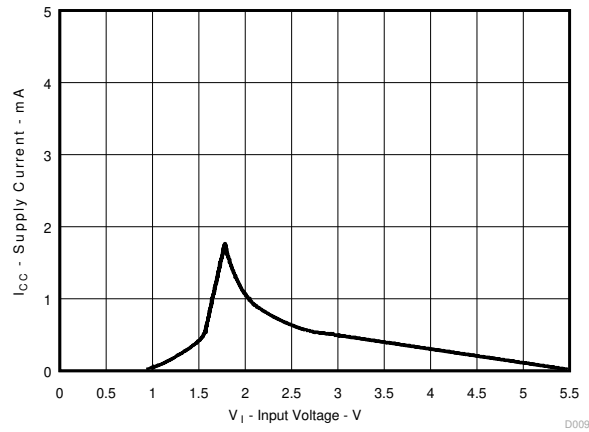


图 6-10. 使用和不使用接收器总线保持电路时驱动器从低输出切换到高输出的情况

图 6-11 显示了输入从 0V 扫描到 5V 时总线保持电路的电源电流 (I_{CC})。 V_I 约为 1.5V 时的尖峰是由 N 沟道和 P 沟道同时导通导致的。这是 CMOS 晶体管的特性之一。



$V_{CC} = 5V$

图 6-11. 总线保持电路电源电流与输入电压间的关系

以较高频率切换输入时，总线保持电路的功耗极低。图 6-12 和 图 6-13 显示了输入在不同频率下（具有或不具有总线保持功能）消耗的功率。总线保持电路在较高频率下的功耗虽然会有所增加，但并不足以在功率计算中予以考虑。

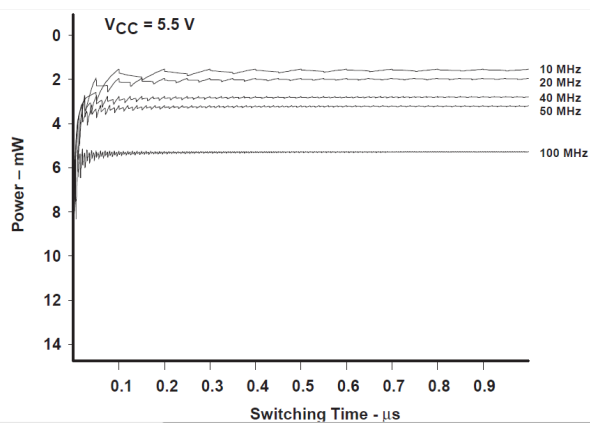


图 6-12. 不同频率下的输入功率图（使用总线保持电路时）

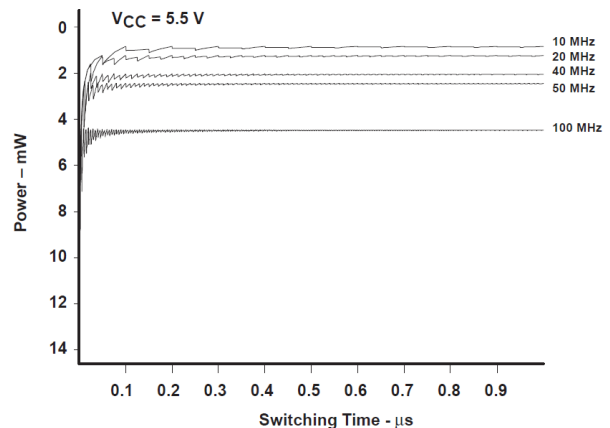


图 6-13. 不同频率下的输入功率图（不使用总线保持电路时）

表 6-2 示了数据表中总线保持电路的直流规范。第一个测试条件是将总线保持在 0.8V 或 2V 所需的最小电流。这些电压满足 TTL 输入所指定的低电平和高电平。第二个测试条件是总线保持电路在 0V 至 3.6V（针对低压系列）或 0V 至 5.5 V（针对 ABT）之间的任意输入电压下，所拉取或灌入的最大电流。随着输入电压接近电源轨电压，总线保持电流变得很小。对于具有总线保持功能的收发器而言，输出泄漏电流 I_{OZH} 和 I_{OZL} 无关紧要，因为由于存在总线保持电路，无法执行真正的泄漏测试。由于总线保持电路充当小型驱动器，因此它往往会拉取或灌入与泄漏电流方向相反的电流。这个情况只适用于具有总线保持功能的收发器，而不适用于缓冲器。所有 LVT、ABT Widebus+ 以及特定的 ABT 八进制和 Widebus 器件，均具有总线保持功能（有关更多信息，请见表 6-1 或与当地的 TI 销售办事处联系）。

表 6-2. 总线保持数据表最低规格示例

在建议的自然通风工作温度范围内的电气特性（除非另有说明）⁽¹⁾

				最小值	最大值	单位
$I_{I(\text{hold})}$	数据输入或 I/O	LVT、LVC、ALVC	$V_{CC} = 3V$	$V_I = 0.8V$	75	μA
				$V_I = 2V$	-75	
		LVC、ALVC	$V_{CC} = 3.6V$	$V_I = 0$ 至 $3.6V$	± 500	
		ABT Widebus+ 和特定的 ABT	$V_{CC} = 4.5V$	$V_I = 0.8V$	100	
	$V_I = 2V$	-100				
I_{OZH}/I_{OZL}	具有总线保持功能的收发器	ABT	此测试不是真正的 I_{OZ} 测试，因为总线保持功能在 I/O 引脚上始终处于活动状态。总线保持电路提供的电流往往与输出泄漏电流的方向相反。		± 1	μA
		LVT、LVC、ALVC				
	具有总线保持功能的缓冲器	ABT			± 10	
		LVT、LVC、ALVC		测试是真正的 I_{OZ} 测试，因为输出引脚上不存在总线保持功能。	± 5	

(1) 有关器件规格，请参阅最新的 TI 数据表。

7 总结

在使用 CMOS 和高级 BiCMOS 系列进行设计时，悬空输入及缓慢的上升和下降时间是需要考虑的重要问题。了解与悬空输入相关的复杂性非常重要。正确端接总线在实现可靠系统方面起着重要作用。应考虑本应用手册中建议的三种方法。如果无法直接控制总线，并且由于功耗和电路板空间限制，增加上拉或下拉电阻不切实际，那么总线保持功能就是最佳的选择。TI 设计的总线保持功能旨在减少对总线设计中使用电阻器的需求，从而减少电路板上的元件数量并提高系统的整体可靠性。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (September 2016) to Revision E (December 2020)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	3
• 更新了总线数据表最低规格示例图的格式.....	7

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司