

## Application Note

## 在选择功率 MOSFET 和使用功率 MOSFET 进行设计时避免常见错误



John Wallace

## 摘要

功率 MOSFET 广泛应用于开关模式电源、电动自行车和音频放大器等。高载流能力、易驱动性和快速开关特性使功率 MOSFET 成为设计工程师工具箱中必不可少的工具。在为应用选择功率 MOSFET 时，透彻了解应用要求和 FET 数据表有助于避免一些常见错误。

## 内容

1 简介.....	2
2 查看数据表限制.....	2
3 应用特定 FET.....	2
4 栅极驱动电压规格.....	4
4.1 绝对最大 $V_{GS}$ .....	4
4.2 栅源阈值电压 $V_{GS(th)}$ .....	5
5 高侧和低侧开关.....	7
5.1 驱动高侧 N 沟道 FET.....	7
5.2 驱动低侧 N 沟道 FET.....	7
5.3 驱动高侧 P 沟道 FET.....	7
6 使用栅源电阻器.....	8
7 最低 $R_{DS(on)}$ 并不意味着最低功率损耗.....	8
8 总结.....	8
9 参考资料.....	8

## 商标

所有商标均为其各自所有者的财产。

## 1 简介

为了为设计人员提供帮助，TI 发布了一系列用于选择和使用 MOSFET 的技术文章、应用手册和工具：[MOSFET 支持和培训工具](#)应用手册。选择 FET 后，还需要做更多工作来确保 FET 在应用中按预期工作。

## 2 查看数据表限制

在选择 FET 期间，需要查看应用和数据表，确保器件在数据表限制范围内运行。对于定义器件的电气和热限制的绝对最大额定值尤其如此。超过绝对最大额定值可能会导致 FET 发生灾难性故障。大多数工程师会降低数据表中的限值，以确保设计中有足够的裕量来应对电压尖峰、瞬变、故障条件、过载、短路等意外事件。例如，绝对最大  $V_{DS} = 30V$  的 FET 通常会降额至 24V 最大工作电压。

## 3 应用特定 FET

某些 FET 针对开关模式应用进行了优化，而其他 FET 更适合静态开关。某些 FET 适用于任一应用类型。首先要做的是查看 FET 数据表。TI FET 数据表第 1 页包含 FET 优化的应用的相关信息。例如，[图 3-1](#) 展示了 [CSD16570Q5B](#) 数据表，该 FET 针对 ORing 和热插拔应用进行了优化。

TEXAS INSTRUMENTS		CSD16570Q5B		
		SLPS496A – JULY 2014 – REVISED MAY 2017		
CSD16570Q5B 25-V N-Channel NexFET™ Power MOSFET				
<b>1 Features</b>				
<ul style="list-style-type: none"> <li>Extremely Low Resistance</li> <li>Low <math>Q_g</math> and <math>Q_{gd}</math></li> <li>Low Thermal Resistance</li> <li>Avalanche Rated</li> <li>Pb Free Terminal Plating</li> <li>RoHS Compliant</li> <li>Halogen Free</li> <li>SON 5-mm × 6-mm Plastic Package</li> </ul>				
<b>2 Applications</b>				
<ul style="list-style-type: none"> <li>ORing and Hot Swap Applications</li> </ul>				
<b>3 Description</b>				
This 25 V, 0.49 mΩ, SON 5 × 6 mm NexFET™ power MOSFET is designed to minimize resistance for ORing and hot swap applications and is not designed for switching applications.				
<b>Product Summary</b>				
$T_A = 25^\circ\text{C}$				
$V_{DS}$	Drain-to-Source Voltage	25	V	
$Q_g$	Gate Charge Total (4.5 V)	95	nC	
$Q_{gd}$	Gate Charge Gate-to-Drain	31	nC	
$R_{DS(on)}$	Drain-to-Source On-Resistance	$V_{GS} = 4.5\text{ V}$	0.68	mΩ
		$V_{GS} = 10\text{ V}$	0.49	mΩ
$V_{GS(th)}$	Threshold Voltage	1.5	V	
<b>Ordering Information<sup>(1)</sup></b>				
<b>Device</b>	<b>Qty</b>	<b>Media</b>	<b>Package</b>	<b>Ship</b>
CSD16570Q5B	2500	13-inch Reel	SON 5 × 6 mm Plastic Package	Tape and Reel
CSD16570Q5BT	250	7-inch Reel		
(1) For all available packages, see the orderable addendum at the end of the data sheet.				
<b>Absolute Maximum Ratings</b>				
$T_A = 25^\circ\text{C}$				
$V_{DS}$	Drain-to-Source Voltage	25	V	

图 3-1. CSD16570Q5B 数据表

同样，图 3-2 展示了 CSD18541F5 数据表的摘录。该器件针对负载开关和通用开关应用进行了优化。

TEXAS INSTRUMENTS		CSD18541F5		
		SLPS571B – MAY 2016 – REVISED FEBRUARY 2022		
CSD18541F5 60-V N-Channel FemtoFET™ MOSFET				
<b>1 Features</b>				
<ul style="list-style-type: none"> <li>• Low on-resistance</li> <li>• Ultra-low <math>Q_g</math> and <math>Q_{gd}</math></li> <li>• Ultra-small footprint               <ul style="list-style-type: none"> <li>– 1.53 mm × 0.77 mm</li> </ul> </li> <li>• Low profile               <ul style="list-style-type: none"> <li>– 0.36-mm height</li> </ul> </li> <li>• Integrated ESD protection diode</li> <li>• Lead and halogen free</li> <li>• RoHS compliant</li> </ul>				
<b>2 Applications</b>				
<ul style="list-style-type: none"> <li>• Optimized for industrial load switch applications</li> <li>• Optimized for general purpose switching applications</li> </ul>				
<b>Product Summary</b>				
$T_A = 25^\circ\text{C}$				
PARAMETER	DESCRIPTION	TYPICAL VALUE	UNIT	
$V_{DS}$	Drain-to-Source Voltage	60	V	
$Q_g$	Gate Charge Total (10 V)	11	nC	
$Q_{gd}$	Gate Charge Gate-to-Drain	1.6	nC	
$R_{DS(on)}$	Drain-to-Source On-Resistance	$V_{GS} = 4.5\text{ V}$	57	
		$V_{GS} = 10\text{ V}$	54	
$V_{GS(th)}$	Threshold Voltage	1.75	V	
<b>Device Information</b>				
DEVICE	QTY	MEDIA	PACKAGE	SHIP
CSD18541F5	3000		Femto	Tape
CSD18541F5T	250	7-Inch Reel	1.53-mm × 0.77-mm SMD Lead Less	and Reel
1. For all available packages, see the orderable addendum at the end of the data sheet.				

图 3-2. CSD18541F5 数据表

通过进一步深入探究数据表动态特性可知，CSD16570Q5B 不适合开关模式应用，因为电荷比  $Q_{gd}/Q_{gs} > 1$ 。当 MOSFET 用作同步降压转换器中的低侧 FET 时，这使得 MOSFET 更容易受到  $CdV/dt$  引起的导通的影响。同样，CSD18541F5 的电荷比大于 1，但典型的内部串联栅极电阻为  $R_G = 1200\ \Omega$ 。这限制了开关速度，该 FET 不是开关模式应用的最佳选择。如果对 FET 是否可用于特定应用存在一些疑问，请查看数据表中的应用部分和动态特性部分。如果还有其他问题，请联系您的 FET 供应商以获取更多信息。

## 4 栅极驱动电压规格

一个常见的错误是将 FET 栅极驱动至不正确的电压。通常， $V_{GS}$  过低，无法达到数据表中指定的  $R_{DS(on)}$ 。本文档的后面部分将介绍有关此主题的更多信息。

FET 数据表中包含  $V_{GS}$  的多项规格。有绝对最大  $V_{GS}$  的规格、栅源阈值电压  $V_{GS(th)}$  的规格和在一个或多个  $V_{GS}$  值下  $R_{DS(on)}$  的规格。下一节将介绍其中每一项以及在选择 FET 时如何使用这些规格。

### 4.1 绝对最大 $V_{GS}$

绝对最大  $V_{GS}$  额定值可以是单个值，也可以是单独的正值和负值，具体取决于栅极结构。如您的 MOSFET 包含哪种类型的 ESD 保护？技术文章中所述，TI FET 可以具有单端、背对背栅极 ESD 保护或无栅极 ESD 保护。采用单端 ESD 结构的 FET 的绝对最大  $V_{GS}$  只有一个值。施加极性相反的电压会使栅源 ESD 二极管正向偏置，从而允许电流流入栅极，并将  $V_{GS}$  钳位在结压降处。可以添加一个外部栅极电阻器，以限制栅极电流并防止损坏 FET。

具有背对背 ESD 保护或无 ESD 保护的器件具有单独的正负绝对最大  $V_{GS}$  值，这些值可以是对称的（即  $\pm 20V$ ）或非对称的（即  $-12V/+16V$ ）。切勿在  $V_{GS}$  超过绝对最大规格的情况下运行 FET，否则 FET 可能会损坏。

表 4-1、表 4-2 和表 4-3 展示了以下 TI N 沟道 MOSFET 的绝对最大额定值示例：

表 4-1. CSD17581Q5A 绝对最大额定值

$T_A = 25^\circ C$		值	单位
$V_{DS}$	漏源电压	30	V
$V_{GS}$	栅源电压	$\pm 20$	V
$I_D$	持续漏极电流（受封装限制）	60	A
	持续漏极电流（受芯片限制）， $T_C = 25^\circ C$ 时测得	123	
	持续漏极电流	24	
$I_{DM}$	脉冲漏极电流	256	A
$P_D$	功率耗散	3.1	W
	功率耗散， $T_C = 25^\circ C$	83	
$T_J$ 、 $T_{stg}$	工作结温和贮存温度	-55 至 150	$^\circ C$
$E_{AS}$	雪崩能量，单脉冲 $I_D = 39A$ ， $L = 0.1mH$ ， $R_G = 25\Omega$	76	mJ

表 4-2. CSD17381F4 绝对最大额定值

$T_A = 25^\circ C$ 时测得，除非另有说明		值	单位
$V_{DS}$	漏源电压	30	V
$V_{GS}$	栅源电压	12	V
$I_D$	持续漏极电流， $T_A = 25^\circ C$	3.1	A
$I_{DM}$	脉冲漏极电流， $T_A = 25^\circ C$	12	A
$I_G$	持续栅极钳位电流	35	mA
	脉冲栅极钳位电流	350	
$P_D$	功率耗散	500	mW
ESD 等级	人体放电模型 (HBM)	4	kV
	组件充电模式 (CDM)	2	kV
$T_J$ 、 $T_{stg}$	运行结温和储存温度范围	-55 至 150	$^\circ C$
$E_{AS}$	雪崩能量，单脉冲 $I_D = 7.4A$ ， $L = 0.1mH$ ， $R_G = 25\Omega$	2.7	mJ

表 4-3. CSD16415Q5 绝对最大额定值

$T_A = 25^\circ\text{C}$		值	单位
$V_{DS}$	漏源电压	25	V
$V_{GS}$	栅源电压	-12 至 16	V
$I_D$	持续漏极电流 (受封装限制)	100	A
	持续漏极电流 (受芯片限制), $T_C = 25^\circ\text{C}$ 时测得	261	
	持续漏极电流	38	
$I_{DM}$	脉冲漏极电流, $T_A = 25^\circ\text{C}$	200	A
$P_D$	功率耗散	3.2	W
	功率耗散, $T_C = 25^\circ\text{C}$	156	
$T_J$ , $T_{stg}$	工作结温和贮存温度	-55 至 150	$^\circ\text{C}$
$E_{AS}$	雪崩能量, 单脉冲 $I_D = 100\text{A}$ , $L = 0.1\text{mH}$ , $R_G = 25\Omega$	500	mJ

## 4.2 栅源阈值电压 $V_{GS(th)}$

在 TI FET 数据表中, 栅源阈值电压  $V_{GS(th)}$  是在  $I_D = 250\mu\text{A}$  时指定的。此时, FET 刚刚开始传导电流、低于最小  $V_{GS}$ , 其中  $R_{DS(on)}$  在数据表中指定。例如, 如表 4-4 所示, CSD18541F5 60V N 沟道 FET 的  $V_{GS(th)} = 1.75\text{V}$ , 但最小  $V_{GS} = 4.5\text{V}$ , 其中  $R_{DS(on)}$  在数据表中指定。

表 4-4. CSD18541F5 电气特性

$T_A = 25^\circ\text{C}$  (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
<b>静态特性</b>						
$BV_{DSS}$	漏源电压	$V_{GS} = 0\text{V}$ , $I_{DS} = 250\mu\text{A}$	60		V	
$I_{DSS}$	漏源漏电流	$V_{GS} = 0\text{V}$ , $V_{DS} = 48\text{V}$		1	$\mu\text{A}$	
$I_{GSS}$	栅源漏电流	$V_{DS} = 0\text{V}$ , $V_{GS} = 20\text{V}$		10	$\mu\text{A}$	
$V_{GS(th)}$	栅源阈值电压	$V_{DS} = V_{GS}$ , $I_{DS} = 250\mu\text{A}$	1.4	1.75	2.2	V
$R_{DS(on)}$	漏源导通电阻	$V_{GS} = 4.5\text{V}$ , $I_{DS} = 1\text{A}$		57	75	$\text{m}\Omega$
		$V_{GS} = 10\text{V}$ , $I_{DS} = 1\text{A}$		54	65	
$g_{fs}$	跨导	$V_{DS} = 6\text{V}$ , $I_{DS} = 1\text{A}$		7.7	S	
<b>动态特性</b>						
$C_{iss}$	输入电容	$V_{GS} = 0\text{V}$ , $V_{DS} = 30\text{V}$ , $f = 1\text{MHz}$	598	777	pF	
$C_{oss}$	输出电容		47	61	pF	
$C_{riss}$	反向传输电容		8.1	10.5	pF	
$R_G$	串联栅极电阻		1200	1600	$\Omega$	
$Q_g$	栅极电荷总量 (10V)	$V_{DS} = 30\text{V}$ , $I_{DS} = 1\text{A}$	11	14	nC	
$Q_{gd}$	栅极电荷 (栅极到漏极)		1.6		nC	
$Q_{gs}$	栅极电荷 (栅漏极)		1.5		nC	
$Q_{g(th)}$	$V_{th}$ 下的栅极电荷		0.8		nC	
$Q_{oss}$	输出电荷	$V_{DS} = 30\text{V}$ , $V_{GS} = 0\text{V}$	3.2		nC	
$t_{d(on)}$	导通延迟时间	$V_{DS} = 30\text{V}$ , $V_{GS} = 4.5\text{V}$ , $I_{DS} = 1\text{A}$ , $R_G = 0\Omega$	572		ns	
$t_r$	上升时间		540		ns	
$t_{d(off)}$	关断延迟时间		1076		ns	
$t_f$	下降时间		496		ns	
<b>二极管特性</b>						
$V_{SD}$	二极管正向电压	$I_{SD} = 1\text{A}$ , $V_{GS} = 0\text{V}$	0.8	1	V	

一个常见的错误是假定只要  $V_{GS} \geq V_{GS(th)}$ ，FET 就会导通并在应用中按预期运行。但情况并非总是如此。为确保  $R_{DS(on)}$  满足数据表限制， $V_{GS}$  必须始终大于或等于最小值，其中  $R_{DS(on)}$  在数据表中指定。这种情况经常被忽略，并且会导致应用出现意外的问题。使用 CSD18541F5 的客户必须更改设计，因为应用使用的是  $V_{GS} = 3.3V$ ，而不是  $V_{GS} = 4.5V$ 。如图 4-1 所示，当在  $V_{GS} < 4.5V$  的情况下运行 CSD18541F5 时，曲线的斜率几乎是垂直的， $V_{GS(th)}$  的微小变化会导致  $R_{DS(on)}$  发生指数级变化。

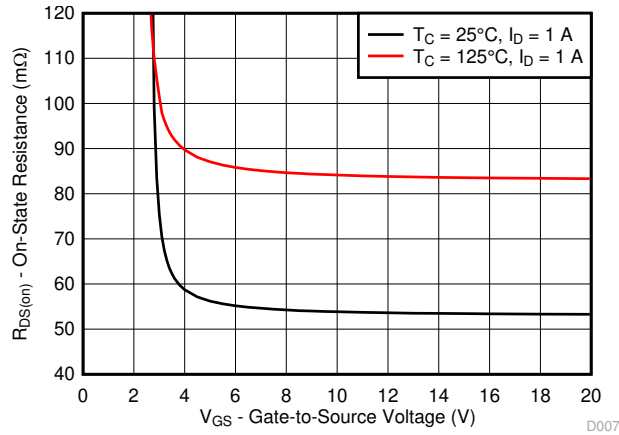


图 4-1. CSD18541F5  $R_{DS(on)}$  与  $V_{GS}$  间的关系

## 5 高侧和低侧开关

功率 MOSFET 用作高侧和低侧开关。区别是什么，栅极驱动是如何实现的？高侧开关将 FET 放置在输入电源和负载之间。低侧开关将 FET 放置在负载和接地端之间。图 5-1 和图 5-2 展示了简化示例。

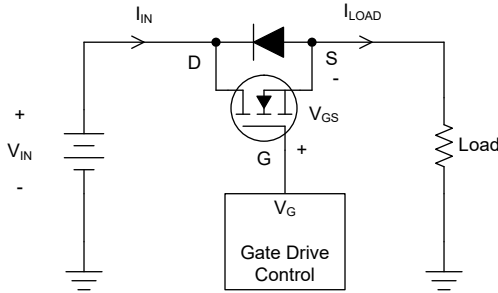


图 5-1. N 沟道 FET 高侧开关

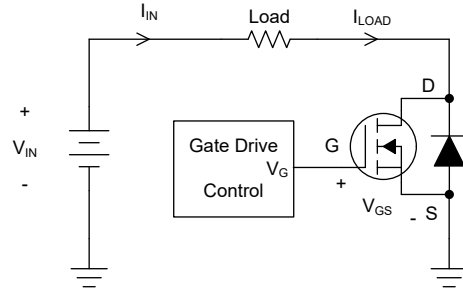


图 5-2. N 沟道 FET 低侧开关

### 5.1 驱动高侧 N 沟道 FET

高侧 N 沟道 FET 的栅极必须驱动到至少比输入高  $V_{GS}$  最小值的电压，其中  $R_{DS(on)}$  已在数据表中指定。这是因为当 FET 导通且  $V_{GS} = V_G - V_S = V_G - V_{IN}$  时，漏极和源极的电压大致相同。例如，当使用 CSD18541F5 作为高侧开关且  $V_{IN} = 24V$  时， $V_G \geq V_{IN} + V_{GS(min)} = 24V + 4.5V = 28.5V$ 。

### 5.2 驱动低侧 N 沟道 FET

驱动低侧 N 沟道 FET 要简单得多，因为源极接地，栅极只需被驱动至  $V_{GS}$  最小值，其中  $R_{DS(on)}$  在数据表中指定。

### 5.3 驱动高侧 P 沟道 FET

如图 5-3 所示，P 沟道 FET 由于驱动栅极的简单性，主要用作高侧开关。要导通器件，栅极应下拉至 GND。要关断器件，栅极应上拉至  $V_{IN}$ 。为了避免损坏 FET，请务必查看数据表，确保输入电压  $V_{IN} \leq$  绝对最大  $V_{GS}$ 。

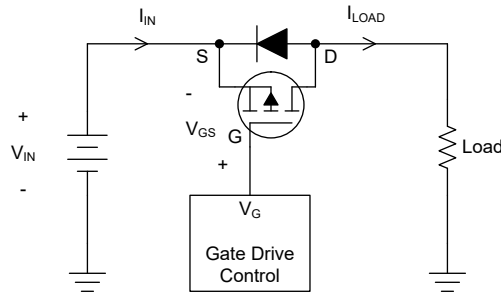


图 5-3. P 沟道 FET 高侧开关

## 6 使用栅源电阻器

栅极悬空或开路可能是发生 FET 故障的原因。当 FET 的栅极保持开路时，栅极可以充电至意外导致漏极电流  $I_D$  流动的电压。这可能会导致不必要的行为，直至并包括 FET 的灾难性故障。如图 6-1 所示，在栅极和源极之间添加一个  $10\text{k}\Omega$  至  $1\text{M}\Omega$  的电阻器是确保 FET 在栅极悬空时处于关断状态的简单方法。

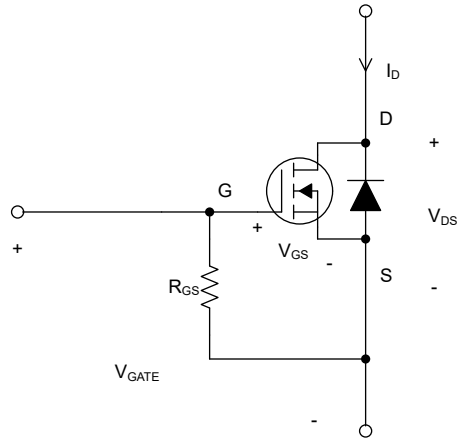


图 6-1. 具有栅源电阻器  $R_{GS}$  的 N 沟道 FET

## 7 最低 $R_{DS(on)}$ 并不意味着最低功率损耗

具有最低  $R_{DS(on)}$  的 MOSFET 是否会产生最低的功率损耗？这取决于应用和 FET 的使用方式。导通损耗或  $I^2R$  损耗与  $R_{DS(on)}$  成正比，对于热插拔、负载开关和 OR-ing 等应用（其中 FET 不会在几十或几百 kHz 的频率下开关），具有最低导通电阻的器件会产生最低的功率损耗。

在直流/直流转换器等开关模式应用中，开关损耗可能在总 MOSFET 功率损耗中的占比很大。 $R_{DS(on)}$  是 FET 芯片尺寸的函数，在给定的 MOSFET 工艺技术和电压额定值下，较大的芯片会产生较低的  $R_{DS(on)}$ 。较大的芯片还具有较高的电荷和电容，从而使开关损耗增加。为开关模式应用选择 FET 时，必须在导通损耗和开关损耗之间实现平衡，从而将 FET 的总体功率损耗降至最低。

TI 针对各种考虑到这一点的应用发布了大量基于 Excel 的 FET 选择工具。例如，利用[同步降压 FET 选择工具](#)，用户可以输入要求并根据功率损耗、封装和 1ku 价格比较多达三种不同的 TI FET 设计。

## 8 总结

功率 MOSFET 是一种多功能器件，可用于多种应用。本文介绍了在选择 FET 和使用 FET 进行设计时要避免的一些常见错误。

## 9 参考资料

以下文档可作为进一步参考，帮助您了解有关 TI MOSFET 的更多信息：

- 德州仪器 (TI)，[MOSFET 支持和培训工具](#) 应用手册
- 德州仪器 (TI)，[您的 MOSFET 包含哪种类型的 ESD 保护？](#) 技术文章



## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司