

## Application Note

## 在航天和国防应用中偏置 GaN 和 LDMOS 射频功率放大器



Erin Guthrie

## 摘要

在航天和国防应用中，偏置功率放大器 (PA) 可能非常昂贵且难以扩展，并且需要占用很大的布板空间才能实现。AFE20408 通过将八个数模转换器 (DAC)、一个模数转换器 (ADC) 和快速栅极偏置开关集成到一个 5mm x 5mm 的小型封装中，解决了这些问题。本应用手册还详细介绍了 AFE20408 的上电时序要求和多路输出配置。

## 内容

1 引言.....	2
2 应用图.....	3
3 输出配置.....	4
4 电源时序.....	6
4.1 上电正范围.....	7
4.2 上电负范围.....	7
5 总结.....	8
6 参考资料.....	9

## 商标

所有商标均为其各自所有者的财产。

## 1 引言

AFE20408 是一款模拟前端 (AFE) 高度集成的 PA 偏置控制器。AFE 在 5mm x 5mm 的超小封装内整合了 8 个 DAC、一个多输入 ADC 和快速栅极偏置开关。

8 个 13 位 DAC 的电压范围均为 0V 至 10V 和 -10V 至 0V。DAC 分为两组，每组具有单独的电源电压。这允许在一个器件上提供正负 DAC 输出，从而使一个器件能够同时为 LDMOS 和 GaN PA 供电。

AFE20408 具有两组，每组四个快速低导通电阻开关输出。这些切换式输出允许在不同电压下在两个 DAC 通道之间快速切换，从而有助于时分双工。这些开关式输出还可以从 DAC 电压切换到 VSS，从而允许将更多 DAC 通道用于栅极偏置。内置冗余允许通过软件位或硬件引脚切换开关。

AFE20408 具有集成的 16 位 ADC。该 ADC 具有两条用于测量高达 85V 输入电压的高压总线和两对高侧电流检测输入。此外，该器件还具有一个内部温度传感器。所有这些输入均可配置为设置具有用户定义的最小和最大阈值的警报条件。

AFE20408 的其他特性包括：1.8V 至 5V 的灵活数字 VIO 电压输入、一个自动可检测的 SPI 或 I<sup>2</sup>C 通信接口、十六个 I<sup>2</sup>C 目标地址、一个用于指示器件就绪性的器件正常引脚 (PAON)，和一个可配置为 RESET、ALARMOUT、ALARMIN、LDAC、DRVEN2 或 GPIO 引脚的 FLEXIO 引脚。

## 2 应用图

图 2-1 展示了 AFE20408 的示例应用。

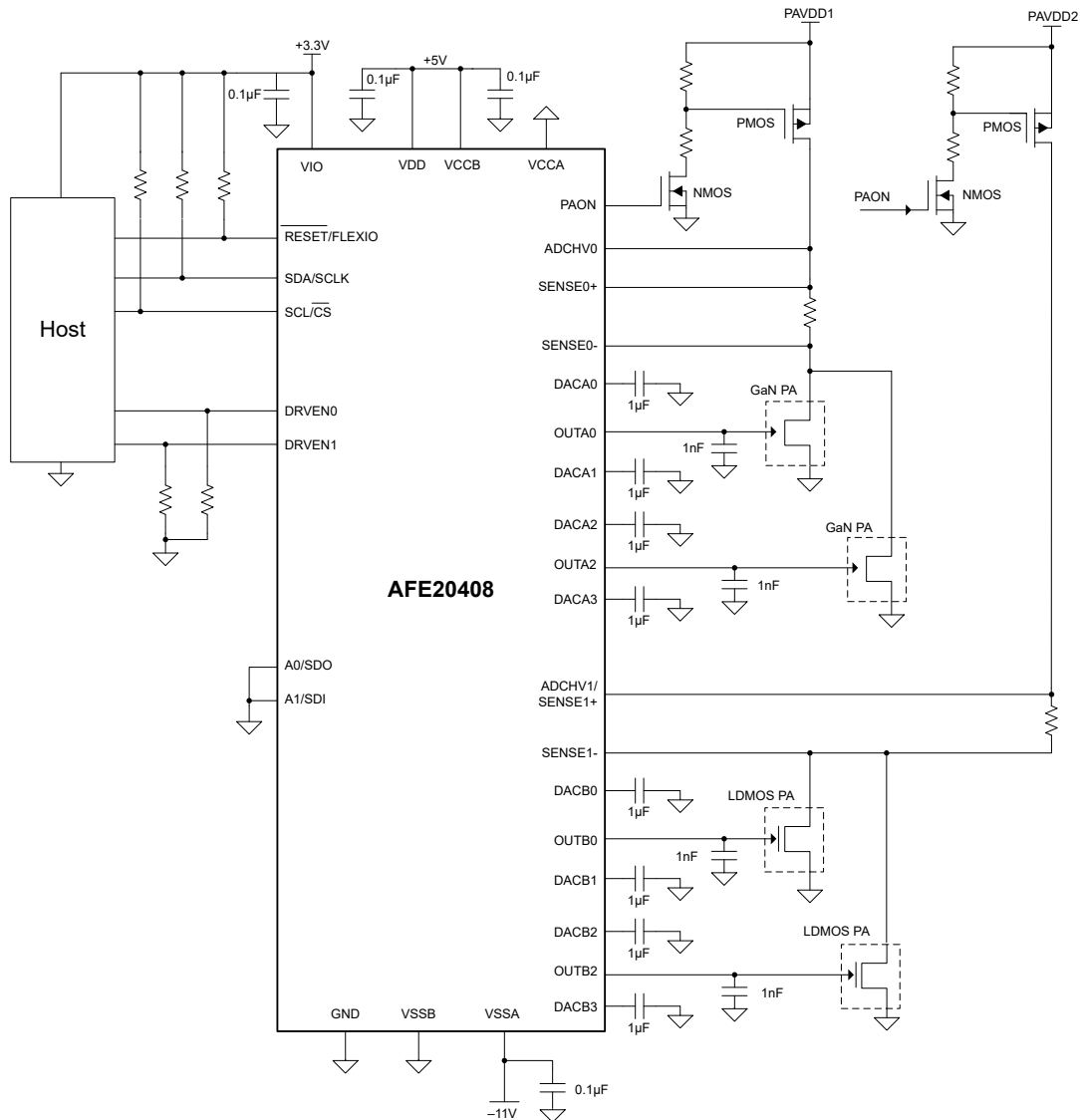


图 2-1. AFE20408 GaN 和 LDMOS PA 偏置应用

应用图突出显示了如何使用 AFE20408 的各种特性：

PAON 开关通过高电压 NMOS-PMOS 开关使 PAVDD 保持隔离状态。当 PAON 为低电平时，PMOS 被禁用，PAVDD 与 PA 隔离。当 PAON 为高电平时，PMOS 被启用，PAVDD 连接到 PA。默认情况下，PAON 引脚为低电平，需要用户启用。该电路可确保 PA 在启动期间受到隔离和保护。

ADC 具有用户可配置的警报条件，用于监控 PAVDD 电压和电流。ADCHV 通道可以在测得的 PAVDD 电压超出配置的阈值时向系统发出警报，并且可以使用外部电阻器配置 SENSE 引脚来监测 PAVDD 电流。如果 ADC 检测到报警条件，则 PAON 和 DAC 输出会关闭以保护 PA。

通过电容器电荷共享实现快速开关。DAC 输出具有较大的外部电容，而 OUT 输出具有较小的外部电容。当开关在不同输出之间切换时，输出端的小电容器会由较大的 DAC 电容器快速充电，从而实现非常快速的输出开关。输出在 100ns 内转换到 DAC 电压的 95%。这些开关的最长激活时间为 400ns。

### 3 输出配置

开关机制的灵活性允许用户通过多种方式配置 AFE20408。为简单起见，本文档引用了 DACA0、DACA1 和 OUTA0。所有其他 DAC-OUT-DAC 组都可以相同的方式进行配置。

这些开关可通过软件位或硬件引脚切换。默认情况下，这些开关配置为与软件配合使用。每个 DAC 输出都有一个相关的 DRVEN 软件位，用于根据 DAC 切换输出开关或 DAC 缓冲器。图 3-1 展示了如何在 AFE20408 中配置 OUTA0 开关。

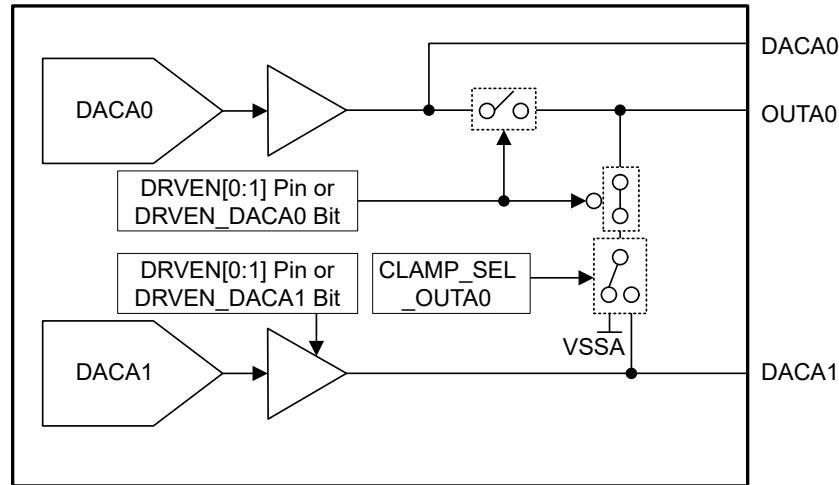


图 3-1. AFE20408 OUTA0 开关

OUTA0 引脚通过 DRVEN\_DACA0 位在 DACA0 电压和 CLAMP 电压之间切换。当 DRVEN\_DACA0 为 0 时，OUTA0 设置为 CLAMP 电压。当 DRVEN\_DACA0 为 1 时，OUTA0 设置为 DACA0。CLAMP 电压通过 CLAMP\_SEL\_OUTA0 位设置为 VSSA 或 DACA1。DRVEN\_DACA1 位控制 DACA1 缓冲器。数字 1 会开启 DACA1 缓冲器，0 会关闭 DACA1 缓冲器。

这四组 DAC-OUT-DAC 可以单独配置，从而允许进行多种配置以满足用户的要求。表 3-1 展示了 DACA0-OUTA0-DACA1 组使用软件位时的一些可能配置。

表 3-1. AFE20408 输出配置

CLAMP_SEL_OUTA0 CLAMP 设置	DRVEN_DACA0 = 0 OUTA0 输出	DRVEN_DACA0 = 1 OUTA0 输出	DRVEN_DACA1 = 0 DACA1 输出	DRVEN_DACA1 = 1 DACA1 输出
VSSA	VSSA	DACA0	VSSA	DACA1
DACA1	DACA1	DACA0	忽略	忽略

有三个可能的硬件引脚：DRVEN0、DRVEN1 和 DRVEN2。DRVEN2 是 FLEXIO 引脚的可选选项之一。每个开关都可以通过硬件引脚（而非软件）启用。

图 3-2 展示了一个开关配置，其中 DACA1 被设定为钳位电压。OUTA0 开关在导通电压 DACA0 和 PA 夹断电压 DACA1 之间切换 OUTA0 输出电压。该配置支持精确的栅极开/关电压，从而更大幅度地减少浪费的功率和提高开关速度。DAC 输出上的大电容可实现快速输出切换，如图 3-3 所示。在此图中，开关由 DRVEN0 引脚上的 1MHz 信号驱动。

表 3-2. AFE20408 双路 DAC 配置

CLAMP 设置	OUTA0 OFF 输出	OUTA0 ON 输出
DACA1	DACA1	DACA0

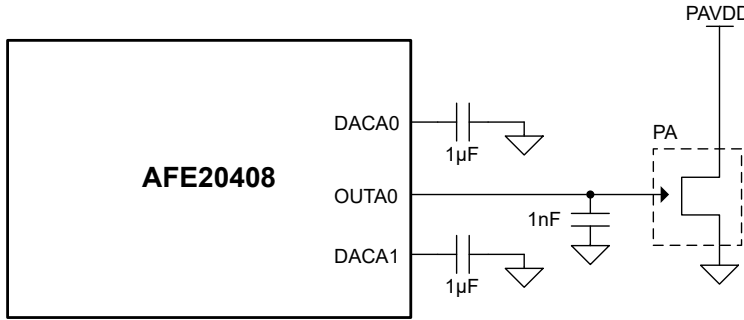


图 3-2. 双 DAC 配置

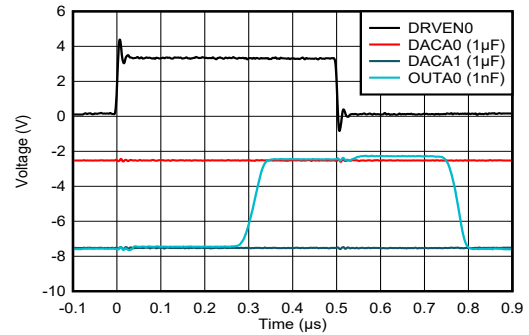


图 3-3. 双 DAC 开关图

图 3-4 展示了钳位设置为 VSSA 的开关配置。此配置在导通电压 DACA0 和关断电压 VSSA 之间有 OUTA0 引脚开关。该配置无法提供与双 DAC 配置相同的精确夹断电压，但允许 DACA1 用于额外的栅极偏置。DACA0 上的大电容可实现快速输出切换，如图 3-5 所示。在此图中，开关由 DRVEN0 上的 1MHz 信号驱动。

表 3-3. AFE20408 单 DAC 配置

CLAMP 设置	OUTA0 OFF 输出	OUTA0 ON 输出
VSS	VSS	DACA0

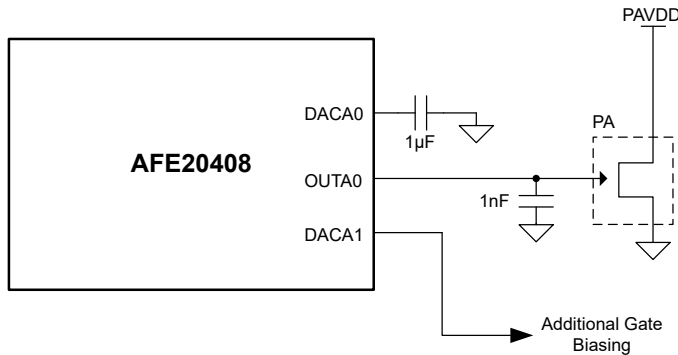


图 3-4. 单 DAC 配置

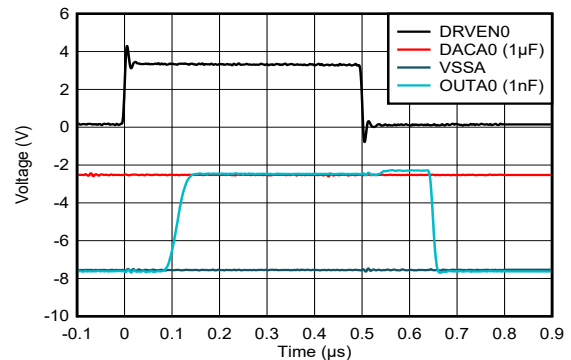


图 3-5. 单 DAC 开关图

DACA1 缓冲器也可配置为随 DRVEN 引脚打开和关闭。如图 3-6 所示，DACA1 开关速度要慢得多。在此图中，开关由 DRVEN0 上的 80kHz 信号驱动。这种开关速度较慢的原因是，每次开关打开时，DACA1 上的电容器都要充电。由于这个充电时间，建议为 DACA1 输出使用一个小电容。

如果 DACA1 设置为 CLAMP，则 DACA1 会忽略关闭条件并保持高电平。

表 3-4. AFE20408 DACA1 缓冲器配置

CLAMP 设置	DACA1 OFF 输出	DACA1 ON 输出
VSS	VSS	DACA1
DACA1	忽略	DACA1

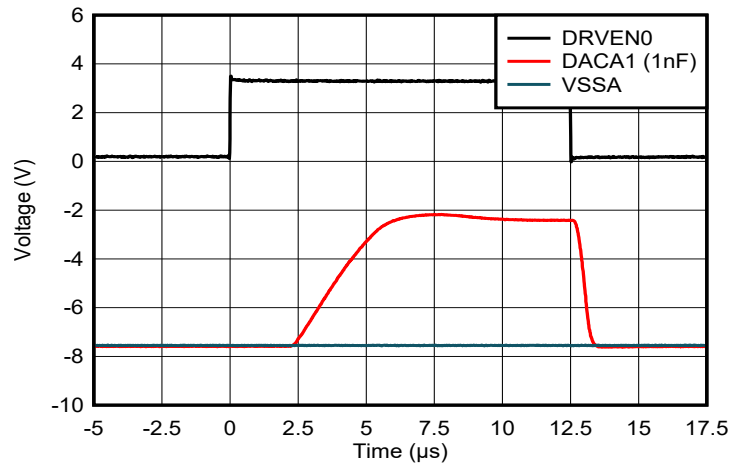


图 3-6. DACA1 DRVEN 开关图

## 4 电源时序

必须在受控例程中为 PA 上电和断电，从而防止在施加 PAVDD 后 PA 栅极电压过高。如果栅极电压过高，PA 可能会在饱和模式下运行，并对 PA 或安装 PA 的电路板造成热损坏。AFE20408 上电后，要实现 PA 的正确启动时序控制，需要执行以下步骤：

1. 打开 AFE20408 的电源。
2. 将栅极电压设置为适当的夹断电压，以便在施加 PAVDD 时使 PA 保持关断状态。
3. 使用 AFE20408 PAON 引脚和 PMOS-NMOS 电路或通过外部电路和信号启用 PAVDD 电压。
4. 施加 PAVDD 后，可以增大栅极偏置以设置所需的 PA 功率输出。
5. 最后，可启用射频信号。这样，PA 即可发送信号。

通过倒序执行上电步骤即可安全关断 PA：

1. 禁用来自 PA 的射频信号。
2. 将 DAC 输出减小到夹断值以关闭 PA。
3. 通过外部电路或 PAON 引脚禁用 PAVDD 电压。
4. 在 PA 完全禁用后禁用 DAC 输出。
5. 打开 AFE20408 的电源开关。

以下各节详细介绍了器件上电期间的输出行为。

### 4.1 上电正范围

AFE20408 上电序列旨在保护 PA。在启动期间，输出接地。这样可以确保在 AFE20408 通电时 PA 保持关闭。此外，在用户启用 PAON 输出之前，PAON 输出会保持低电平，在系统完成配置前，允许选择阻止 PAVDD 连接到 PA。图 4-1 展示了启动期间的输出干扰。输出的毛刺脉冲标称值为 15mV，确保 PA 在启动期间不会打开。

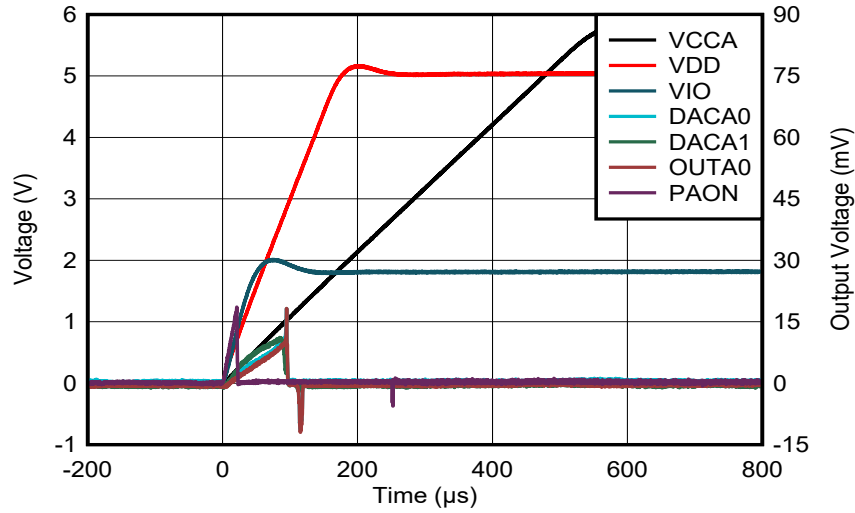


图 4-1. AFE20408 正启动

在电压意外关闭的情况下，例如其中一个输入电压崩溃时，该器件会将所有输出设置为接地并禁用 PAON，从而保护器件和 PA。

### 4.2 上电负范围

负范围的上电与正范围类似，但输出在启动期间连接到 VSS 电压。图 4-2 展示了启动行为。这意味着在启动期间，有一段时间输出处于 PA 的开启范围内。由于 PA 可能已通电，因此 PA 应与 PAVDD 隔离，以便 PA 不会错误地导通。

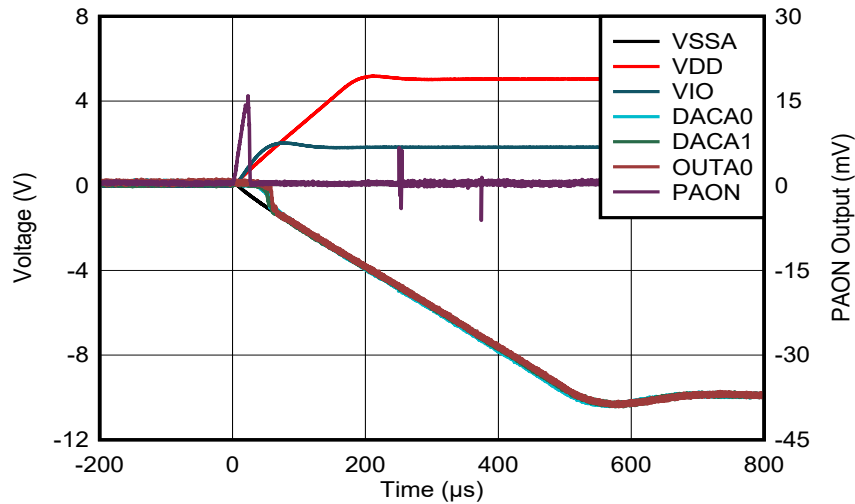


图 4-2. AFE20408 负启动

## 5 总结

AFE20408 简化了控制 PA 偏置和上电时序所需的电路，同时增加了许多有益的特性，如 PAVDD 电流和电压监控、输出开关和 PAVDD 电压控制。AFE20408 能够同时输出正负电压，从而允许器件对 GaN 和 LDMOS PA 进行偏置。输出开关配置的灵活性使其成为需要高达 400ns 快速开关的项目的理想器件，同时还提供附加偏置或慢速开关的选项。AFE20408 为雷达和电子战等航天与国防应用中的 PA 偏置提供了灵活、可靠且节省电路板空间的设计。



## 6 参考资料

- [AFE20408EVM 产品页面](#)

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司