

Application Note

在 GaN 半桥电路中实现自举过充预防



Alexander Mazany

摘要

与 MOSFET 相比，GaN FET 在开关特性方面具有许多优势。但是，GaN FET 也面临一些独特的挑战，必须解决这些挑战才能实现卓越性能。其中一个挑战是半桥拓扑中的自举过充。

电路设计人员使用多种方法来解决自举过充问题。本文档比较了这些自举过充预防方法，包括集成在半桥 GaN 驱动器（例如 LMG1205、LM5113-Q1 和 LMG1210）中的方法。

内容

1 引言.....	2
2 自举过充.....	4
3 自举过充建模.....	4
4 更改自举元件.....	5
5 齐纳二极管法.....	6
6 肖特基二极管法.....	7
7 过压钳位方法.....	7
8 有源开关方法.....	8
9 同步 GaN 自举方法.....	9
10 防止自举过充的其他方法.....	10
10.1 缩短死区时间.....	10
10.2 选择辅助电源.....	11
10.3 调整栅极电压.....	11
11 总结.....	11
12 参考文献.....	11

商标

所有商标均为其各自所有者的财产。

1 引言

业内越来越多地采用 GaN FET，以便在电动汽车、服务器电源和电机驱动器中实现比硅 MOSFET 更好的开关特性。GaN FET 支持在更高的开关频率下运行，这有助于减小系统尺寸、降低成本和重量。

48V 至 12V 直流/直流转换器在许多电源应用中发挥着至关重要的作用，通常使用 LLC、同步降压或降压/升压拓扑来实现。这些半桥拓扑之间的一个常见因素是，拓扑需要死区时间或非导通时间，期间高侧和低侧 FET 均处于关闭状态。

负载电流 (IL) 必须在死区时间内继续循环。这种工作模式称为 *第三象限运行*，其中 FET Vgs 为 0V 且有负电流流动。有关第三象限运行的更多详细信息，请参阅 [GaN 是否具有体二极管？ - 了解 GaN 的第三象限运行](#)。图 1-1 展示了一个半桥降压转换器示例以及相关参数。图 1-2 显示了主要问题：在死区时间内，HS 上会产生较大的负电压。

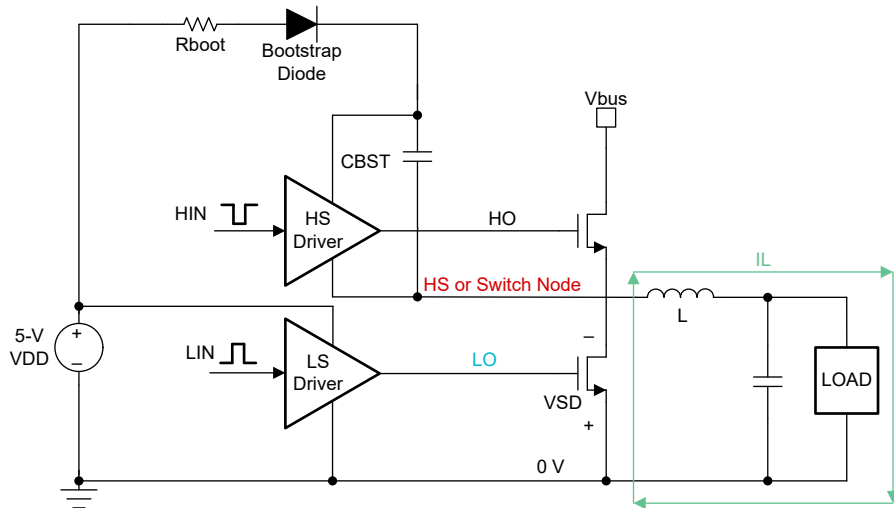


图 1-1. 展示自举过充相关参数的半桥降压转换器简化版原理图

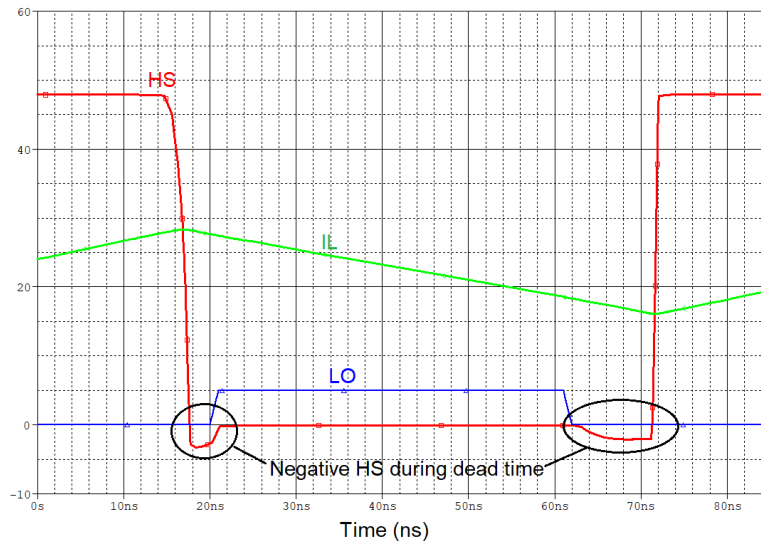


图 1-2. 展示 IL、死区时间和负 HS 电压之间关系的波形捕捉

这种负电压与 GaN FET 的特性有关。与硅功率 FET 不同的是，GaN FET 没有会形成体二极管的寄生 P-N 结。在 MOSFET 中，体二极管在第三象限运行时，其作用类似于正向电压 (VF) 约为 0.7V 的二极管。当 MOSFET 在第三象限导通时，HS 上产生的负电压约为体二极管的 VF。在 GaN FET 中，缺少体二极管意味着行为有所不同。

当 Vgs 较低 (通常为 0V) 并且强制电流通过 GaN FET 时，会发生第三象限运行。FET 在此状态下处于关闭状态，被视为一个大电阻器。当电流被强制流过这个大电阻器时，就会产生电压。FET 器件的源极到漏极产生电压 (VSD)。漏极必须对地为负，因为源极连接到接地端。由于 GaN FET 的双向特性，最低电压节点充当器件的源极。栅极电压为 0V，漏极 (现在为源极) 为负，因此器件上会产生 Vgs。一旦该 Vgs 超过 GaN FET 的阈值电压 (Vth)，FET 就会导通并再次变为小电阻。这可以阻止电压增加，最终导致出现在 HS 节点上的负电压大致等于 GaN FET 的 Vth。此过程称为自换向，因为器件会自行开启。

自换向与 MOSFET 的体二极管导通有两个主要区别。第一个区别是自换向电流在器件的通道中传导，而不是在寄生体二极管中传导。在 P-N 体二极管中传导电流时，体二极管中将内置反向恢复电荷 (Qrr)。但是，当电流在通道中传导时，不存在 Qrr。第二个区别是自换向会产生比体二极管导通高很多的负电压，这是因为 GaN FET Vth 远高于体二极管 VF。

由于这些差异，许多设计人员喜欢将 GaN FET 视为具有高正向电压且没有反向恢复电荷的体二极管。该二极管模型的主要缺陷是模型忽略了 Vg 在确定负电压方面的作用。如果设计人员使用负 Vgs 来防止误导通 (许多设计人员都会这样做)，则负 HS 电压会增加。

方程式 1 估算了任何 GaN FET 的负 HS 电压。大多数制造商都提供了图供参考，如图 1-3 所示。

$$V_{SD} = V_{th} + I_{SD} \times R_{DS(on)} - V_{G(off)} \tag{1}$$

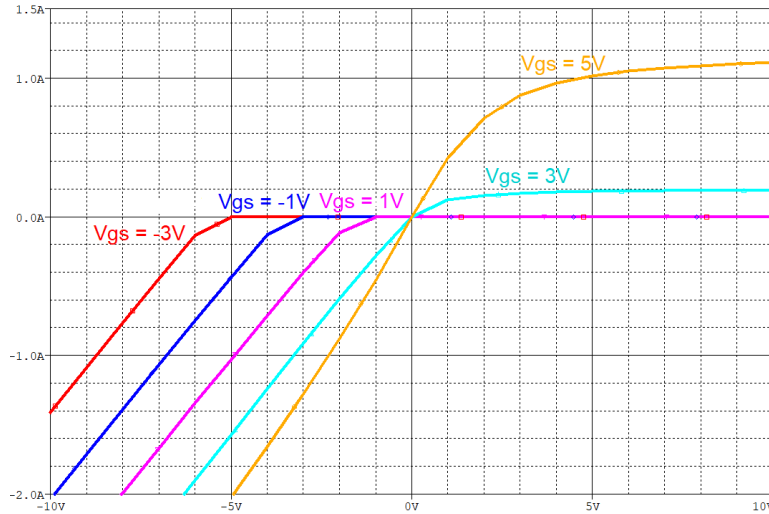


图 1-3. 显示第三象限 Vds 电压与负载和不同 Vgs 电压的图

2 自举过充

死区时间期间产生的负电压会带来一些后果。首先，负电压会造成损耗，因为低侧 FET 必须耗散 VSD 乘以 IL 。其次，负电压会导致自举电路上出现过充，该电路通常用于为高侧 FET 提供偏置。通常，当低侧 FET 导通且 HS 节点接近 0V 电流 (I_{boot}) 时，自举电容器 (C_{boot}) 充电，然后电流从 VDD 流过自举二极管，将 C_{boot} 电容器充电至 VDD。有关自举电路的进一步说明，请参阅 [针对半桥配置的自举电路选择](#)。

在死区时间内， C_{boot} 上的电势可能会增加到 VDD 加上负电压，在许多情况下很容易超过 6V 至 7V。这意味着自举电容器过充至高于 VDD 的电压。这种类型的过充可用于所有半桥配置，而不仅仅是使用 GaN FET 的配置。然而，GaN FET 的敏感栅极往往只能处理最高 6V 至 8V 的电压，具体取决于结构。因为 GaN 半桥具有更高的负 HS 电压并且对过充的敏感性更高，因此自举过充预防至关重要。LM5113-Q1、LMG1205 和 LMG1210 等一些半桥栅极驱动器具有集成式自举过充预防电路。

3 自举过充建模

对自举过充进行建模的一种方法是使用电荷 (Q)。自举电流在充电期间对 C_{boot} 充电。然后， C_{boot} 在提供电流以驱动高侧 FET 时放电。当充电和放电平衡相等时， C_{boot} 达到稳态电压。在图 3-1 中，顶部的图显示了充电和放电期间电压的上升和下降情况。底部的图显示了基于电流的 Q_{in} 和 Q_{out} 。

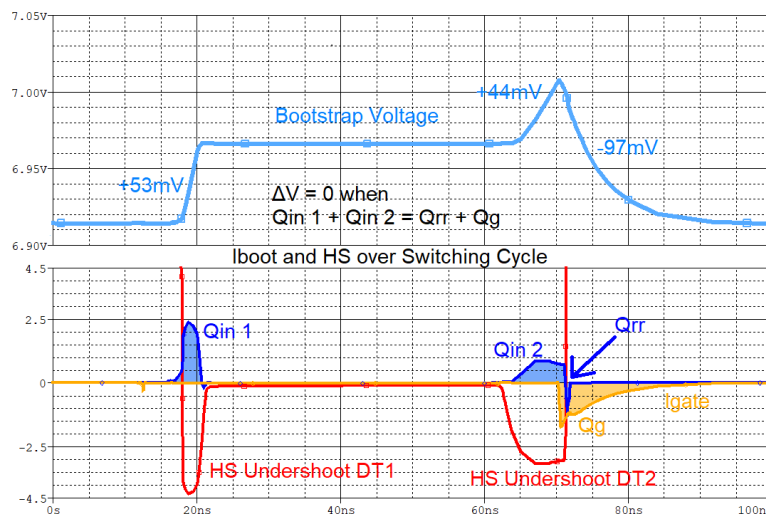


图 3-1. 自举过充仿真图

图 3-1 显示了半桥仿真，其中 C_{boot} 过充接近 2V。在死区时间内，由于负 HS 导致的电压电势增加，自举电流 (I_{boot}) 会流过 C_{boot} 。在 HS 为 0V 的正常充电期间， C_{boot} 不会充电，因为 C_{boot} 两端的电压已经高于 VDD。 C_{boot} 在下一个死区时间内再次充电，但随着负载 (IL) 和 HS 的降低，容量会略小。最后， C_{boot} 会放电至高侧 FET 的栅极电荷 (Q_g) 自举二极管的反向恢复 (Q_{rr})。

I_{boot} 的积分随时间推移提供自举电荷 (Q_{in})。可以计算或测量自举放电 (Q_{out})。当 Q_{in} 和 Q_{out} 相等时， C_{boot} 达到稳态电压。如图 3-1 所示， Q_{in1} 和 Q_{in2} 的面积等于 Q_{rr} 和 Q_g 的面积。

方程式 2 和方程式 3 描述了此行为：

$$Q_{in} = \int_t^{t+DT1} I_{boot}(t) dt + \int_t^{t+DT2} I_{boot}(t) dt \quad (2)$$

$$I_{boot}(t) = \frac{V_{DD} - V_F(t) - V_{boot}(t) + V_{SD}(t)}{R_{boot}} \quad (3)$$

Q_{out} 主要由用于驱动高侧开关的 Q_g 、驱动器电路的漏电流、GaN FET 的栅极/源极漏电流以及自举二极管中的反向恢复电流组成。大多数情况下，仅 Q_g 就足以估算 Q_{out} ，因为 Q_g 是最重要的因素。FET 数据表通常包含 Q_g 与 V_{gs} 之间的关系图，提供了一种估算稳态电压的方法。

方程式 2 和方程式 3 可帮助您了解解决自举过充问题的可用选项。相关信息有时在设计过程的后期才可用，这使得计算 V_f (随 I_{boot} 变化) 等参数变得困难。此外，结果会随负载和温度而变化。仿真提供了一种比计算更直接、更准确的方法来确定自举过充。

4 更改自举元件

解决自举过充问题的最简单方法是更改自举电路。这个方法包括增大自举电阻、使用一个更高的 V_f 自举二极管，甚至使用一个自举电感器。这种自举方法的工作原理是限制流经自举路径 (I_{boot}) 的电流，从而减少 Q_{in} 。

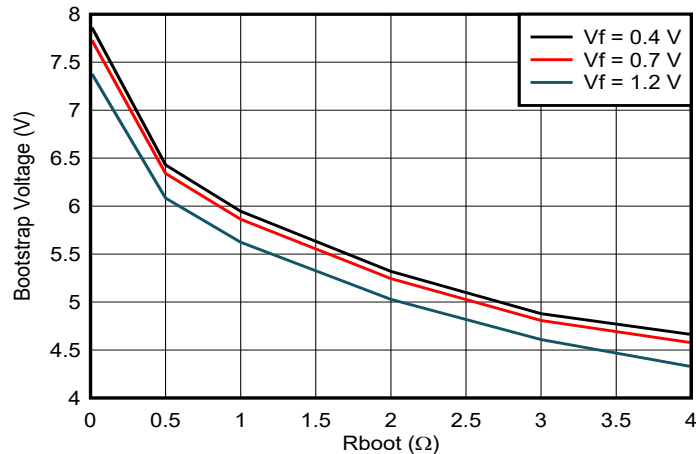


图 4-1. 显示使用具有不同正向电压的二极管时稳态自举电压和 R_{boot} 间的关系的图

本例中使用的 GaN FET 的栅极最大额定电压为 6V。 R_{boot} 小于 1Ω 时，栅极电压会超过 GaN FET 的额定值。添加 2Ω R_{boot} 可将过充降低到 5.5V 以下的更合理水平。这种自举方法简单有效，但存在一些缺点。

R_{boot} 和 C_{boot} 构成 RC 滤波器。系统的启动时间由 RC 滤波器的时间常数决定。增大 R_{boot} 会增加系统的启动时间。过充量会随负载和温度而变化，因此，设计 R_{boot} 以考虑最坏情况下的工作点至关重要。为了考虑到最坏情况， R_{boot} 必须更大，并且启动时间必须进一步增加。或者，向自举电路添加电感可以限制自举电流。电感和电流之间的关系如方程式 4 所示：

$$V = L \frac{di}{dt} \quad (4)$$

尺寸合适的电感器可限制短死区时间内的电流累积，而不会影响正常充电。添加电感所返回的效率略高于电阻，因为该过程会回收一些能量而不是耗散能量。缺点是当 HS 上升时强制电感器电流关断会产生电感电压尖峰。除了在图 4-2 中的 I_{boot} 上看到的振荡电流之外，自举二极管上还存在相应的电压尖峰。

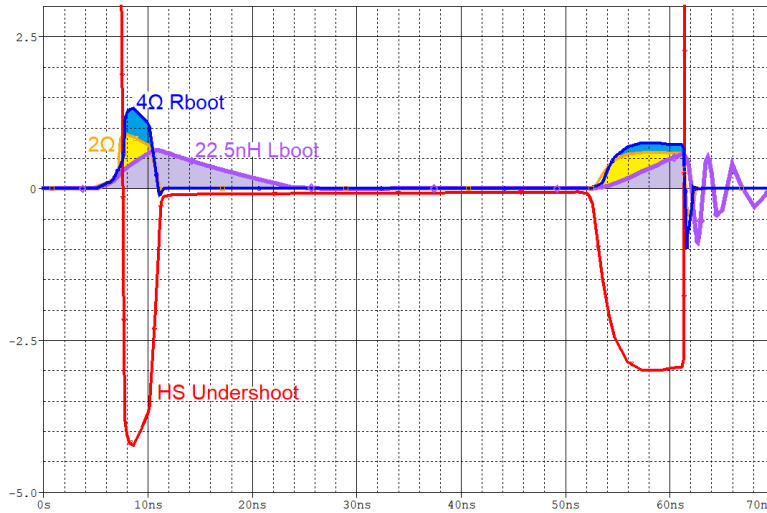


图 4-2. 比较使用 2 Ω 电阻器、4 Ω 电阻器和 22.5nH 电感器时 I_{boot} 电流的波形

由于可能存在电感电压尖峰，需要自举二极管包含较高的阻断电压和较小的电容，以减少反向恢复期间的振铃。由于尺寸过大，再加上电感器相对于电阻器的成本更高，因而产生比其他方法更昂贵的选择。

5 齐纳二极管法

针对自举过充的一个常见、简单的选择是将一个击穿电压 (V_z) 约为 5V 的齐纳二极管与 C_{boot} 并联。一旦 C_{boot} 充电至 V_z ，而不是对 C_{boot} 充电，齐纳二极管中就会消耗任何多余的电荷。

与前面讨论的自举选项相比，齐纳二极管方法可防止 C_{boot} 电压在所有条件下超过 V_z 。此外，5V 至 6V 齐纳二极管具有非常小的温度系数。因此，齐纳二极管方法在不同负载和温度条件下都是可靠的。

使用这种方法的另一个好处是齐纳二极管允许某种程度的过充。少量过充是有益的，因为过充可以抵消自举二极管中的压降。消除压降会增加自举电压，并降低高侧 FET 中的传导损耗。

使用齐纳二极管方法也有缺点。首先，齐纳二极管不会立即转换为击穿电压或从击穿电压转换。齐纳二极管数据表通常包含反向电压与电流间的关系图。这个曲线有一个拐点，这会导致齐纳电压发生极端变化，具体取决于它必须灌入的电流。这一缺点需要加以权衡：低 V_z 齐纳二极管在标称电压下具有更多漏电流，但 V_z 较高的二极管会钳位在更高电压下。如果齐纳二极管具有足够低的 V_z 来防止过充电，则始终会在标称电压下增加漏电流。

其次，如果限制 I_{boot} 的自举电阻较低，则齐纳二极管的功率耗散会过高。齐纳二极管耗散的功率是 V_z 和 I_z 的乘积。当自举电压超过齐纳二极管的击穿电压时， I_z 接近 I_{boot} 。如果 I_{boot} 大于 2A，则瞬时功率耗散将超过 10W。如果超过额定值，高功率耗散会影响效率并损坏齐纳二极管。

6 肖特基二极管法

解决自举过充问题的另一种方法是将一个二极管与下部 GaN FET 并联。在此配置中，二极管的行为类似于 MOSFET 的体二极管。二极管将负 HS 电压限制到二极管的 VF，该电压通常小于 1V。降低 HS 上的负电压可减少低侧 GaN FET 中的自举过充和死区时间损耗。与 P-N 二极管相比，肖特基二极管具有更好的反向恢复和 VF 性能，因此在该应用中受到青睐。

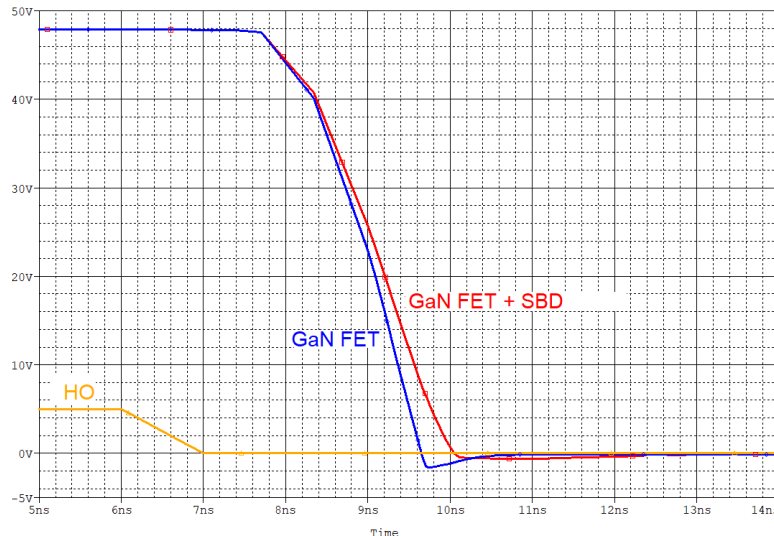


图 6-1. 使用和不使用并联肖特基二极管 (SBD) 时的 HS 压摆率和下冲波形比较

图 6-1 显示 GaN FET 达到更高的 dv/dt ，并且开关速度快于具有并联二极管的 GaN FET。GaN FET 在 HS 上达到约 $-1.8V$ ，而带有二极管的 GaN FET 仅达到约 $-0.6V$ 。因此，肖特基二极管可以有效限制 HS 负电压并防止过充。使用该肖特基二极管的缺点是会在 HS 节点上增加额外的电容，从而导致开关时间和损耗增加。

肖特基二极管在较高电压系统中不太可行。硅肖特基二极管 (SBD) 具有 100V 至 200V 的阻断电压，但在更高的电压下会开始失去与 P-N 二极管相比的优势。SiC SBD 在更高电压下变得越来越流行，可以达到超过 1200V 的阻断电压。但是，这些二极管的正向电压更高 (大于 1.3V)，可能会因过高而无法防止过充。

具有非常高负载或负载瞬态的系统有一些特别注意事项。例如，在 3kW、48V 至 12V DC/DC 转换器中，负载电流约为 250A，需要非常大 (且昂贵) 的肖特基二极管。交错降低了每个二极管的电流要求，但需要更多二极管。添加肖特基二极管在成本和电路板尺寸方面代价非常高昂。

7 过压钳位方法

自举过充是 GaN 半桥中的一个常见问题，因此 LMG1205 和 LM5113-Q1 等半桥 GaN 栅极驱动器 IC 集成了过充保护。这些器件的工作原理是增加一个与集成式自举二极管串联的内部开关。该器件会检测 Cboot 上的电压，并在电压高于约 5V 时打开串联开关。自举路径会变为高阻抗，因为开关与自举二极管串联。Rboot 无穷大，会导致 0 Iboot 且不再有 Qin。自举电压会由于 Qout 而逐渐降低，最终降至阈值以下，此时驱动器再次闭合开关，从而使自举路径恢复正常功能。

过压钳位是一种简单而有效的方法，可防止过充自举。与齐纳二极管一样，钳位允许某种程度的高效过充，从而抵消自举二极管压降。此外，钳位比齐纳二极管效率更高，因为钳位可防止过量电荷，而不是以热量形式将电荷消散。

这种过压钳位方法有一些缺点。首先，该电路具有响应延时时间。在 LMG1205 中，响应时间约为 250ns。虽然这种延迟有时是可以接受的，但在某些应用中响应太慢，无法防止损坏。当使用较小的 Cboot 和较长的死区时间时，这种延迟尤其明显。其次，钳位阈值电压是固定的，这限制了器件的灵活性，因为该电压无法同时支持 5V 和 6V 栅极 GaN FET。

8 有源开关方法

LMG1210 使用不同的方法来防止自举过充。与 LMG1205 一样，LMG1210 使用与自举二极管路径串联的开关。但是，LMG1210 会在低侧输出 (LO) 为高电平时开启，这与 LMG1205 不同，后者仅在 Cboot 上出现过压时切换。

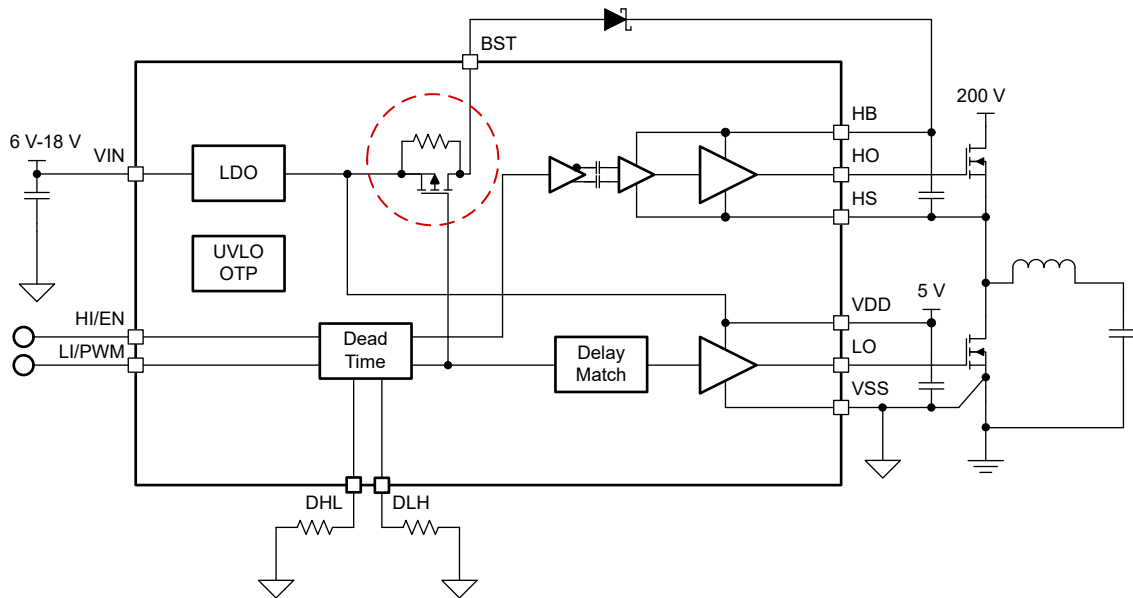


图 8-1. LMG1210 功能方框图，显示了用于防止自举过充的串联开关

由于 GaN FET 第三象限的行为会在 HS 上产生较大的负电压，因此自举过充会在死区时间内发生。在每个周期的死区时间内阻止自举二极管可防止任何可能的过充。当 LO 为高电平时，死区时间必须结束。因此，将自举开关状态始终连接到 LO 会使开关保持正确的状态。图 8-2 显示了如何在 HS 下冲事件期间阻止导通并防止过充。

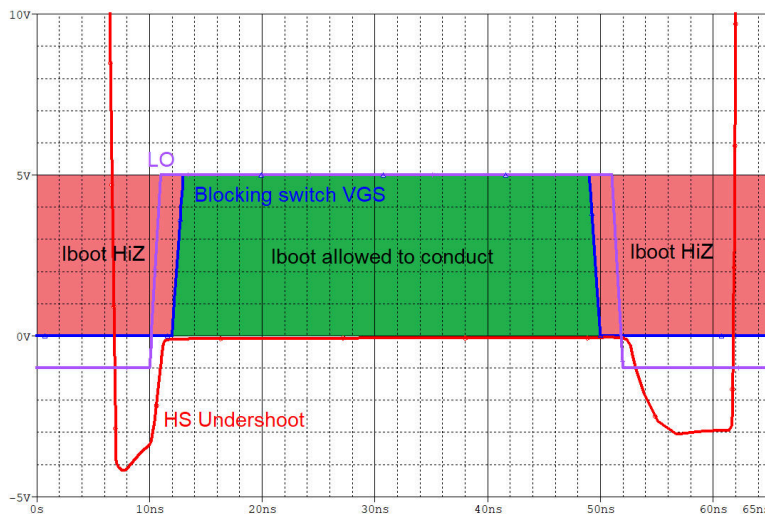


图 8-2. 突出显示自举充电窗口的波形 (绿色)

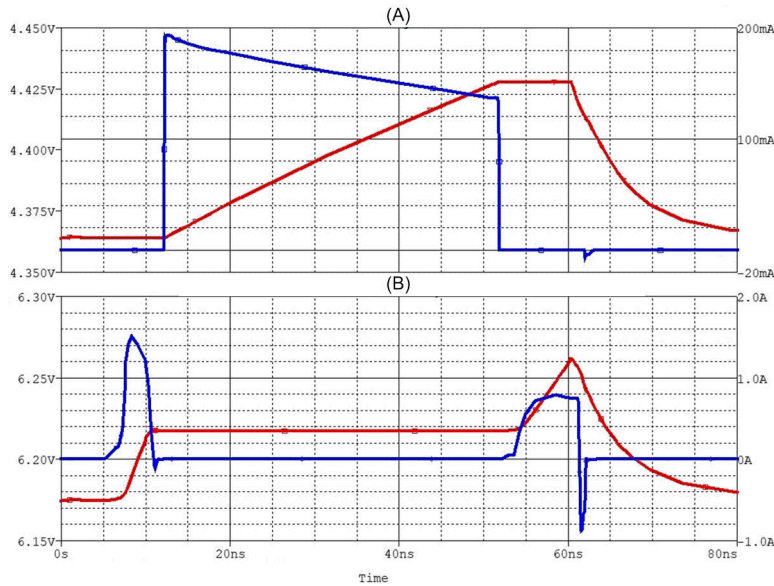


图 8-3. 此捕捉显示了使用 (A) 和不使用 (B) 串联开关时的自举电流 (蓝色) 和自举电压 (红色)

图 8-3 比较了具有和不具有串联开关的同一个系统。该系统与开关一起工作时运行正常，自举电容器在 LO 为高电平时充电并达到大约 4.4V 的稳态。该系统在开关电压不超过 6V 的情况下会过充，并且仅在死区时间内充电。

避免死区时间导通的一个好处是减少了自举二极管的反向恢复。当允许自举二极管在 HS 上升之前导通时，二极管会积累很大的电流。当 HO 导通而 HS 上升时，自举二极管具有反向恢复事件。参考图 8-3，其中有近 1A 的反向恢复电流，而带有开关的电路显示了标称反向电流。防止反向恢复事件是这种有源开关技术的另一项优点。

这种有源开关方法的缺点是该方法不允许出现生产型过充。因此，高侧 GaN FET 栅极电压始终为 VDD 减去二极管压降。栅极电压越低，意味着高侧 GaN FET 的电阻越高，导通损耗也越多。

有源开关方法不依赖于固定阈值电压，也不像过压方法那样存在响应时间问题。此外，有源开关缺少固定阈值，因此更适合支持 5V 和 6V 栅极 GaN FET。

9 同步 GaN 自举方法

上一节中的有源开关方法使用二极管阻断 HS 节点的高电压，并串联一个低压开关来激活或停用充电。也可以使用单个高压 FET 来发挥开关和二极管的作用。但其中一个问题是 MOSFET 具有体二极管，这意味着当器件关断时，体二极管仍会导通，并允许在死区时间内过充。

GaN FET 缺少体二极管，这为解决体二极管导通问题提供了便利。GaN FET 串联开关可在不使用额外二极管的情况下防止自举过充，如图 9-1 所示。如前所述，缺少体二极管并不意味着 GaN FET 在死区时间内无法导通。但是，可以调节自举 GaN FET 的压降以匹配低侧 GaN FET 的压降。匹配每个 FET 的压降可以消除负电压，并防止过充。

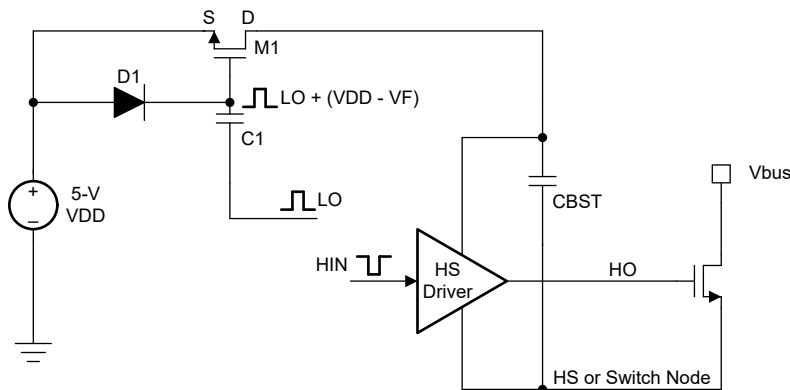


图 9-1. 显示作为自举二极管替代方案实现同步 GaN FET 的简化电路图。

M1 是同步自举 GaN FET。M1 需要一个阻断电压来处理满电 HS 电压，最好具有较低的 C_{oss} 和 C_{gs} (用于快速开关)。M1 GaN FET 源极连接到 VDD 并用 LO 驱动，就像上一节中的 LMG1210 一样。此外，由 D1 和 C1 组成的电平转换器将 LO 信号升高于 VDD。需要电平转换器是因为 GaN FET 的源极连接到 VDD 而非 0V，因此 LO 需要高于 VDD 才能获得正 V_{gs} 。

使用同步 GaN FET 自举有一些优点。正常充电期间的正向压降小于二极管的 V_F ，这意味着自举电压更接近 VDD。这种方法还可通过减少串联元件而提高效率，从而防止自举过充。GaN FET 没有反向恢复电荷或时间，这使得该设计在高开关频率下有效。

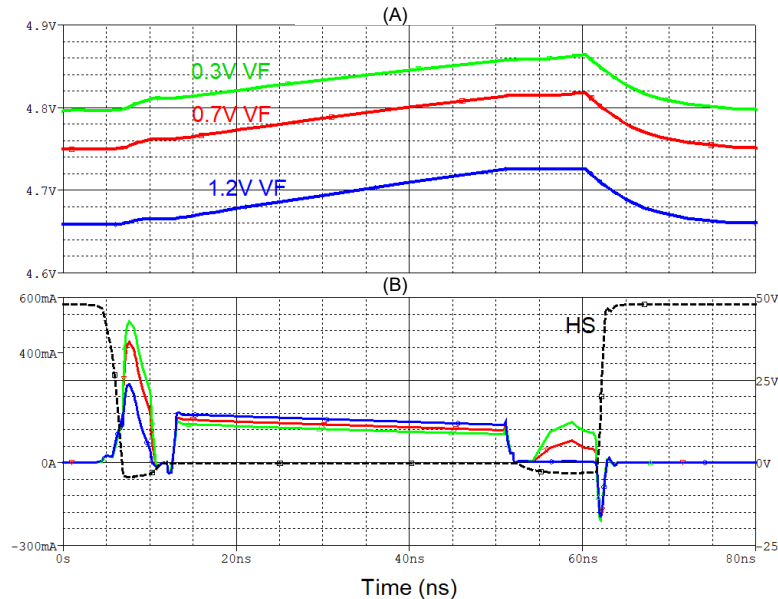


图 9-2. 此捕捉显示了使用不同 V_f 电平位移二极管时的自举电压 (A) 和电流 (B)

在图 9-2 中，在电平位移电路中使用了不同的 V_F 二极管。具有 0.3V 低 V_F 的二极管允许在死区时间内进行更多充电，如 10ns 左右的电流尖峰所示。I_{Boot} 的振幅与电平位移二极管的 V_F 有关。在大约 60ns 的第二个死区时间中，1.2V V_F 二极管不允许导通。

方程式 1 表明 V_{Goff} 部分确定了 V_{SD} 。电平转换电路中的二极管具有正向压降。此 V_F 会导致 GaN FET 自举的有效 V_{gs} 随二极管压降降低。GaN FET 的 V_{gs} 不是 0V 至 5V，而是 -0.7V 至 4.3V。因此， V_{Goff} 等于二极管的 V_F 。目标是将自举 GaN FET 的 V_{SD} 与低侧 GaN FET 的 V_{SD} 相匹配，因此选择具有不同 V_F 的二极管是实现这一目标的不错方法。

肖特基二极管和 GaN FET 不具有反向恢复。但是，两者都具有有效电容，需要在每个开关周期进行充电和放电。对该电容进行充放电会产生与开关频率成正比的损耗。GaN FET 的 C_{oss} 小于等效肖特基二极管的电容。因此，与肖特基二极管相比，GaN FET 自举具有更少的恢复损耗，并且在高开关频率下更高效。

10 防止自举过充的其他方法

10.1 缩短死区时间

缩短死区持续时间可以减少 Q_{in} 。在不改变 Q_{out} 的情况下，较低的 Q_{in} 会导致 C_{boot} 上的稳态电压较低。缩短死区时间通常有利于减少过充和死区时间损耗。然而，缩短死区时间会增加击穿的风险，并且负载和温度条件需要裕度。此外，许多控制器不具备对时序进行可靠的 1ns 调整的精度。

鉴于此，精确的死区时间控制对于 GaN 半桥驱动器中的自举过充预防至关重要。除了前面讨论的内置自举过充预防电路之外，LMG1210 还具有纳秒级和可调节的死区时间控制功能。如需更多信息，请参阅[通过 LMG1210 GaN 驱动器的死区时间控制优化效率](#)应用手册。

10.2 选择辅助电源

悬空的辅助电源（例如 [UCC12041-Q1](#)）可以偏置高侧而非自举电路。这些悬空辅助电源参考 HS，并将 Cboot 始终保持在设定电压，即使 HS 变为负值也是如此。将辅助电源悬空可完全避免过充问题，并允许驱动器以 100% 的占空比运行。

辅助电源选项可解决该问题，但成本可能更高。辅助电源比自举电路更昂贵。因此，在非隔离式栅极驱动电路中很少使用辅助电源。

10.3 调整栅极电压

负栅极电压在许多大功率系统中很常见，可提高 FET 对误导通的抗扰度。负栅极电压会在关断状态电压和 FET 的阈值电压之间产生更大的裕度。该电压裕度使 FET 能够在不引起击穿的情况下耐受更多的米勒电流注入。负栅极电压普遍用于 IGBT 和 SiC FET；许多 SiCFET 数据表都将负栅极偏置列为一项要求。

GaN FET 不需要负栅极偏置，但使用负栅极偏置具有与 SiCFET 相同的优势。负栅极电压的缺点是，它会在死区时间内增加负电压，从而增加过度充电和损耗。使用米勒钳位等方法而非负偏置，可以提高米勒抗扰度，而不会出现过度充电问题。

11 总结

自举过充是 GaN 半桥电路和其他电源开关中的一个重大问题。GaN 半桥电路具有更高的负电压，并且更容易受到栅极电压细微变化的影响，因此特别容易受到自举过充问题的影响。许多栅极驱动器 IC 在栅极驱动器中提供高效的集成选项，并提供多种方法来解决分立元件的过充问题。

12 参考文献

- 德州仪器 (TI), [GaN 是否具有体二极管？ - 了解 GaN 的第三象限运行](#)
- 德州仪器 (TI), [针对半桥配置的自举电路选择](#) 应用手册
- 德州仪器 (TI), [LM5113-Q1 汽车类 90V、1.2A、5A 半桥 GaN 驱动器](#) 数据表
- 德州仪器 (TI), [LMG1205 具有集成自举二极管的 100V、1.2A 至 5A 半桥 GaN 驱动器](#) 数据表
- 德州仪器 (TI), [LMG1210 具有可调节死区时间、适用于高达 50MHz 的应用的 200V、1.5A、3A 半桥 MOSFET 和 GaN FET 驱动器](#) 数据表
- 德州仪器 (TI), [UCC12041-Q1 高密度、低 EMI、3kVRMS 基础型隔离式直流转换器](#) 数据表

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司