

摘要

本硬件设计指南概述了电路板设计人员在使用 AM62A7/AM62A3 系列处理器时应遵循的设计注意事项。本应用手册可作为设计人员在电路板设计的不同阶段使用的指南。本硬件设计指南还参考了配套资料（器件特定和通用），可帮助设计人员减少在电路板设计中的工作量。

内容

1 引言	2
1.1 开始之前.....	2
1.2 器件（处理器）选型.....	2
1.3 技术文档.....	2
1.4 设计文档.....	3
2 系统方框图	3
2.1 创建系统方框图.....	3
2.2 选择引导模式.....	3
2.3 确认引脚多路复用兼容性.....	4
3 电源	4
3.1 电源架构.....	4
3.2 电源轨.....	4
3.3 确定系统电源要求.....	5
3.4 电源滤波器.....	5
3.5 电源去耦和大容量电容.....	5
3.6 电源时序.....	6
3.7 电源诊断.....	6
3.8 电源监控.....	6
4 计时	6
4.1 系统时钟输入.....	6
4.2 未使用的时钟输入.....	6
4.3 时钟输出.....	6
4.4 单端时钟源.....	6
4.5 晶体选型.....	6
5 JTAG	7
5.1 JTAG/仿真.....	7
6 器件配置和初始化	7
6.1 器件复位.....	7
6.2 引导模式的锁存.....	8
6.3 看门狗计时器.....	8
7 外设	8
7.1 跨功能域选择外设.....	8
7.2 存储器.....	8
7.3 媒体和数据存储接口.....	9
7.4 使用 CPSW3G 通用平台 3 端口千兆位以太网交换机的以太网接口.....	9
7.5 可编程实时单元子系统 (PRUSS).....	9
7.6 通用串行总线 (USB) 子系统.....	9
7.7 通用连接.....	9
7.8 显示屏子系统 (DSS).....	9
7.9 摄像头子系统 (CSI).....	9

7.10 未使用外设和 I/O 的端接.....	10
8 I/O 缓冲器和端接.....	10
9 功耗和散热解决方案.....	10
9.1 功耗.....	10
9.2 节能模式.....	10
9.3 有关散热解决方案的指导.....	10
10 原理图建议.....	10
10.1 选择元件和元件值.....	10
10.2 原理图开发.....	10
10.3 检查原理图.....	11
10.4 PCB 布局规划.....	11
11 布局和布线指南.....	11
11.1 迂回布线指南.....	11
11.2 LPDDR4 电路板设计和布局布线指南.....	11
11.3 高速差分信号布线指导.....	11
12 器件处理和组装.....	11
13 参考文献.....	11
14 本文中使用的首字母缩写词.....	12

商标

Sitara™ is a trademark of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 引言

“AM62A7/AM62A3 系列器件硬件设计指南”应用报告为工程师使用 AM62A7/AM62A3 处理器进行设计提供了一个起点。它概述了流程和设计工作，并重点介绍了需要关注的重要领域。请注意，本文档不包含完成电路板设计所需的所有信息。在许多情况下，它参考了器件特定数据手册或其他各类用户指南作为特定信息来源。

本文档条理有序，先介绍了在设计初始规划阶段必须做出的决策，然后介绍了关键器件的选型及电气和散热要求。为确保设计成功，应在每一部分讨论的问题得到解决后再进行下一部分。

备注

本指南可能并未涵盖电路板设计的所有方面。

备注

AM62A7/AM62A3 器件能够帮助电路板设计人员满足安全要求。本指南重点介绍非安全应用。

1.1 开始之前

AM62A7/AM62A3 系列处理器包含多种功能，但并非所有这些功能都用于每个设计中。因此，使用同一器件的不同设计的要求可能存在很大差异，具体取决于目标应用。设计人员在确定设计细节之前必须了解相关要求。此外，设计可能需要额外的电路才能在目标环境中正常运行。要选择器件并确定以下内容，请查看 TI.com 上最新的配套资料（如器件特定数据表、勘误表、TRM 和 EVM 用户指南）：

- 器件运行的预期环境条件、目标引导模式、存储类型和使用的接口
- 所选器件中的每个内核将执行的处理量
- 连接到处理器的外设

1.2 器件（处理器）选型

器件选型是电路板设计过程中最重要的一步。有关如何选择适用的器件型号、特性和速度等级，请参阅器件特定数据表的 *功能方框图* 和 *器件比较* 部分。

1.3 技术文档

产品文件夹页面上提供了许多与所选器件相关的文档。在设计开始之前应通读相关文档。

以下链接中汇总了在开始进行定制设计时可以参考的配套资料。

[AM62A7 和 AM62A7-Q1 定制电路板硬件设计 - 快速入门配套资料](#)

[AM62A3 和 AM62A3-Q1 定制电路板硬件设计 - 快速入门配套资料](#)

1.4 设计文档

在本指南中，TI 建议定期生成设计文档。生成和存储设计文档是提供文档包的基础，而且在寻求外部审核支持时需要使用这类设计文档。

2 系统方框图

详细的系统方框图涵盖了所有功能块和所需的接口，是设计成功的关键。

2.1 创建系统方框图

电路板设计的第一步是创建详细的系统方框图。系统方框图包括所有主要功能块、相关器件、接口，并展示了用于器件互连的 I/O (端口)。

以下是用于支持系统方框图创建过程的资源集合：

- [SK-AM62A-LP EVM](#) (适用于低功耗 [Sitara™](#) 处理器的 [AM62A](#) 入门套件) 和任何其他可用的 EVM 均可为开始设计提供良好的信息来源。
- 下面提到的 [TI.com](#) 链接可提供器件特定功能方框图、数据表、用户指南、勘误表、应用手册、设计注意事项以及适用于各种应用的其他相关信息。设计和开发部分包括 EVM 信息、设计工具、仿真模型和软件。支持和培训部分中提供指向普遍适用的 [E2E](#) 主题和[常见问题解答](#)的链接。
 - [AM62A7 产品文件夹](#)
 - [AM62A7-Q1 产品文件夹](#)
 - [AM62A3 产品文件夹](#)
 - [AM62A3-Q1 产品文件夹](#)

2.2 选择引导模式

系统方框图应指示用于引导的接口。这包括主引导和备用引导。

AM62A7/AM62A3 器件包含多个支持引导模式的外设接口。示例包括：[eMMC](#)、[多媒体卡/安全数据存储卡 \(MMC/SD\)](#)、[QSPI](#)、[OSPI](#)、[GPMC \(NOR/NAND\)](#)、[以太网](#)、[USB \(终端和主机 \)](#)、[串行闪存](#)、[xSPI](#) 和 [内部集成电路 \(I2C\)](#)。AM62A7/AM62A3 器件支持主引导模式选项和可选备用引导模式选项。如果主引导源无法引导，ROM 将进入备份模式。

引导模式引脚和相关的电阻器配置在引导模式设置下提供输入，供 ROM 代码在引导期间使用。上电复位时会对这些引脚进行采样，因此必须在释放 (使之无效) 复位前进行正确设置。

引导模式配置可以分为以下几类：

PLL 配置：BOOTMODE [02:00] - 向 PLL 配置的 ROM 代码指示系统时钟频率 (MCU_OSC0_XI/XO)。

主引导模式：BOOTMODE [06:03] - 在 POR 后选择配置的引导 (主要) 模式，即要从中引导的外设/存储器。

主引导模式配置：BOOTMODE [09:07] - 这些引脚为主引导提供可选配置，并与所选的引导模式配合使用。

备用引导模式：BOOTMODE [12:10] - 选择备用引导模式，即主引导出现故障时要从中引导的外设/存储器。

备用引导模式配置：BOOTMODE [13] - 此引脚为备用引导器件提供可选配置。

保留：BOOTMODE [15:14] - 保留的引脚。

引导模式配置的主要注意事项：

- TI 建议包括用于配置开发期间所用引导模式的设置，例如用于 JTAG 调试的 [UART](#) 引导或无引导模式。
- 复位后，引导引脚可提供其他功能。确保在电路板设计过程中，为引导引脚选择上拉/下拉电阻器时考虑到这一点。如果这些引脚由另一器件驱动，则只要该器件复位 (由 [PORz_OUT](#) 引脚指示)，上述引脚就必须恢复正确的引导配置电平，使该器件能够正确引导。
- 某些引导模式引脚的功能被保留。这些引脚不应保持悬空，必须端接 (上拉或下拉)。有关端接被保留的引导模式引脚的详细信息，请参阅器件特定 TRM 中 [初始化](#) 一章的 [引导模式引脚](#) 部分。

有关引导模式的详细信息，请参阅器件特定 TRM 的 *初始化* 一章。

备注

设计人员应根据目标引导场景设置引导模式配置（通过上拉或下拉，以及可选跳线/开关）。

2.3 确认引脚多路复用兼容性

该处理器包含多个外设接口。为了优化尺寸、引脚数和封装成本，同时保持尽可能多的功能，许多器件焊盘（引脚）最多可复用八个信号功能。因此，并非所有外设接口实例都可以同时使用。

德州仪器 (TI) 开发了 [SysConfig-PinMux 工具](#)，用于帮助电路板设计人员使用引脚多路复用配置工具为基于 AM62A7/AM62A3 的电路板设计选择合适的功能。

备注

使用 SysConfig-PinMux 工具为设计生成的 pinmux 配置应与其他设计文档一起保存。

3 电源

完成器件（处理器）选型和系统方框图后，下一个设计步骤是确定所选处理器的电源架构。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成式电源架构

电源架构可以基于 [TPS6593-Q1 等多通道 IC \(PMIC\)](#)。

有关更多信息，请参阅 [入门套件 SK-AM62A-LP EVM](#) 原理图。

3.1.2 分立式电源架构

电源架构可以基于 [直流/直流转换器](#) 和 [LDO](#)。

3.2 电源轨

有关处理器电源轨和建议工作范围的完整列表，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。以下部分提供了有关电源轨选择的更多详细信息。

3.2.1 内核电源

内核电源 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 始终来自同一电源，可在 0.75V 或 0.85V 电压下运行。当这些电源在 0.75V 电压下运行时，需要在所有 0.85V 电源之前斜升。VDDR_CORE 的额定工作电压仅为 0.85V。VDD_CORE 和 VDDR_CORE 预计由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起斜升。

使用部分 I/O 低功耗模式时，VDD_CANUART 可以连接至常开型电源，而在不使用部分 I/O 低功耗模式时，则可以连接至与 VDD_CORE 相同的电源。

有关更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.2 外设电源

该处理器包括用于 USB、CSIRX 和 PLL 的专用外设电源引脚，工作电压为 1.8V。USB 需要额外的 3.3V 模拟电源。DDR PHY 和 DDR 时钟 IO 电源可以为 1.1V

有关更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.3 I/O 组的内部 LDO

该处理器包含九个内部 LDO，每个 LDO 的输出连接到处理器上的引脚（CAP_VDDsx [x=0-6]、CAP_VDDS_CANUART 和 CAP_VDDS_MCU）。每个 LDO 输出引脚都必须连接一个电容器。有关电容器选型和连接的指导，请参阅器件特定数据表中 *信号说明* 一章的 *电源* 部分。

3.2.4 双电压 LVCMOS I/O

该处理器包含九个双电压 I/O 域 (VDDSHVx [x=0-6]、VDDSHV_MCU 和 VDDSHV_CANUART)，其中每个域为一组固定的 I/O 供电。每个 I/O 域可配置为 3.3V 或 1.8V，这决定了由相应 I/O 域供电的整组 I/O 的通用工作电压。连接到这些域的所有信号必须由用于为相应 VDDSHVx 电源轨供电的同一电源供电。AM62A7/AM62A3 I/O 缓冲器不具备失效防护。在将任何电压施加到相关 I/O 之前，必须存在 VDDSHVx 电源轨的电源电压。

I/O 分组信息汇总如下：

- VDDSHV0 - 通用 I/O 组的电压
- VDDSHV1 - 闪存 I/O 组的电压
- VDDSHV2 - GEMAC I/O 组的电压
- VDDSHV3 - GPMC I/O 组的电压
- VDDSHV4 - MMC0 I/O 组的电压
- VDDSHV5 - MMC1 I/O 组的电压
- VDDSHV6 - MMC2 I/O 组的电压
- VDDSHV_MCU - WKUP_MCU I/O 组的电压
- VDDSHV_CANUART - CANUART I/O 组的电压

3.2.5 用于 SDIO 的双电压动态开关 I/O

不提供支持 SD 卡 I/O 电压切换的集成 LDO。所选 LDO 应能够处理 SD 接口所需的电压转换。

3.2.6 VPP (电子保险丝 ROM 编程电源)

在上电/断电序列期间和器件正常运行期间，VPP 引脚可以保持悬空 (HiZ) 或端接至地。该电源仅在对电子保险丝进行编程时提供。对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- VPP 电源电压必须在正确的器件上电序列完成后斜升。
- VPP 电源具有高电流瞬态，可能需要在 VPP 引脚附近使用局部大容量电容器来协助 LDO 瞬态响应。
- 选择具有快速放电功能的电源或使用放电电阻器。编程所需的最大电流为 400mA。建议使用 LDO 为 VPP 供电。
- 如果使用外部电源，则在处理器电源稳定后施加该电源。
- 不对 OTP 寄存器进行编程时，必须禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。

有关更多信息，请参阅器件特定数据表中规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

3.3 确定系统电源要求

器件特定数据表中未提供每个电源电压轨的最大和最小电流要求。这些要求在很大程度上取决于应用，必须针对特定用例进行计算。

3.4 电源滤波器

该处理器包含多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_DDR_PLL0、VDDA_PLLx [x=0-4]、VDDA_1P8_CSIRX0 和 VDDS_OSC0 等敏感模拟电路供电。这些引脚必须连接到经过滤波的电源。

3.5 电源去耦和大容量电容

为了正确地将处理器和电源层与系统噪声去耦，需要去耦电容器和大容量电容器。如需添加大容量电容器和去耦电容器，请参阅 [入门套件 SK-AM62A-LP EVM](#) 原理图。

有关优化去耦电容器和大容量电容器选型和放置的指导，请参阅 [Sitara 处理器配电网络：实施与分析](#)。

3.5.1 PDN 目标阻抗说明

请注意，我们不提供目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关目标阻抗的最新信息，请参阅本文档或 E2 中列出的 AM62A7/AM62A7-Q1 或 AM62A3/AM62A3-Q1 相关常见问题解答。

3.6 电源时序

器件特定数据表中提供了处理器电源时序（上电/下电）的详细图表。当使用分立式电源解决方案或基于 PMIC 的电源时，与处理器相关的所有电源应支持使用板载逻辑进行时序控制。

3.7 电源诊断

该处理器包括以下电压监视器：

- VMON_1V8_SOC 和 VMON_3V3_SOC：建议将这些引脚直接连接到各自的 1.8V 和 3.3V 电源。处理器内部为这些引脚的每一个都实现了一个内部电阻分压器。
- VMON_VSYS：通过分压器 (0.45V±3%) 连接系统电压 (3.3V 或 5V)。可以考虑按照器件特定数据表中所述实施噪声滤波电容器。

有关更多信息，请参阅器件特定数据表的 *应用、实施和布局* 一章中的 *系统电源监测设计指南* 部分。

3.8 电源监控

为了提高系统性能，可以考虑为电源轨和负载电流配置外部监控。

有关更多信息，请参阅 [入门套件 SK-AM62A-LP EVM](#) 原理图。

现在，电源架构和用于生成电源轨的器件已经完成，接下来是创建一个包含电源轨和互连的方框图。另外还建议创建电源序列图。

4 计时

下一步是设计合适的时钟，并为系统中所有连接的器件提供适当的时钟。这些时钟可以通过搭配使用外部晶体与内部振荡器来生成，也可以通过时钟发生器或振荡器在外部生成。该部分介绍处理器中可用的时钟以及这些时钟的相关要求。

4.1 系统时钟输入

器件特定数据表中 *规格* 一章的 *时钟规格* 部分汇总了处理器输入时钟和建议的振荡器连接。处理器正常运行需要 MCU_OSC0 时钟。

是否使用 WKUP_LFOSC0 是可选的，具体取决于系统要求。

4.2 未使用的时钟输入

有关未使用的时钟输入建议连接的指导，请参阅器件特定数据表中 *规格* 一章的 *WKUP_LFOSC0 内部振荡器时钟* 部分和 *未使用 WKUP_LFOSC0* 子部分。

4.3 时钟输出

器件中提供了配置来将内部时钟连接到可供附加器件（外部外设）使用的引脚上。时钟输出引脚包括 CLKOUT0 和 WKUP_CLKOUT0。WKUP_CLKOUT0 是上电期间默认可用的高频振荡器 HFOSC0 的缓冲输出。

有关详细信息，请参阅器件特定数据表。

4.4 单端时钟源

MCU_OSC0 和 WKUP_OSC0 内部振荡器可源自晶体或 LVCMOS 方波数字时钟源。有关更多详细信息，请参阅器件特定数据表中 *规格* 一章的 *输入时钟振荡器* 部分。

备注

使用外部时钟时，请务必根据器件特定数据表中的建议端接 XO 引脚。

4.5 晶体选型

选择晶体时，电路板设计人员必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

有关更多信息，请参阅器件特定数据表的 *MCU_OSC0* 晶体电路要求和 *WKUP_LFOSC0* 晶体电气特性表。

5 JTAG

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。虽然无需 JTAG 即可运行，但 TI 强烈建议在设计中包含 JTAG 连接。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论器件配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在多种模式下使用：

- 标准仿真：只需五个标准 JTAG 信号
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMU 引脚输出跟踪数据。

无论器件配置如何，均可使用仿真。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

5.1.2 JTAG/仿真的系统实现

该处理器上的 JTAG 和仿真引脚位于相同的电源域中。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 I/O 由 VDDSHV_MCU 域供电。VDDSHV_MCU 可以配置为 1.8V 或 3.3V。

有关大多数其他系统级实施的详细信息，请参阅 [仿真和跟踪头技术参考手册](#)。

5.1.3 JTAG 端接

有关端接 JTAG 接口信号的信息，请参阅器件特定数据表中 *端子配置和功能* 一章的 *引脚连接要求* 部分。

当不使用 JTAG 连接器时，建议在使用测试点期间配置 JTAG 连接。

6 器件配置和初始化

当存在稳定的电压轨和所需的时钟时，处理器复位可能会变为无效（释放）以开始处理器引导过程。

6.1 器件复位

处理器可通过多种方法复位。器件特定数据表和 TRM 中详细介绍了这些方法。

处理器包括三个外部复位输入引脚（MCU_PORz、MCU_RESEZz 和 RESEZz_REQ）和三个复位状态输出引脚（MCU_RESEZSTATz、PORz_OUT 和 RESEZSTATz）。请务必提供器件特定数据表的 *引脚连接要求* 部分中建议的端接。

对于 MCU_PORz，可以施加 3.3V 输入，但输入阈值仍是 1.8V I/O 电源电压 (VDDSD_OSC0) 的函数。

通过内部寄存器和仿真可实现其他复位模式。

请注意，TI 建议使用“与运算”逻辑为板载媒体和数据存储器件以及其他外设（如适用）实现复位。与门的一个输入由处理器通用输入/输出 (GPIO) 引脚进行控制，并可实现隔离。与门的另一个输入是主域热复位状态输出 (RESEZSTATz) 信号。确保按照器件建议端接复位输入。

如果不使用“与运算”逻辑，并直接使用处理器复位状态输出来复位附加器件，请确保附加器件的 I/O 电平与处理器 I/O 电平匹配，或使用电平转换器来匹配这两个电平。

建议使用受控电源开关来重置 SD 卡，因为对 SD 卡进行下电上电是将其重置回默认状态的唯一方法。SD 卡的 3.3V 电源需要通过受控外部电源开关进行连接。

有关更多信息，请参阅[入门套件 SK-AM62A-LP EVM](#) 原理图。

6.2 引导模式的锁存

有关处理器引导模式选项的更多详细信息，请参阅[节 2.2](#)。

引导模式和某些器件配置选择在 PORz_OUT 的上升沿被锁存。配置和引导模式输入与具有 GPIO 或其他功能的引脚进行多路复用。在将这些引脚的状态（电平）锁存到配置寄存器后，这些引脚可用于发挥本身的主要功能。PORz_OUT 引脚指示引导模式配置的锁存。

6.3 看门狗计时器

根据应用要求，可考虑使用外部或内部看门狗计时器。

7 外设

该部分介绍了器件外设和模块，旨在对器件特定数据表、TRM 和相关应用手册中提供的内容加以补充。这三种类型的文档在涉及以下方面时使用：

- 数据表：交流时序、引脚功能指南、引脚映射
- TRM：功能说明，编程指南，寄存器偏移
- 应用手册：系统级理解和问题

7.1 跨功能域选择外设

处理器被划分为三个功能域，每个功能域包含特定的处理内核和外设：

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例，可以使用任何域中的外设。无论来自哪个域，所有外设均为存储器映射，且 Arm® Cortex®-A53 内核可查看并访问 MCU 和 WKUP 域中的所有外设。

7.2 存储器

DDR 子系统目前支持 LPDDR4。有关更多信息，请参阅器件特定数据表和 TRM，了解数据总线宽度（32 位）、内联 ECC 支持、速度（高达 3733MT/s）和最大可寻址范围（16GB）选择。

允许的配置为 1 X 32 位或 1 X 16 位。1 X 8 位配置不是有效配置。

根据应用要求，由于提供了 1 x 16 位配置，同一存储器器件可与 AM625/AM623 和 AM62A7/AM62A3 器件搭配使用。

当 AM62A7/AM62A3 器件配置为 16 位配置时，请遵循 [AM62Ax DDR 电路板设计和布局布线指南](#) 的 16 位单列 LPDDR4 实现示例中显示的 DQS2..3 和其他端接建议。

有关更多详细信息，请参阅器件特定 TRM 中 [存储器控制器](#) 一章的 [DDR 子系统 \(DDRSS\)](#) 部分。

7.2.1 处理器 DDR 子系统和器件寄存器配置

DDR 控制器和 PHY 具有大量要配置的参数，因此为了便于配置，TI 提供了一个[在线工具 \(SysConfig 工具 \)](#)，用于生成驱动程序所需的输出文件。

在“Software Product”菜单中选择“DDR Subsystem Register Configuration”，并选择所需的处理器。此工具将系统信息、DDR 数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 PHY 进行编程的头文件。然后，驱动程序会开始完整的训练序列。

SDK 将为 EVM 上的器件提供一个集成配置文件。如果您需要其他器件的配置文件，则需要使用 DDR 寄存器配置工具来生成该文件。

有关更多信息，请参阅 [\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)。

7.3 媒体和数据存储接口

媒体和数据存储接口支持包括 3 个安全数字 (SD) ((4b+4b+8b) (4 位 SD/SDIO、8 位 eMMC) 接口、1 个通用存储器控制器 (GPMC) 和 OSPI/QSPI。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的 *存储器接口* 部分。

7.4 使用 CPSW3G 通用平台 3 端口千兆位以太网交换机的以太网接口

CPSW3G 接口可以配置为 3 端口交换机 (连接到两个外部以太网端口 (端口 1 和 2)) 或具有自己 MAC 地址的双独立 MAC 接口。

CPSW3G 支持 RMII (10/100) 或 RGMII (10/100/1000)。对于 RMII 接口实现，请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 部分。TI 建议遵循器件特定 TRM 中所述的 *RMII 接口典型应用 (外部时钟源)*。

CPSW3G 允许使用混合 RMII/RGMII 接口拓扑。

有关以太网接口的更多详细信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

7.5 可编程实时单元子系统 (PRUSS)

不支持。

7.6 通用串行总线 (USB) 子系统

AM62A7/AM62A3 处理器提供两个 USB 2.0 端口。这些端口可以配置为 USB 主机、USB 外设或 USB 双角色器件 (DRD 模式)。USBn_ID 功能由任一 GPIO 支持。

按照器件特定数据表的 *USB VBUS 设计指南* 部分来调节 VBUS 电压。

当器件配置为设备模式时，需要连接 VBUS 电压。在主机模式下，VBUS 连接是可选的。

有关 USB 连接和 On-The-Go 特性支持，请参阅器件特定 TRM。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

为备用模式配置 USB 时，请注意电源要求。

7.7 通用连接

该处理器提供多个 UART、串行外设接口 (SPI)、I2C、多通道音频串行端口 (McASP)、增强型脉宽调制器 (ePWM)、增强型正交编码器脉冲 (eQEP)、eCAP、支持 CAN-FD 的 CAN 和 GPIO 实例。

对于具有开漏输出的 I2C 接口 (MCU_I2C0 和 WKUP_I2C0)，无论使用何种外设，都建议使用外部端接 (上拉)。

根据用例，建议为其他 I2C 接口使用一个外部端接 (上拉)。有关可用的 I2C 实例，请参阅器件特定数据表。

可用实例的数量取决于应用，并可以使用 SysConfig-PinMux 工具进行配置。

有关更多详细信息，请参阅器件特定 TRM 的外设一章。

7.8 显示屏子系统 (DSS)

AM62A7/AM62A3 处理器提供 DPI 24 位 RGB 并行显示接口。这些器件支持高达 2048x1080 @ 60fps 和 165MHz 的像素时钟，并具有独立 PLL。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的 *显示子系统 (DSS)* 部分。

7.9 摄像头子系统 (CSI)

一个 4 通道摄像头串行接口 (CSI-RX) 以及 DPHY-RX。支持高达 1.5Gbps (每通道) 的 1、2、3 或 4 数据通道模式。

DPHY-RX 仅支持单个时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信令决定，并允许每通道以不同的帧速率处理输入源。

有关更多详细信息，请参阅器件特定 TRM 中外设一章的摄像头子系统部分。

7.10 未使用外设和 I/O 的端接

除非另有说明，否则所有电源引脚都必须提供 *建议运行条件* 部分中指定的电源电压。

AM62A7/AM62A3 的一些引脚（封装焊球）具有特定的连接要求，并且一些封装焊球可以不使用。

如需了解如何端接未使用的外设和 I/O，请参阅器件特定数据表中 *端子配置和功能* 一章的 *引脚连接要求* 部分。

7.10.1 EXTINTn

EXTINTn 是一个专用失效防护中断引脚，建议在外部连接或连接 PCB 布线时进行端接。

8 I/O 缓冲器和端接

在开始原理图捕获之前，硬件设计中的一个重要步骤是确认处理器和所连外部器件之间的直流和交流电气兼容性。

- 器件特定数据表提供有关时序和电气特性的重要信息。
- 对于高速接口，使用为处理器提供的 IBIS 模型运行 IBIS 仿真，进而确认信号完整性。
 - [AM62Ax IBIS 模型](#)

有关端接的更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 *通用端接详细信息* 部分。

9 功耗和散热解决方案

处理器功耗取决于应用、实现的功能、温度、架构、设计拓扑和温度/工艺变化。

9.1 功耗

有关器件功耗的信息，请参阅 [AM62A 功耗估算工具](#)。

9.2 节能模式

该器件支持多种节能模式。有关更多详细信息，请参阅器件特定 TRM 中 *器件配置* 一章的 *电源模式* 部分。

9.3 有关散热解决方案的指导

[DSP 和 Arm 应用处理器热设计指南](#) 应用报告为包含此器件的电路板设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法相关信息。仅当设计遵循此应用报告中所包含的电路板设计指南时，TI 才会提供支持。

有关更多信息，请参阅 [AM62Ax 热模型](#)。

10 原理图建议

在这一设计阶段，可以开始原理图捕获。为支持原理图捕获，请参阅以下部分。

10.1 选择元件和元件值

在选择适用的无源器件时，请务必使用器件特定数据表中的建议值。

10.2 原理图开发

原理图捕获阶段可以重新绘制原理图，也可以重复使用 EVM 原理图，请参阅 [入门套件 SK-AM62A-LP EVM](#) 原理图。

以下链接中汇总了设计人员设计定制电路板期间在重复使用 TI EVM 设计文件时必须熟悉的注意事项。

[\[常见问题解答\] AM62A7 或 AM62A3 定制电路板硬件设计 - 重复使用 TI EVM 设计文件](#)。

在原理图捕获过程中，请遵循 [原理图设计和检查清单](#) 以及 [AM62Ax Sitara 勘误表](#)。

备注

重复使用 EVM 原理图时，请确保在重复使用之前检查各项功能和网络名称的更改。

当原理图被重复使用时，DNI 设置会被重置。请确保重新配置 DNI (安装 DNI 可能会影响功能)。

10.3 检查原理图

完成原理图捕获后，根据 [入门套件 SK-AM62A-LP EVM](#) 检查设计。

计划一次内部原理图检查，参考原理图检查清单检查原理图。检查电路实现是否存在错误、值或连接不准确、网络连接缺失等。

10.4 PCB 布局规划

完成原理图捕获后，TI 建议对电路板进行布局规划，确定各种器件之间的互连距离、电路板尺寸和轮廓。

11 布局和布线指南

完成原理图捕获和检查后，下一步设计是 PCB 布局布线。有关电路板布局布线的支持信息，请参阅以下部分。

11.1 迂回布线指南

[AM62Ax 迂回布线 PCB 设计](#) 应用报告提供了 AM62A7/AM62A3 处理器的 PCB 迂回布线示例。

11.2 LPDDR4 电路板设计和布局布线指南

[AM62Ax DDR 电路板设计和布局布线指南](#) 旨在为所有设计人员简化 LPDDR4 系统的实现，并从要求中捕获一组布局和布线指南，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

LPDDR4 布线上的 LPDDR4 目标阻抗为 $40\ \Omega$ (单端) 和 $80\ \Omega$ (差分)。

对于传播延迟，LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。无需考虑任何封装级传播延迟。

对于 LPDDR4 SDRAM 计数、通道宽度、通道数、芯片数量、列数，请参阅 [DDR 电路板设计指南](#)。

备注

AM62A7/AM62A3 器件支持数据位混合和字节交换。

备注

AM62A7/AM62A3 器件不支持 DDR4、DDR3 或 DDR2。

11.3 高速差分信号布线指导

[高速接口布局布线指南](#) 提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

备注

可以考虑使用 [入门套件 SK-AM62A-LP EVM](#) 布局作为参考。

12 器件处理和组装

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅 [MSL 等级和回流焊曲线](#) 以及 [湿敏等级搜索](#)。

13 参考文献

- 德州仪器 (TI) : [AM62Ax Sitara™ 处理器数据表](#)
- 德州仪器 (TI) : [AM62Ax Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Ax 器件勘误表](#)
- [入门套件 SK-AM62A-LP EVM](#)

- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- 德州仪器 (TI) : [AM62A 功耗估算工具](#)
- 德州仪器 (TI) : [AM62Ax 迂回布线 PCB 设计应用手册](#)
- 德州仪器 (TI) : [AM62Ax DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto™ 7 DDRSS 寄存器配置工具](#)

14 本文中使用的首字母缩写词

CAN - 控制器局域网

CAN-FD - 控制器局域网灵活数据速率

CPSW3G - 通用平台 3 端口千兆位以太网交换机

CSIRX - 相机流媒体接口接收器

DPI - 显示并行接口

E2E - 工程师对工程师

eCAP - 增强型捕获

ECC - 纠错码

eMMC - 嵌入式多媒体卡

EMU - 仿真控制

ePWM - 增强型脉宽调制器

eQEP - 增强型正交编码器脉冲

GEMAC - 千兆位以太网介质访问控制器

GPIO - 通用输入/输出

GPMC - 通用存储器控制器

HS-RTDX - 高速实时数据交换

I2C - 内部集成电路接口

IBIS - 输入/输出缓冲器信息规范

JTAG - 联合测试行动组

LDO - 低压降

LVC MOS - 低压互补金属氧化物半导体

LVDS - 低电压差分信号

MAC - 介质访问控制器

McASP - 多通道音频串行端口

MDIO - 管理数据输入/输出

MMC - 多媒体卡

MSL - 潮湿敏感度级别

OSPI - 八进制串行外设接口

PCB - 印刷电路板

PMIC - 电源管理集成电路

POR - 上电复位

QSPI - 四线串行外设接口

RGMII - 简化千兆位媒体独立接口

RMII - 简化媒体独立接口

SD - 安全数字

SDIO - 安全数字输入输出

SPI - 串行外设接口

TCK - JTAG 测试时钟输入

TDI - JTAG 测试数据输入

TDO - JTAG 测试数据输出

TMS - JTAG 测试模式选择输入

TRM - 技术参考手册

TRSTn - JTAG 复位

UART - 通用异步接收器/发送器

USB - 通用串行总线

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司