

TPS546D24/A 输出电容选取以及布局对环路增益的影响

Given Ding/Wenhao

Sales & Applications/ KAT

ABSTRACT

TPS546D24/A是采用平均电流控制的大电流降压式变换器，本文结合输出瞬态要求和芯片的环路特性给出了输出最小电容的计算过程。结合客户实际测试中碰到的增益裕度不够的问题，利用仿真分析了输出寄生参数对于环路的影响，发现输出过孔布局不当导致的寄生参数会对增益裕度产生较大影响。通过对实际板子进行优化，验证了仿真的分析，给出了对于过孔的布局的意见。

目录

1. 简介	2
2. 典型应用	2
3. 测试结果	3
4. 板级寄生参数对环路影响的分析和 PCB 优化	4
5. 结语	7
参考文献	7

Figures

Table 1. 设计指标	2
Figure 1a. EVM 环路测试结果	4
Figure 1b. 客户板子的环路测试结果	4
Figure 2. Simplis 仿真模型	5
Figure 3. 加入不同寄生参数的仿真结果	Error! Bookmark not defined.
Figure 4a. 客户的板子	Error! Bookmark not defined.
Figure 4b. 输出电容处过孔布局	6
Figure 5a. 修改后的客户板子	6
Figure 5b. 修改后的客户板子的环路测试波形	6
Figure 6a. 过孔摆放间距示意图	7
Figure 6b. 过孔与焊盘位置的截面图	7

1. TPS546D24/A 简介

TPS546D24/A 是一款高度集成的非隔离式直流/直流变换器，具有较高的工作频率和 40A 的电流输出，采用 7mm × 5mm 封装。可将两个、三个和四个 TPS546D24A 器件并联使用，实现单路电源最大输出 160A。该芯片具有非常高的效率，可实现较高的功率密度，同时带有 PMBUS 通讯接口，可以实现输出电压调节，以及其它相关参数的数字配置，广泛引用在低压大电流供电的场合，诸如无线或有线网络系统中给主芯片供电。

TPS546D24/A 使用专有的固定频率的平均电流模式控制（ACMC），在多相并联方案中通过一个管脚互联即可实现较高的均流控制，同时还能够保证较好的稳定性和瞬态性能。而对于环路的设计，PCB 的影响也是非常大的，它会带来寄生参数，从而影响到实际环路的测试结果，以及对输出阻抗造成影响，从而影响动态。

本文主要阐述 TPS546D24/A 输出电容该如何选取以满足动态和环路稳定性的要求，以及输出布局对于环路稳定性和动态的影响做出阐述，结合仿真和实际案例来看如何通过优化布局，尤其是过孔，来实现较高增益裕度。

2. 典型应用

如下是客户的一个典型设计指标。

Table 1 设计指标

设计参数	测试条件	规格
Vin/Vout/Iout		12V/0.75V/30A
Voutput ripple	Iout=30A	10mV
Transient	10A load step, 2.5A/us	< 5% Vout
Fsw		650kHz

同时，对于稳定性来说，客户要求相位裕度大于 60 度，幅值裕度大于 10db。

根据数据手册中^[1]计算公式（9）可以计算出所需最小电感，根据客户库里有的型号，选取 190nH。

对于输出电容的选取，首先考虑输出纹波的要求，根据手册里的计算公式（17），只需要 110uF 电容即可。

下面来看动态的要求，手册中对于动态有相应的计算公式，但考虑到实际用的电容会有 ESR 的参数，以及环路稳定性影响，我们采用如下的计算方法，可能更加准确。

基于环路带宽即穿越频率处的输出阻抗 Z_{out} 来计算满足动态的最小电容。

$$Z_{out} < \Delta V_{out} / \Delta I_{out} = 0.05 * 0.72 / 10A = 36mV / 10A = 3.6m\Omega \quad (1)$$

为了保证环路有足够的稳定性和相位裕度，对于平均电流型控制，一般将内环电流环的带宽设在 $1/5 \sim 1/4F_{sw}$ ，而外环电压环即整个环路的带宽最好不要超过内环的 $1/2$ ，即整个环路最大带宽在 $1/10 \sim 1/8F_{sw}$ 。这里把穿越频率设计在 $1/10F_{sw}$ 。

对于电容来说，它的阻抗为

$$Z_c(f) = ESR + [1 / (2 * \pi * C * f)] \quad (2)$$

那考虑到客户库里有的电容类型，

- a. 470uf电解电容，ESR为6mohm，其在穿越频率处的等效阻抗为11.2mohm，
- b. 47uf的陶瓷电容，ESR为2mohm，其在穿越频率处的等效阻抗为54mohm。

那电容并联时候的等效阻抗为

$$Z_{out}(total) = 1 / (1 / Z_{out1} + 1 / Z_{out2} + \dots) \quad (3)$$

那么为了满足3.6mohm的 Z_{out} ，如果只采用470uf的大电容，至少需要4个($11.2/4 < 3.6$)，而如果搭配上47uf的电容，那么只需要 $3 * 470uf + 1 * 47uf$ 即可满足阻抗的要求，所以通过陶瓷电容和电解电容的组合可以在更小的容值和面积下满足动态的要求。

另一个方面，从环路的角度对电容设计也是有要求的。

根据手册7.3.1.1描述，由于TPS546D24的传递函数中在控制信号Vshare和电感电流IL间天然就有一个 $1/f$ 积分环节，所以对于该环路来说，它在穿越频率处天然就可以以-20db穿越，满足稳定性的要求，并可以实现较高的幅度，而我们所需要做的事情只需要调整环路的中频增益即可控制穿越频率的位置。那么为了满足-10db的幅值裕度，需要将整个环路的增益比穿越频率处降低约 $1/3$ ($20 \lg |gain| = 10db$)。而根据手册中公式(6)(7)，可以得到整个环路的增益为

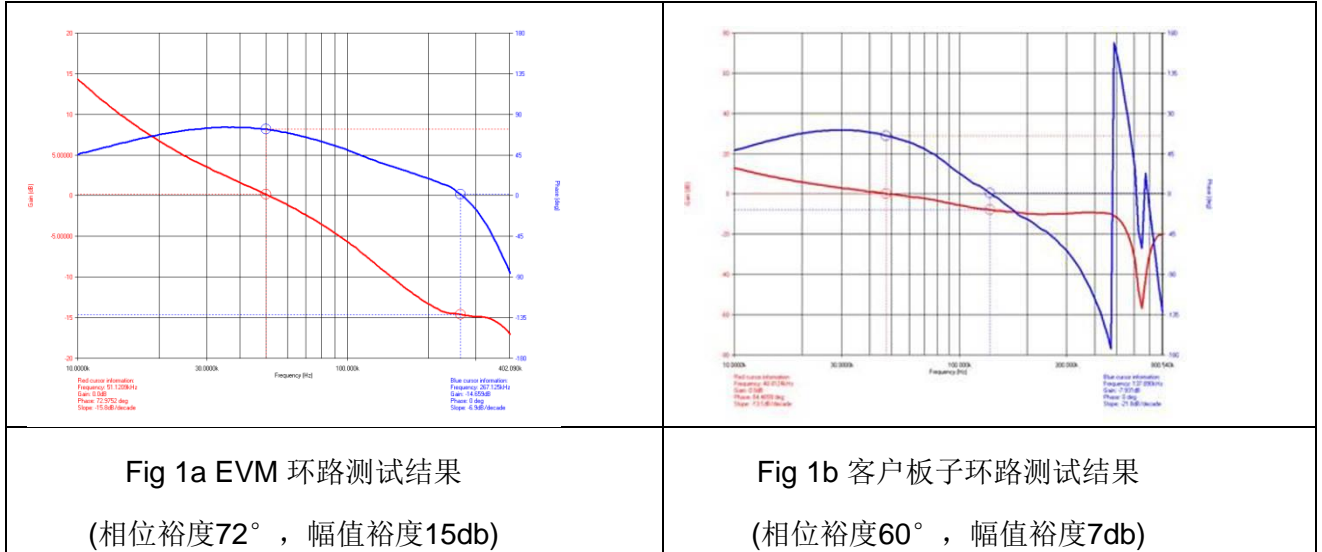
$$|loop(f)| = GMV * RVV * VOUT_SCALE_LOOP * Z_{out}(f) / CSA \quad (3)$$

由于其它参数固定下来就是不变的，因此需要将 $Z_{out}(f)$ 再往下降 $1/3$ ，即为1.2mohm，采用公式(3)计算，得到需要 $3 * 470uF + 3 * 47uF$ 。

考虑到板上面积以及电容一定的降额，最后将输出电容设计在 $3 * 470uF + 7 * 47uF$ 。

3. 测试结果

根据选用的电感和电容参数，我们采用TPS546D24的环路设计工具，设计出一组可以满足相位裕度和稳定性要求的环路参数。在EVM板上进行了测试，结果如下figure a所示，环路都能满足要求，而对于客户板子可以看到幅值裕度不足，只有-7db。



针对当前客户板子的参数，如果要再把增益提高 3db, 那么需要相位穿越处的等效阻抗再降低 30%才行，意味着还需要加更多的电容或者是将大电容换成 2 个小电容，诸如将 47uf 换成 2x22uf 以降低等效阻抗，而面积本来就已经比较紧张了。那么计算下此时穿越频率处的等效阻抗，为 2.7mohm, 大于实际电容的等效阻抗。所以看起来这个地方是有其它寄生参数的影响，诸如线路走线的阻抗或是寄生感抗。

4. 板级寄生参数对环路影响的分析和 PCB 优化

对于板上线路走线来说，每一段都会有寄生参数，那么如果需要完全量化寄生参数对整个输出阻抗的影响，可以将每一段走线的寄生参数都提取出来按照输出阻抗的公式去进行计算，但整个输出部分的计算就会变的非常复杂。所以这里采用 **simplis** 仿真的方式来分析寄生参数对环路的影响。

因为没有现成的 **TPS546D24** 的环路模型，所以参照手册中的控制架构用分立器件搭建了整个平均电流控制的模型。输出端加入了寄生参数，**L2**，**L3**，**L5**，**L4** 来模拟实际走线中可能存在的寄生电感和寄生阻抗。其中 **L2** 是指输出电感到输出电容正端的走线寄生参数，**L3** 是指输出电容的负端到芯片的功率地之间走线的寄生参数。**L4** 输出电容正端到负载之间的走线的寄生参数。**L5** 是输出电容负端到负载之间走线的寄生参数。

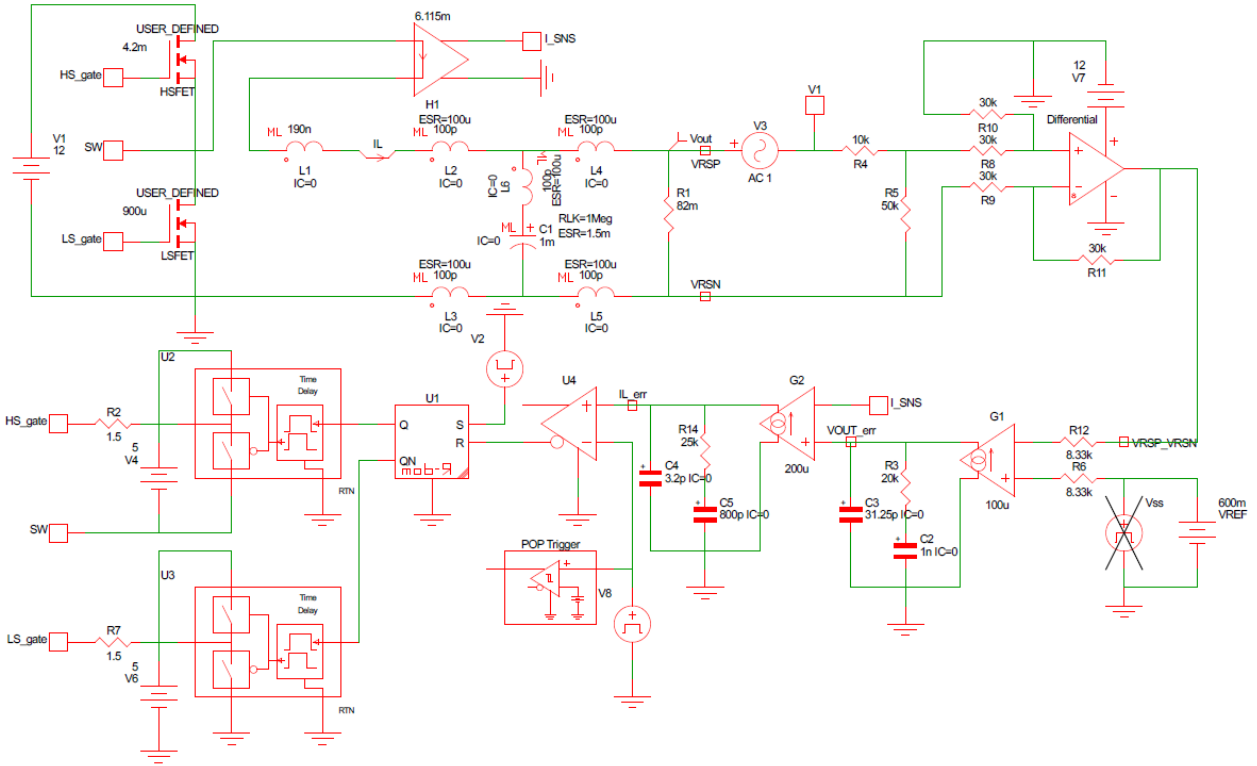


Fig2 Simplis 仿真模型

每一个寄生参数都以 100uohm 和 100pH 为基本量，增加一定的阻抗或者寄生电感来看每个位置对于环路的影响。

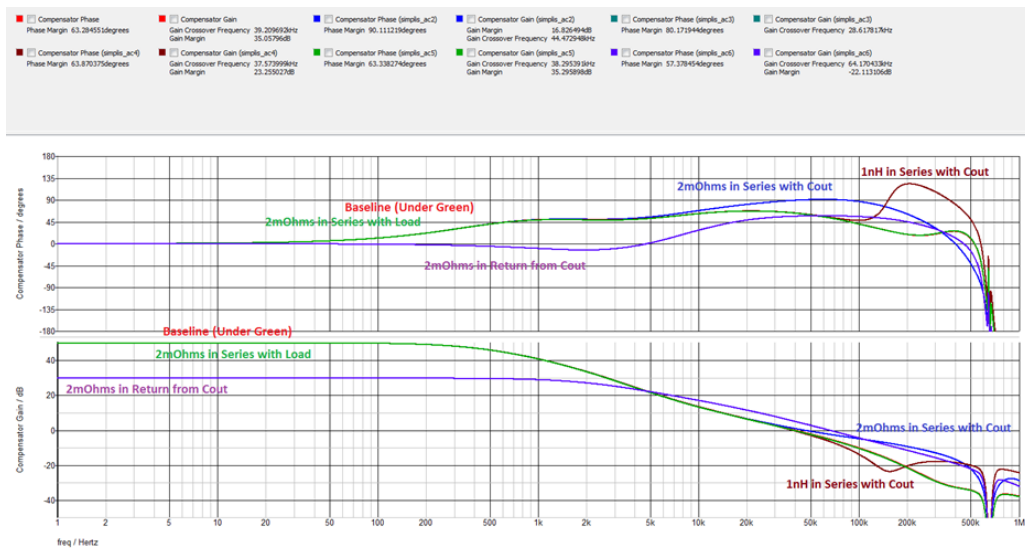
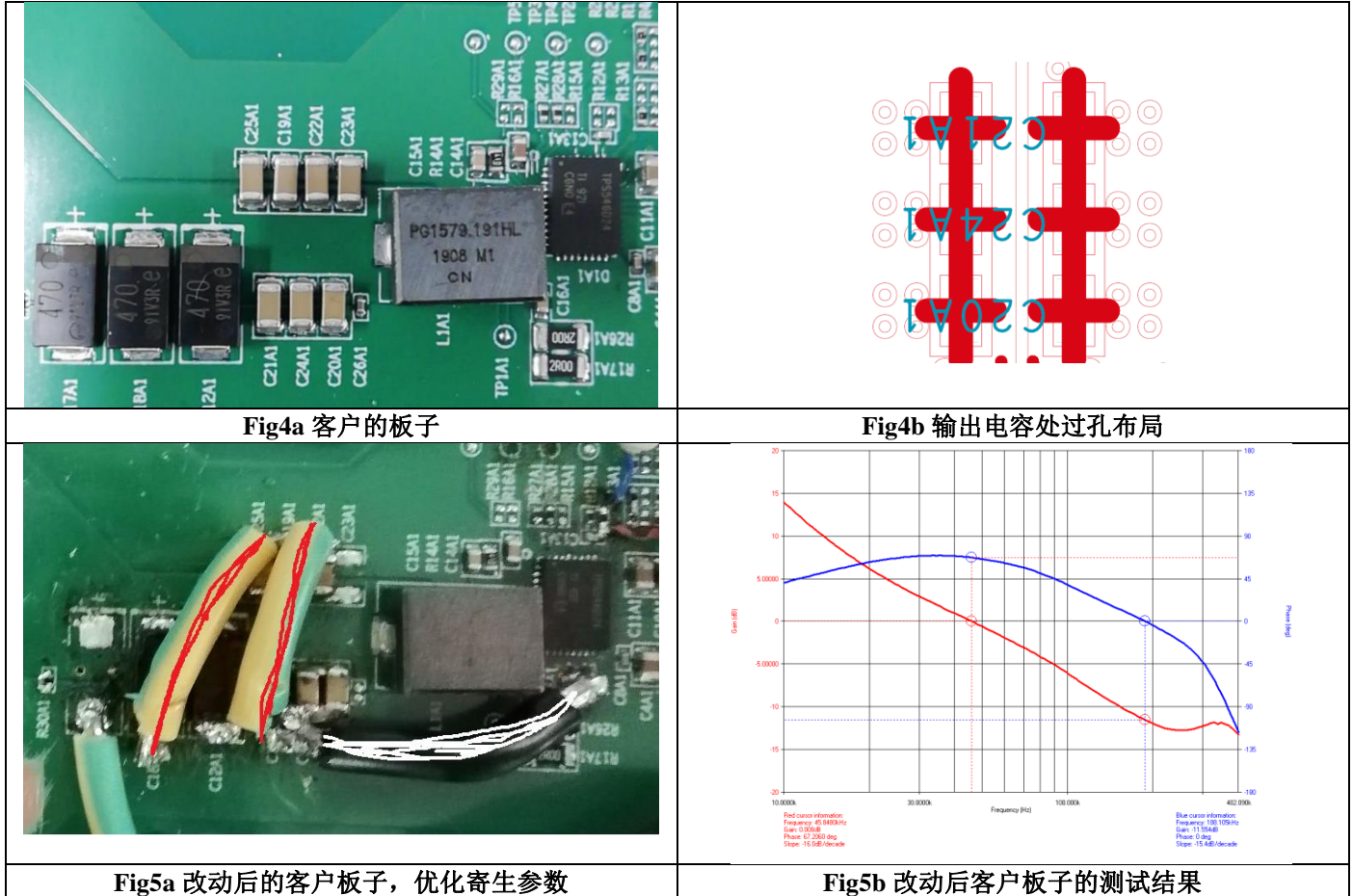


Fig3 加入不同寄生参数的仿真结果

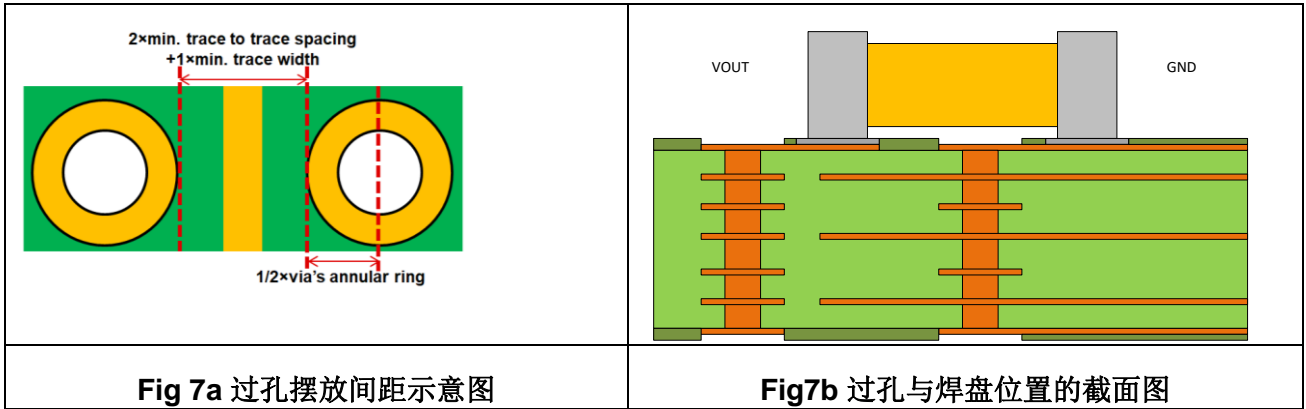
从上图中可以看到，尽管由于建模的准确性，仿真结果和实际测试的波特图不能够完全吻合，但从结果可以明显看到和输出电容串联的寄生参数以及从输出电容回到芯片的地的寄生参数会导致增益变大，从而导致增益裕度变小。

于是针对这个结果，我们进行相应的排查。可以看到，因为布局的原因，输出陶瓷电容通过比较多的过孔连到地平面上，并且过孔打的比较密集，阻断了整个地的通路，所以可能确实会带来比较大的寄生参数。那么我们尝试通过将芯片的地通过粗线直接拉到电容的地管脚处，并且将布局分散的电容的地也通过粗线拉到一起。从测试结果可以看到



可以看到改动后的客户的板子在幅值裕度上有显著提升，达到-12db,完全满足客户对于稳定性的要求。那针对客户的板子，需要对布局，尤其是过孔进行改动，以满足要求，建议如下：

1. 过孔的尺寸和间隔。一般来说尽量采用小的过孔，这样可以把较多过孔放在一起，有利于连接中间层。但过孔不能靠的太近，否则中间铺铜等会被打断，无法在过孔中间形成路径，阻断了电流路径，这样会带来比较大的寄生参数。所以最好是要让过孔的间距至少可以走设计中电流允许最小的线宽。如下图所示。
2. 过孔的摆放。建议每个输出电容焊盘旁边打 2-4 个过孔，这样可以比较有效地将中不同层连在一起。过孔要并排紧挨输出电容，以提供最短路径，减小寄生参数。可以放在焊盘旁边，对于大封装电容诸如 0805 及以上，可以直接打在电容下面。



5. 结语

本文主要针对结合动态特性与环路特性对于输出阻抗的要求，对输出电容最小值的设计给出了说明。而客户实际测试中采用 EVM 实测的参数却又碰到增益裕度不足的问题，采用仿真分析了寄生参数对于增益裕度的影响，结合客户的板子布局，发现是较为密集的过孔导致了较大的寄生阻抗。通过加粗线的方式在现有板子上进行了验证，并提供了 PCB 的优化建议，在不改变环路参数设计的情况下满足了环路稳定性的测试指标。

Reference

[1] TPS546D24A Datasheet, SLUSDN0A, Texas Instruments.

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2021 德州仪器半导体技术（上海）有限公司