

## AGC 简述

Wenjing Lu

### 摘要

灵敏度是无线接收机的一个重要指标，AGC (Automatic Gain Control) 自动增益控制就是为了增大接收机的输入信号动态范围，改善大信号阻塞情况下接收机的性能，而引入的模拟和数字增益补偿模块。在接收机数模增益不变的前提下，阻塞信号 DSA 衰减，数字增益补偿；阻塞信号消退 DSA 增益释放，数字增益补偿也相应释放。TI 的 Transceiver 芯片集成了 AGC 这一功能，本文将以 ZIF (AFE77xx) 和 RF Sampling (AFE79xx) 为例，对闭环 AGC 工作模式进行行为级简述。

### 目录

1	引言 .....	2
2	AGC 架构 .....	2
	2.1 AGC 行为级简述 .....	2
	2.2 Detector 检测器 .....	5
	2.3 模拟增益控制 .....	6
3	AGC 在 TDD 模式下的系统协调 .....	7
	3.1 接收/反馈模式切换 .....	7
	3.2 接收/校准模式切换 .....	8
4	AGC ALC 的传输 .....	8
5	AGC API 调用 .....	9
6	DSA 增益相位出厂自检功能 .....	9
7	参考文献 .....	9

### 图

Figure 1.	AGC 架构简图 .....	2
Figure 2.	AGC 数模关系简图 .....	4
Figure 3.	数字峰值检测示意图 .....	5
Figure 4.	ALC 简图 .....	8

## 1 引言

AFE77xx / AFE79xx 是以零中频/RF Sampling 架构为基础的高集成度 transceiver，拥有完整的发射，反馈和接收通道。AGC 作为重要的接收功能模块，分为开环 AGC，和闭环 AGC 两种模式，前者 transceiver 仅作为感知和执行模块：传输峰值/均值检测器的输出给 ASIC / FPGA，由 ASIC / FPGA 做出逻辑判决，再通过控制 transceiver 的模拟 DSA 完成开环 AGC 操作；后者则无需 ASIC / FPGA 介入（除了 ALC 部分），transceiver 完成整个感知-决策-执行的闭环控制。AFE77xx / AFE79xx 支持开环/闭环 AGC，由于闭环 AGC 模式已日趋成熟，而且简化整个系统设计，本文将仅对闭环 AGC 进行展开介绍。

## 2 AGC 架构

### 2.1 AGC 行为级简述

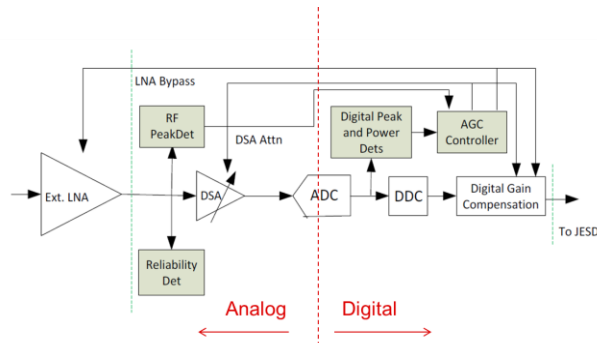


Figure 1. AGC 架构简图

无线接收机的输入信号具有时变的特性，如何在阻塞场景下取得好的灵敏度是无线接收机的设计难点之一。静态灵敏度要求接收机增益最大化，被放大的有用信号充分利用 ADC 的满幅量程；阻塞灵敏度则需要在阻塞信号输入的情况下，降低接收机模拟链路增益，避免链路非线性失真（ADC 饱和）。为了同时取得好的静态灵敏度和阻塞灵敏度，接收机的模拟链路增益需要随着输入信号的大小实时调节，数字则需要完成相对应的增益补偿以维持数模增益不变，这就是 AGC 自动增益控制的意义。

如上图所示 AGC 架构简图，分为模拟和数字两部分。模拟部分主要包括负责模拟增益调节的模拟 DSA；和负责模拟域检测的模拟检测器。数字部分主要包括负责决策控制的 AGC controller；负责数字域检测的数字检测器，以及负责数字增益补偿的 DGC（Digital gain compensation）。

AGC 具有两种行为模式，一个是 blocker 场景下 Fast Attack 模式，快速衰减 DSA 防止器件饱和；另一个是当 blocker 消退后的 Slow Decay 模式，在避免振荡的前提下，释放前端衰减，恢复接收链路 NF 性能。

### 2.1.1 Fast Attack

Fast attack 顾名思义，在 blocker 场景下，为了避免接收通道进入饱和状态，需要对阻塞信号迅速做出衰减响应。Fast Attack 的 Fast 体现在 detector 的观测窗长一般设置较短，几十个 ns，在器件进入饱和前迅速对输入大阻塞进行衰减操作。TI AGC 支持 Big step attack 和 Small step attack，前者可以形象的理解为在大阻塞信号下衰减一步到位，后者则是小步快跑，一般来说只使能 Small step attack 即可满足系统需求。如果要开启 Big step attack 进一步优化大阻塞场景下系统的响应速度，一般设置 Big step attack 的阈值更接近满幅，例如 -1dBfs @big step attack 和 -3dBfs @small step attack；Step size 独立可配，建议 -6dB @big step attack 和 -1dB @small step attack。Big step attack 和 Small step attack 由独立可配的 Digital peak detector 实现，主要负责带内信号检测；常常辅助 Analog attack peak detector 检测全带宽信号（RF sampling 架构 digital detector 具有全带宽视野，则无需使能 analog detector）；另外，Reliability detector 对超大信号提供输入保护；Digital attack power detector 作为选配，一般不使能。所有使能的 Attack detector，任一触发，AGC 即进入 Attack 衰减模式，所以 Attack 的攻击逻辑是“或”。

### 2.1.2 Slow Decay

在 Attack 模式下，模拟 DSA 被衰减，引起 NF 的恶化，当 blocker 信号消失或者变小的场景下，需要相应减小 DSA 的衰减，恢复链路的 NF，这就是 Slow decay 模式。为什么是 Slow decay 呢？信号都是动态变化的，blocker 信号也不例外，如果我们对 blocker 信号的瞬态变小做出响应，释放 DSA 衰减，必然导致需要对下一时刻的瞬态增大再次做出 Fast attack，这样就会导致 DSA 反复在衰减和释放中振荡，影响接收机的性能稳定性。所以 Decay 逻辑遵循的原则是 Slow，只有确认在一定的观测窗长下，绝大多数的信号都低于 Decay 阈值，才会做出释放衰减的决策，Slow Decay 的观测窗长一般 100us+~ms。在 TDD 模式下，在同一 UL 没有统计完成的观测窗，是可以跨越 DL 时隙，再下一个 UL 到来之后继续进行统计的，Decay 观测窗常常会跨越多个 UL。另外，在每个 UL 到来时，reset 观测窗也是一种选择。同样，Decay 也包含模拟和数字 detector：Analog decay peak detector，Digital big step decay peak detector，Digital small step decay peak detector，Digital decay power detector，其中常用的是 Digital small step decay peak detector，在 ZIF 架构中如果启用了 Analog attack peak detector，也会同时启用 Analog decay peak detector。只有当所有使能的 Decay detector 都被触发，AGC 才会进入 Decay 衰减释放模式，所以 Decay 的释放逻辑是与 Attack 完全相反的“与”逻辑。

### 2.1.3 DGC 数字增益补偿

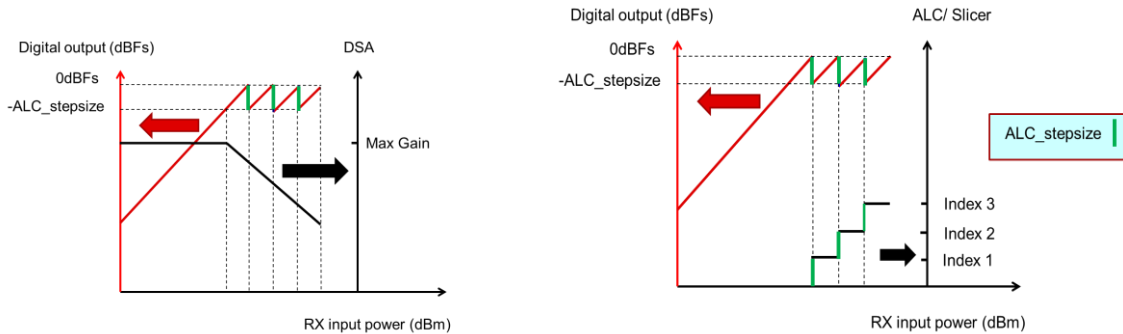


Figure 2. AGC 数模关系简图

左图 DSA VS RX input power；右图 ALC VS RX input power

为了准确传递输入信息，链路的数模增益要保持不变，如果链路的增益时时发生改变，输入信号将失去参照系，无从知晓输入信号的真实情况。AGC 在 blocker 的场景下，为了避免模拟前端的溢出，衰减模拟域 DSA 增益，为了遵循接收机数模增益保持不变的基本原则，引入了数字增益补偿 DGC。在 blocker 场景下，进入 Attack 衰减模式，前端模拟 DSA 增益衰减，后端数字将补偿前端模拟衰减量；反之当 blocker 减小或者消失，进入 Decay 衰减释放模式，前端模拟 DSA 增益变大，恢复链路的 NF，回复系统灵敏度，后端数字将释放相应的补偿量。直接的数字域增益补偿会导致数字域溢出，将数字补偿增益以 ALC/slicer 的形式通过 GPIO 或者通过 JESD 组帧的最后两位向后级 ASIC/FPGA 传输，在主机侧更高位宽模式下进行补偿。图 2 表征了模拟 DSA 和 ALC (/Slicer) 随输入信号的变化关系。红色纵轴代表模拟输入 VS 数字输出关系；黑色纵轴代表模拟输入 VS DSA+ALC 关系。

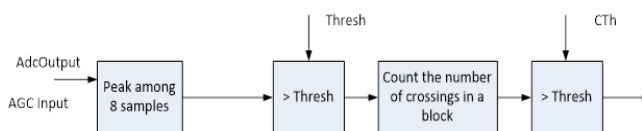
### 2.1.4 ZIF 和 RF Sampling AGC 区别点

ZIF 和 RF Sampling 架构 RX AGC 的区别点主要为两方面：

- A. ZIF 架构的接收由 CTSD ADC 组成，CTSD ADC 的数字噪声滤波器使得 CTSD ADC 输入的数字峰值/均值检测器无法实现全带宽检测；但是 RF Sampling 架构中 RF Sampling ADC 输入（在抽取滤波器之前）的数字峰值/均值检测器可以实现全带宽。所以 ZIF 架构需要同时使能数字和模拟检测器，前者检测带内 blocker 信号，后者协助完成带外 blocker 的检测；而 RF Sampling 仅使能数字检测器即可完成全带宽检测。
- B. ZIF AGC 仅支持单频段模式；RF Sampling AGC 支持单/双频段模式，其中双频段模式控制：同一个模拟 DSA 为双频段共用，但是独立的 LNA bypass 控制信号输出，支持各个频段 LNA 对立控制，本文将仅对单频段模式进行介绍。

## 2.2 Detector 检测器

### 2.2.1 数字峰值检测和均值检测



**Figure 3. 数字峰值检测示意图**

数字峰值检测器位于 ADC 的输出口，一般由 Big Step Attack, Small Step Attack, Big Step Decay, Small Step Decay 四种数字峰值检测器组成。四种检测器虽然在 AGC 决策流程中职责不同，但是功能模块的实现确是完全相同的。上图为数字峰值检测器架构简图，以 RF Sampling 架构为例，ADC 每 8 个样点中的最大值作为输入信号，和阈值门限（Attack/decay 阈值）进行对比，并且记录一段观测窗长内的比较结果，观测窗比较结束，如果大于触发比例则认为判决有效触发报警，进入下一步判决流程。四种检测器的阈值门限，观测窗长（ns ~ms），触发比例均独立可配。阈值门限以 ADC 输出相对幅值 dBFs 为单位，配置范围 0dBFs ~-30dBFs，0.2dBFs 的配置精度；为了避免 Ping-pang /振荡效应，阈值门限是包含迟滞区间的（Hysteresis and Dwell）。在 RF Sampling 架构中，检测 real ADC 输出，属于全带宽检测点；在 ZIF 架构中检测两路 IQ ADC 输出，位于部分数字滤波器后，一般仅提供 x2 倍于接口速率的观测带宽。

在数字峰值检测器同样设计节点上（观测带宽和数字峰值检测器相同），还提供数字均值检测器，也分为 Attack Power detector 和 Decay power detector 两种，同样架构一致但是独立可配。和数字峰值检测器不同的是，数字均值检测器检测以 ADC 输出的平方功率为检测对象。

### 2.2.2 模拟峰值检测

模拟峰值检测器位于芯片射频入口处，属于全带宽检测点，一般由 Analog Attack peak detector 和 Analog Decay peak detector 组成，前者参与 Attack 决策，后者参与 Decay 决策。模拟检测器虽然处于射频入口，模拟 DSA 之前，但是由于其比较阈值基于当前 DSA 档位等比例变化，使其实现效果类似于将模拟检测器置于 DSA 之后，将检测的绝对幅值 dBm 变化为相对于 ADC 输出的相对幅值 dBFs，便于配置使用。Attack 和 Decay 两个模拟检测器拥有对立的阈值，观测窗长（ns ~ms），触发比例配置。

模拟峰值检测器相较于数字检测器而言：优点在于全带宽检测，在 ZIF 架构中，模拟峰值检测器将是带外 blocker 检测的有益补充。缺点在于受限于模拟设计其阈值范围和精度无法达到数字电路的灵活和准确，一般来说阈值范围为 -10dBFs ~+1dBFs，精度为 PVT +/-0.5dB。所以在 RF Sampling 架构中由于数字检测器拥有全带宽视野，模拟峰值检测无需开启。

另外，DSA 档位一旦变化，所有检测器（包括 Attack detector 和 Decay detector）将被即刻复位，因为 DSA 档位变化致使未完成的检测窗信号状态发生改变，之前统计结果失效，需要基于新的 DSA 档位重新开始新一轮检测窗的检测。同时为了避免检测窗在模拟 DSA 未稳定状态下开始检测计入错误数据，所有检测器可以等待 blanking time (ns~us) 之后解复位重新进入检测状态。

### 2.2.3 输入大功率自动保护功能

随着 Transceiver 的集成度越来越高，工艺尺寸越来越小，在集成度和功耗大幅改善的同时，器件的耐压相比大线宽工艺器件则有所减弱。以 AFE77xx 为例，最大衰减下的 Max full scale input power 为 15dBm，但是其前端 LNA 的 P1dB 饱和点却在 20dBm 以上，为了保证 transceiver 的射频输入口在大幅度阻塞的情况下仍然可以保证十年的长期可靠性，引入了输入大功率自动保护功能。当 LNA 进入饱和时，transceiver 无需考虑信号质量，只需考虑器件可靠性，所以在模拟输入口位置加入了 Reliability detector 射频模拟绝对峰值比较器，一旦触发报警（报警支持 GPIO 输出或者 SPI 寄存器查询），器件自动进入 DSA 最大衰减模式，以实现射频输入口的输入保护。Reliability detector 触发阈值高于 Max full scale input power，以 dBm 为单位；此检测器仅作为可靠性用途，不开放给客户为其他用途。

综上所述，器件提供了多样灵活的检测点，但是在实际应用中，并不是都有必要使能的，建议使用的客户开放检测点为：a. 在 RF Sampling 架构中，数字峰值检测（Small Step Attack 和 Small Step Decay）；b. 在 ZIF 架构中，数字峰值检测（Small Step Attack 和 Small Step Decay）和模拟峰值检测。

## 2.3 模拟增益控制

模拟 DSA，提高输入链路的动态范围，一般以 1dB 为步进；由于直接处域器件输入口，所以和 NF 存在 dB/dB 的恶化关系。DSA 最大增益/最小衰减模式对应最优 NF，DSA 最小增益/最大衰减模式对应最差 NF。

### 2.3.1 DSA 范围

DSA 由无源阻容网络组成，增益范围越大，步进越小，代表阻容网络越复杂，对应的芯片面积就越大，而且阻容网络的复杂度及其寄生参数也会限制器件的模拟输入带宽。如何确定模拟 DSA 的范围？满幅最大输入功率为保证器件的长期可靠性下建议的器件最大输入功率，对应于 DSA 最小增益/最大衰减状态；一般受限于工艺节点，模拟输入带宽和 DSA 阻容网络设计复杂度。满幅最小输入功率一般为 DSA 最大增益/最小衰减状态下的满幅输入功率，受限于 ADC 核的满幅电平。另外考虑到 AGC 触发阈值的选择 0~-3dBfs，预留 5dB 回退。所以， $DSA\ range = \text{满幅最大输入功率 (Max full scale input power)} - \text{满幅最小输入功率 (Min full scale input power)} + 5dB\ back\ off$ 。

### 2.3.2 DSA 预衰

鉴于 transceiver 前端外置 LNA 的全温波动特性约为 2dB/stage，为了归一化全温范围内整个接收链路的模拟增益，尽可能减少接收链路性能的温度波动，常常需要在 transceiver 芯片的接收 DSA 进行常温预衰(Minimum DSA setting)，高温的时候释放预衰以补偿前级外置 LNA 的高温增益跌落，低温的时候进一步增大预衰以补偿前级外置 LNA 的低温增益变大。并且，此预衰还可以完成除温度以外的，频段补偿和批次补偿，一般而言会在常温预衰 6dB。由于预衰参与的是链路的温度/频段/批次增益补偿机制，独立于 AGC 控制之外，所以 AGC 将以 Minimum DSA setting 作为最大增益档位进行启控，可以形象的将预衰理解为可以灵活配置的 AGC 增益天花板，AGC 增益控制范围= $\text{DSA 模拟增益范围} - \text{Minimum DSA setting} + \text{外置 LNA 增益}$ 。在 AGC 启控过程中，只可以从 Minimum DSA setting 档位继续衰减，无法释放 Minimum DSA setting 之前的档位，即 Minimum DSA setting 是 AGC 的启控起点。作为温补的 Minimum DSA setting 支持在线 SPI 配置，不会影响 AGC 的运行。

### 2.3.3 LNA bypass

在大阻塞场景下，即 DSA 已经衰减到最小增益档位(或者达到预设的 Maximum DSA setting)，输入信号仍触发检测器 Attack 门限，就需要旁路前级外置 LNA，降低前级链路增益。LNA 参与的 AGC 控制机制为：当 Blocker 幅度较小时，启控 AGC 首先从 DSA 衰减开始，从预衰 Minimum DSA setting 开始，随着 blocker 幅度的不断加大，DSA 达到最大衰减档位 (或者达到预设的 Maximum DSA setting：可以通过 SPI 配置)，从而进入旁路外置 LNA 阶段，为了实现 AGC 增益的线性控制，一旦旁路前级外置 LNA (增益 G dB)，需要 DSA 从最大衰减档位释放 (G -1) dB，如果 blocker 仍然持续加大，则继续衰减被释放的 (G-1) dB，直到 DSA 再次衰减到最大衰减档位。为了避免 AGC 在 LNA 旁路触发阈值附近的 PING-PANG 效应，LNA 的 Decay 阈值 (LNA 再次使能) 和 LNA 的 Attack 阈值 (旁路阈值) 支持迟滞区间设置。

## 3 AGC 在 TDD 模式下的系统协调

### 3.1 接收/反馈模式切换

在 TDD 模式下，常常采用接收和反馈通道分时共享同一射频通道方式以节约功耗。这就对 AGC 在接收/反馈切换时提出了新的设计要求：

- AGC 仅在接收模式下使能，反馈模式下进入 frozen 状态 (保存上一接收时隙时的 AGC 状态，包含：AGC 静态配置，功能使能状态，DSA 当前衰减状态，LNA bypass 当前状态，没有统计完成的 detector 观测窗)
- 每个新的 UL 时隙的到来，AGC 支持重置状态或者延续上一 UL 时隙状态两种选择。
- DSA 衰减值的切换：在接收模式下 DSA 进入 AGC 模式；在反馈模式下 DSA 进入反馈预衰状态
- 由于 DL 和 UL 之间 GAP 时隙的存在，上行开关信号常常先于上行时隙到来，所以还需要基于上行开关触发的 timer 以精准使能 AGC，避免误将部分 GAP 时隙计入 detector 的统计窗。

- 其他还涉及 DDC decimation 的切换及 JESD 组帧模式的切换。注意即使模拟切换完成后，由于数字部分的处理延时的存在，会有时间等长为数字处理延时的垃圾数据出现在切换完成后，只有等这些垃圾数据 flush out 之后，正确数据才会到达 JESD output，数字处理延时根据应用场景配置不同有所不同，量级在几百 ns 左右。

### 3.2 接收/校准模式切换

在 Massive MIMO 应用中，波束成形技术运用多路信号进行加权合成增强有用信号，衰弱干扰信号，通常的矩阵规模达到 64T64R/32T32R，如何保证多路信号加权的准确性，需要时时的矩阵网络进行校准。在 TDD 模式下，常常利用下行和上行切换的 GAP 时隙分别进行上行/下行校准。在下行校准时，可以复用接收通道来实现校准功能，简化硬件设计降低系统功耗和成本。接收/校准的切换类似于 3.1 的接收/反馈切换，但是要略简单一些，在校准时隙只需要 frozen AGC 并将 DSA 预设为校准预衰值（在 FDD 系统中还涉及到 NCO/RF PLL 频点的切换）。

## 4 AGC ALC 的传输

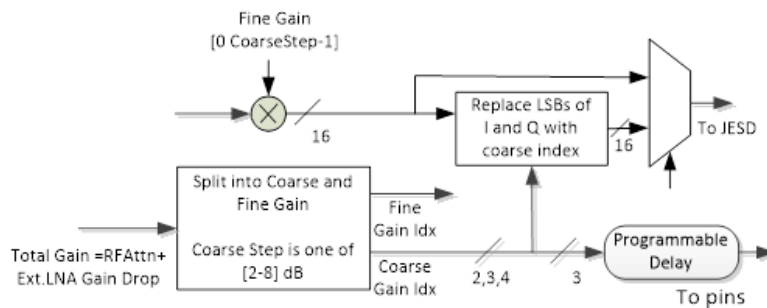


Figure 4. ALC 简图

为了链路的数模增益一致，后级数字增益要完全补偿前级 DSA 增益的变化，直接的数字增益补偿会导致数字溢出，为了避免数字溢出，引入了 ALC 增益（常常被称为 Slicer）传递。ALC 增益传递是将导致数字溢出的 coarse gain 部分通过 GPIO 或者通过 JESD 组帧的最后两位

（JESD204B/C 每个样点传输 16 位数据，但其中 ADC 的有效位数仅为 14 位，所以最后两位可以作为 coarse gain 的传递之用，IQ 两路数据共有 4 位可用于 ALC 传输）进行传递，通知主机并在主机侧完成对 coarse gain 的补偿，而余数部分 fine gain 则由 transceiver 侧负责补偿。其中，Coarse gain = 取整 $[(\text{DSA} + \text{LNA}) / \text{coarse gain step}]$ ；Fine gain = 取余 $[(\text{DSA} + \text{LNA}) / \text{coarse gain step}]$ ，为了保证 transceiver 进行 fine gain 补偿的时候不溢出，默认 -6dBFS 的 digital back off，可以通过 SPI 进行配置，最优的 digital back off = - (coarse gain step - 1)。举个例子，DSA 衰减 22dB，LNA 旁路 15dB，coarse gain step = 6dB；coarse gain = 6；fine gain = 1。



## 5 AGC API 调用

AFE77xx/AFE79xx 支持 SPI 全寄存器访问的同时，也支持基本/常用功能的 API 命令行调用。以下就是在 AGC 功能中常用的 API 示例：

- SetMinAttenuation( ulChan, ulMinGain)接收链路预衰值的设定
- SmallStepAttackConfig( ulChan, ulEnable, ulAttackStepSize, double ulAttackThreshold, U64 ulWindowLen, ulHitCount)小步进 Attack 设定
- SmallStepDecayConfig( ulChan, ulEnable, ulDecayStepSize, double ulDecayThreshold, U64 ulWindowLen, ulHitCount) 小步进 Decay 设定
- ExtLnaControlConfig( ulChan, ulEnable, ulLnaGain, ulGainMargin, ulBlankingTime) LNA bypass 功能使能
- AlcStepSizeDgc( ulChan, stepSize) ALC 步进设定
- EnableDgc( ulChan, ulEnable)使能 DGC 功能
- EnableInternalAgc( ulChan, ulEnable)使能 AGC
- FreezeAgc( ulChan, ulFreeze) AGC 冻结/保持

## 6 DSA 增益相位出厂自检功能

在 Massive MIMO 的应用中，beam forming 是其中重要的技术创新，通过多路信号的矢量叠加增强有用信号，抵消干扰信号，以提高覆盖率和吞吐率。Beam forming 技术的前提，需要承载信号的模拟通道自身幅度和相位保持不变。幅度的稳定是通过接收链路数模混合增益恒定来保证的，相位的稳定则需要接收机整体相位不受 DSA 增益的改变。但是模拟 DSA 的非理想性导致很难实现精确的 0.5dB/1dB 步进，同时增益改变也必然会引起模拟通道相位的变化。所以需要 DSA 每个增益等级进行幅度和相位的修正，并在数字域完成相应增益级的幅度和相位补偿。

TI 的 transceiver 提供接收通道 DSA 的客户出厂增益相位自检算法。为何需要客户侧出厂自检：首先，各个 DSA 的增益相位失配和所在通道的在板匹配相关；其次，由于修正的幅度和相位补偿值非时变参量，仅出厂自检一次即可，为保证下电不丢失，需要客户的在板 EEPROM 的协助。出厂自检算法：每个通道，最好是每个频段，提供外部射频单音输入，transceiver 用芯片内的单点 FFT 自检电路完成对所有 DSA 增益级步进精度和相位的遍历测试，并计算对应的补偿参数。客户只要将补偿参数读出，存入 EEPROM，然后在以后的实际应用中，将存好的参数在每次上下电后直接调用即可。

## 7 参考文献

1. Datasheet “AFE77xx Quad-Channel RF Transceiver With Feedback Path”
2. Datasheet “AFE79xx Quad-Channel RF Transceiver With Feedback Path”

## 重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司