

基于 DCS 控制的 TPS62085 bare die 的电源模块 PSIP 设计方案与注意事项

Leon Liang

Huawei Application Team

摘 要

本文将介绍 Power System In a Package(PSIP)电源模块在不同电流级别的主流方案架构以及优缺点同时针对基于 DCS 控制的 TPS62085 PSIP 在设计中所面临的主要挑战和解决方案。

目 录

1	引言.....	1
2	PSIP 模块主要架构.....	Error! Bookmark not defined.
	2.1 框架结构以及优缺点.....	Error! Bookmark not defined.
	2.2 ECP 结构以及优缺点.....	Error! Bookmark not defined.
	2.3 框架加金线结构的优缺点.....	3
3	TPS62085 DCS 控制模式原理及优点.....	3
4	基于 DCS 控制模式的 TPS62085 PSIP 模块主要问题以及方案.....	6
	4.1 如何判断 DCS 控制在 BUCK 和 BUCK-BOOST 的临界稳定性与最小输出电容的选择.....	Error! Bookmark not defined.
	4.2 测试基于 DCS 控制环路稳定性的方法.....	8
5	结论.....	11
6	参考资料.....	11

Figures

Figure 1.	PSIP 模块主要架构.....	2
Figure 2.	DCS 控制方框图.....	4
Figure 3.	COT 控制框图.....	4
Figure 4.	COT 动态波形.....	5
Figure 5.	DCS 控制电路图.....	6
Figure 6.	TPS62085 内部结构图.....	7
Figure 7.	DCS 控制波形.....	8
Figure 8.	Q 值与相位裕量关系图.....	10
Figure 9.	不同 Q 值的输出特性曲线.....	11
Figure 10.	动态波形与相位裕度关系.....	11

引言

随着 5G 时代的来临，通信应用对数据传输速度和流量不断增长的要求，在有限的面积上面实现高功率密度变得越来越重要，这个时候 Power system in a package 也就是 PSIP 这种能实现高功率密度的电源模块在通信应用就成为一个主要的趋势，TI 的基于 PICO STAR 封装的 DCS 控制芯片是一种非常合适的 PSIP 电源方案。

1 PSIP 模块主要架构

当前市场主要的 PSIP 架构主要分为三种：Lead Frame, ECP, Lead Frame + Wire bonding, 如下图所示

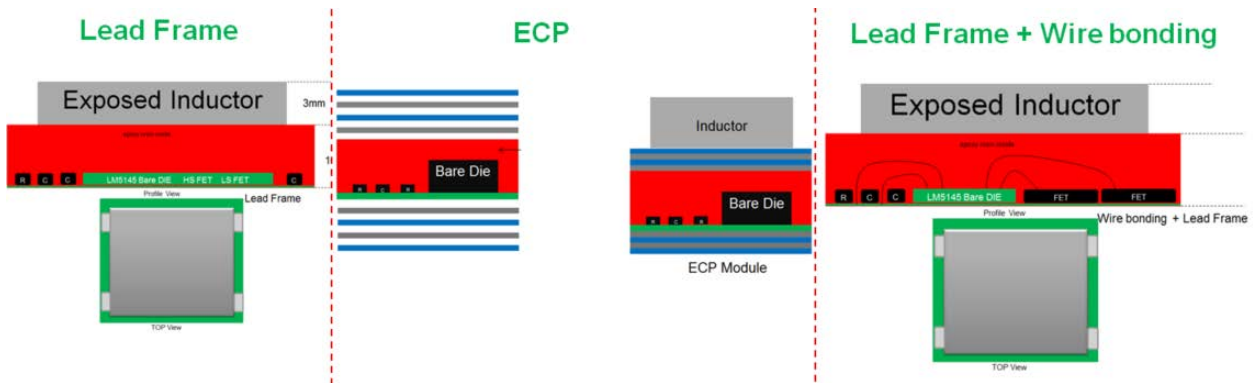


图 1

1.1 框架结构优缺点

框架结构如图 1 所示，它是由底层铜框架和单个裸 die 以及电感组成，电感一般位于整个器件的上方以节省面积同时裸露在外便于散热。

这种结构由于使用单裸 die 的单晶工艺，受限于单晶工艺，效率受到一定限制，一般输出电流在 20A 以内。

同时这种结构对于裸 die 自身工艺要求并不高，没有层厚，开窗，RDL 等特殊要求，因此加工简单，成本便宜，同时框架结构散热效果较好。但是由于只有一层铜框架，因此在走线上面需要使用跨接方式，也就是信号线需要穿过电阻或电容中间区域，因此需要选择较大的外围器件，整体 PSIP 尺寸略大。

因此在追求极致尺寸同时又有一定成本压力的通信应用，框架结构最好的电流应用范围一般在中压（3V-20V）6A 以内。

1.2 ECP 结构的优缺点

ECP 结构如图 1 中间所示，它是由 4 层 PCB，中间框架，单个裸 die 以及电感组成，电感一般位于整个器件的上方以节省面积同时裸露在外便于散热。

这种结构同样使用单裸 die 的单晶工艺，受限于效率，散热能力等因素，一般输出电流在 20A 以内。

但是由于有 PCB 的存在，可以通过过孔形式走线，因此外围器件可以选择最小封装尺寸，所以最大的优势在于可以实现尺寸极小化。

同时 ECP 结构对于裸 die 具有很高的要求，受限于模具，一般对裸 die 的高度有一定要求，同时由于防氧化要求和加工精度要求对 RDL 铜层厚度，开窗尺寸都有一定限制，因此这类裸 die 需要专门的器件。整体封装成本也会比其他架构要高，随着加工工艺和结构的改进，未来 ECP 成本将会有较大的空间，因此这种 PSIP 模块将会变得越来越主流。

1.3 框架加金线结构的优缺点

框架金线结构如图 1 右边所示，它由多个裸 die，底层框架，金线以及电感组成，电感一般位于整个器件的上方以节省面积同时裸露在外便于散热。

这种结构使用多 die 合封工艺，die 的衬底使用框架，die 与 die 之间使用金线连接，同时信号线也可以通过金线打到框架，因此也可使用较多的最小封装器件。由于多 Die 结构可以使用 FET die 与控制 die，整体 PSIP 模块效率会得到较大提升，同时由于良好的散热性也可以承受一定的热耗。因此这种结构多用于大电流大功耗应用（4.5V – 60V 输入 5A-20A 输出），受限于封装可靠性，最大尺寸一般需要小于 14mmx14mm，因此功耗在 85 度通信环境温度下一般都可以承受几瓦的功耗，实际功耗还需取决于结构设计。

这种结构对裸 die 自身工艺要求并不高，但是整体尺寸相比 ECP 结构依然偏大，同时成本由于工序较多，因此相比框架结构也有一定的增加。

2 TPS62085 DCS 控制模式原理及优点

DCS 控制（Direct Control with Seamless Transition to Power Save Mode）是 TI 针对低静态电流同时又对动态响应和输出电压静态精度有较高要求的场合而推出的一种控制技术。

图 2 为 DCS 控制的方框图，本质上 DCS 控制与传统的迟滞控制，COT（Constant ON Time）或 DCAP(Adaptive On-Time control)控制是类似的，但是 DCS 控制结构上多一个误差放大器，这个误差放大器可以有效解决使用 RCC 电路而导致的负载调整率变差的问题。接下来我们会详细讨论 DCS 控制的原理以及优点。

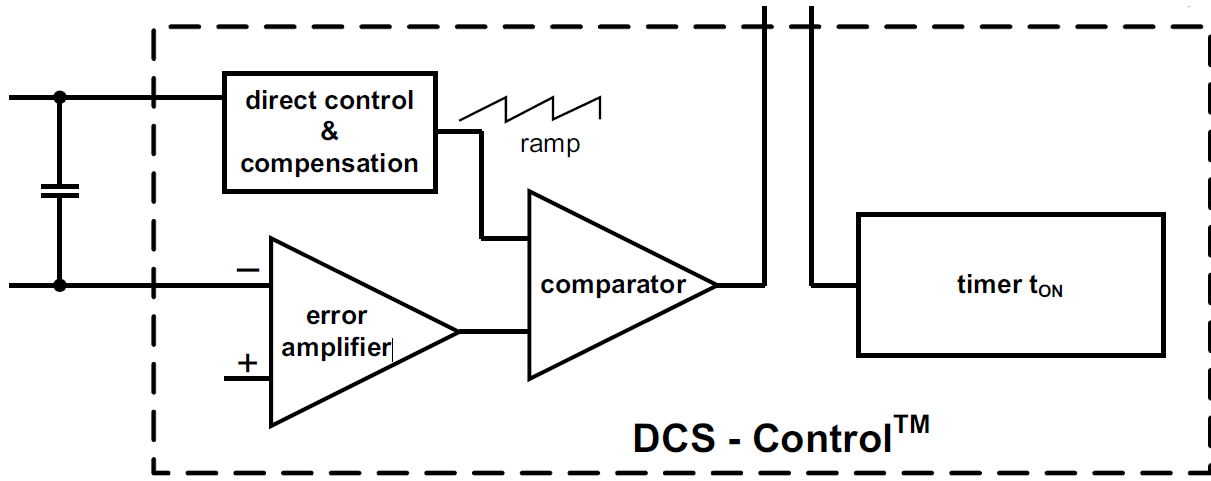


图2

我们知道基于 COT 控制方式的芯片本质上是利用了伏秒平衡的概念来实现对输出电压的稳压控制，图 3 为 COT 的控制框图和工作状态描述。

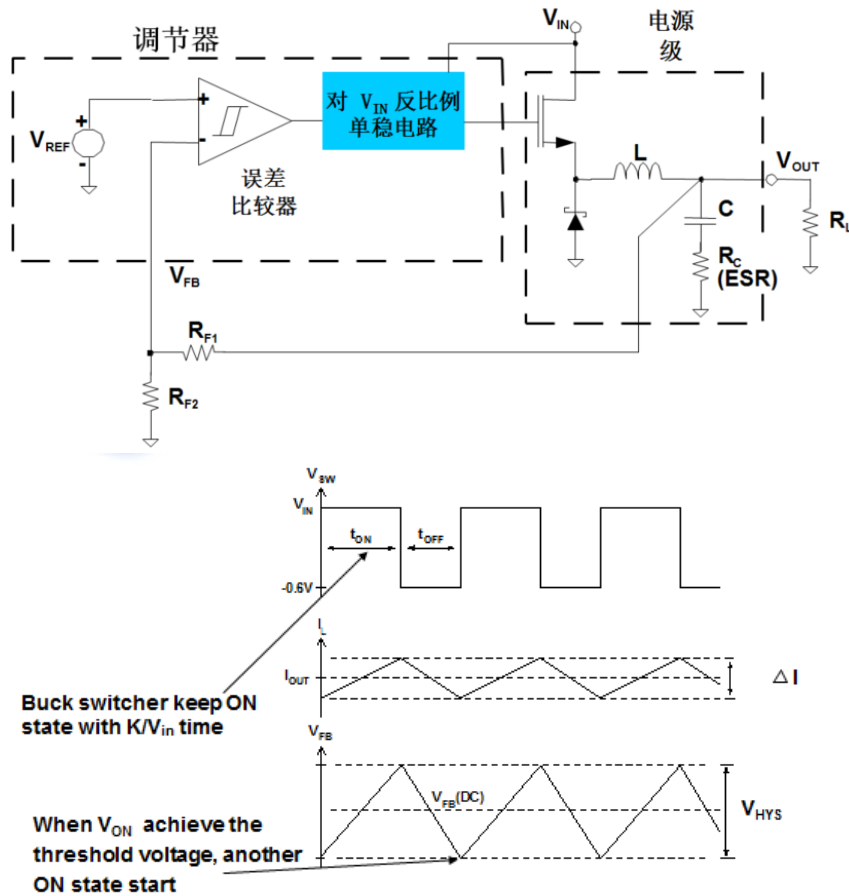


图3

通过图 3 我们可以看出，COT 控制非常简单，当 V_{fb} 相交于 V_{REF} ，开关管打开，持续一个与输入成反比的固定时间后，主开关管关断，完成一个工作周期。DCAP 等较为高级的 COT 控制方式在 ON 时间的设定上会加入一个与输出成正比的因子保证开关频率在不同输出电压的稳定性。

这里可以看到图 3 的 V_{fb} 的电压波形与电感电流波形几乎是同相位的，这是因为 COT 工作需要一定的电容的 ESR，电感电流在 ESR 上形成的纹波电压远大于电容容量本身在周期内充放电的变化值，这就和电流型控制类似，在 ESR 占主导的 COT 控制电路里，我们可以理解这个系统为一个单极点系统，天然具有稳定性，在 DCAP 等高级 COT 控制里面会通过 RCC 等方式来采取与电感电流同相位的电压信号来做控制避免 ESR 采样方式导致的纹波较大的问题。如果电容容量本身在周期内的充放电变化值相较于 ESR 的纹波电压更大会导致控制上的不稳定，下面我们在讨论 DCS 控制的临界稳定性上会有专门的介绍。

同时 COT 控制方式也具有非常好的动态响应，由于采用的是比较器方式来决定上管导通时机，当输出负载由轻到重，输出电压会有一个跌落，反应在 V_{fb} 电压也会使得 V_{fb} 电压相对于 V_{REF} 电压更低，这个时候触发比较器，PWM 输出一个 ON time 时间，如果在 ON time 时间内 V_{fb} 依然低于 V_{REF} ，一般 COT 包括 DCAP 控制会经过一个最小关断时间后再触发一个 ON time 时间，也就是说，如果输出负载突然有一个较大的跳变，PWM 控制会立即开启一个 ON time 时间同时经过最小关断时间之后再次开启一个 ON time 时间以 PWM 控制器所能达到的最大占空比来完成动态调整过程，相对于其他传统控制模式如电压型电流型来说，COT 控制方式对于动态响应是实时的通过最大占空比来实现电感电流最大化的提升，实现快速的动态响应过程。这个时候开关频率会有所变化，图 4 是 COT 控制的动态响应波形。

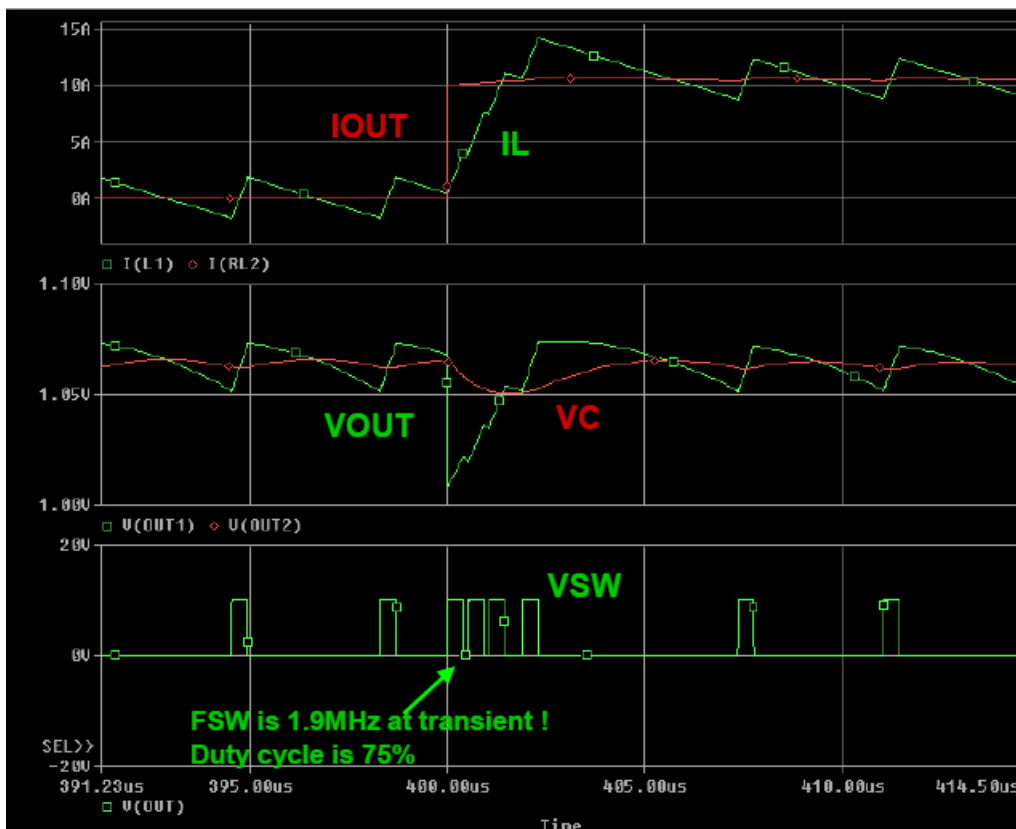


图 4

图 5 是 DCS 控制的方框图与电路结构图，从图中我们可以看到，DCS 控制利用与电感并联的 $R1, C1$ 产生与电感同相位的 RAMP 波形用以作为比较器反向输入的控制信号，同时增加一个误差放大器，利用误差放大器的输出作为比较器同相输入的参考信号。相对于传统的 COT 比较方式 $(V_{FB}+RAMP)-V_{REF}$ ，这种方式带来输出电压的线性调整率较差的问题，DCS 采用了误差放大器对 V_{FB} 电压与参考电压进行比较，输出一个比较电平与 RAMP 信号做为比较器的输入，这样就完全避免了由于 RAMP 信号在不同占空比条件下产生的不同峰峰值与 RC 采样导入的 offset 电压而导致的输出电压线性调整率不好的问题。同时 DCS 控制方式引入了上管峰值电流保护，因此容许 100% 占空比，不同于 COT 上存在的最小关断时间要求，DCS 控制容许 100% 占空比可以使得动态响应能力更强，在小电流场合 DCS 控制在保证可靠性的前提下由于有更好的动态性能，可以容许更小的输出电容节省电源方案的面积。

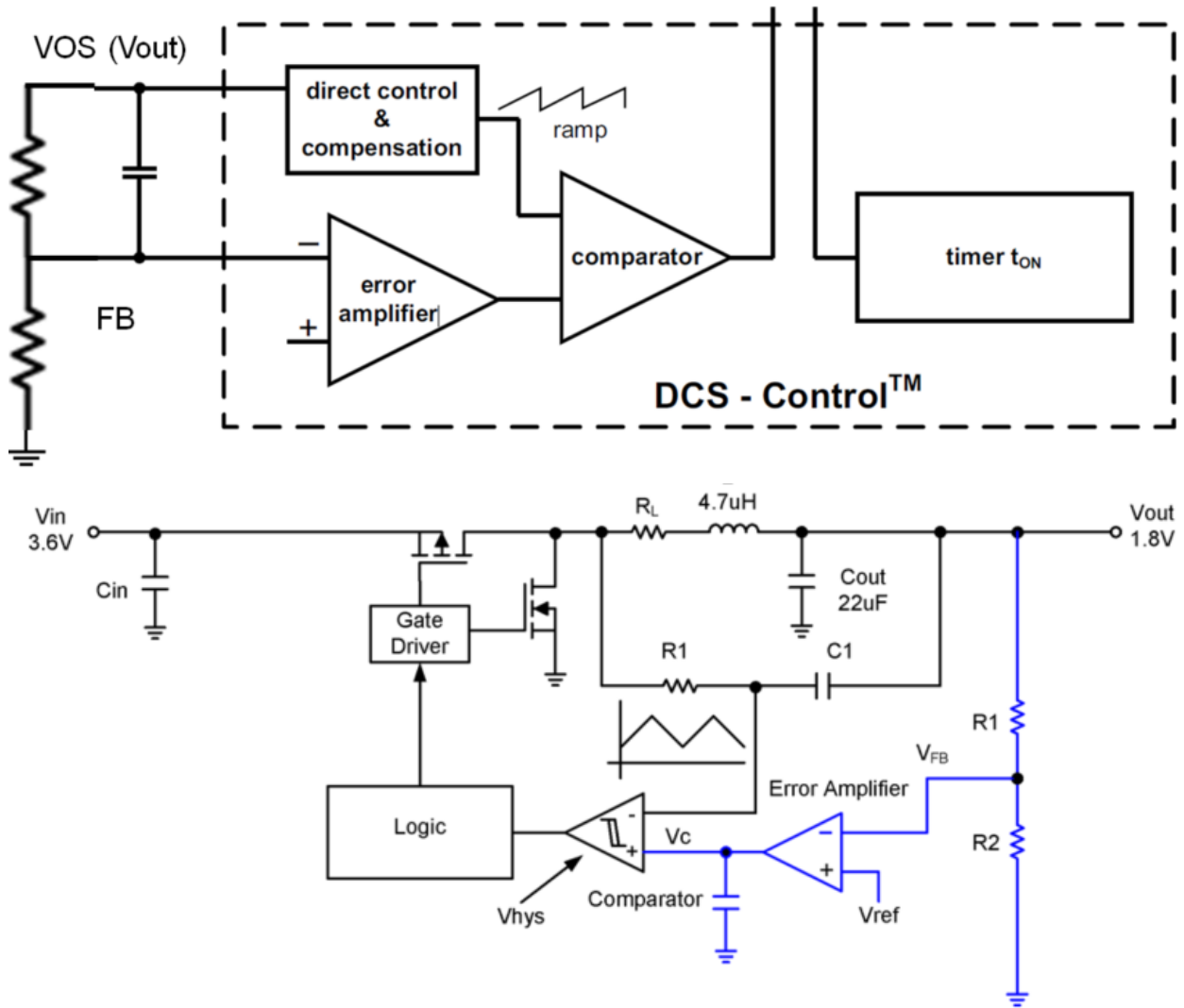


图 5

3 基于 DCS 控制模式的 TPS62085 PSIP 模块主要问题以及方案

4.1 如何判断 DCS 控制在 BUCK 和 BUCK-BOOST 的临界稳定性与最小输出电容的选择

对于 PSIP 模块来说，追求的是整体尺寸的最小化与外围器件的最少化。由于电感，芯片集成在一个模块里面，主要的尺寸瓶颈就集中在以下几个方面：

- 1, 模块本身的尺寸大小
- 2, 输出电容的尺寸

TI 基于 DCS 控制的芯片主要集中在小电流场合，因此 ECP 结构就是最优化的选择，通过把芯片埋在 PCB 基板里面同时利用 PCB 走线可以最小化的通过内部连线把电感与部分阻容封装在一起。

对于输出电容的选择，由于 DCS 控制本身的动态能力可以使得输出电容在与同类型器件相比具有更小的优势，但是如何判断最小输出电容的容量对于客户来说是一个难点，下面将会介绍在 BUCK 模式与 BUCK-BOOST 模式下满足稳定性临界条件的最小输出电容要求：

DCS 控制在 BUCK 模式下面的最小输出电容要求：

图 6 为基于 DCS 控制的 TPS62085 内部结构图

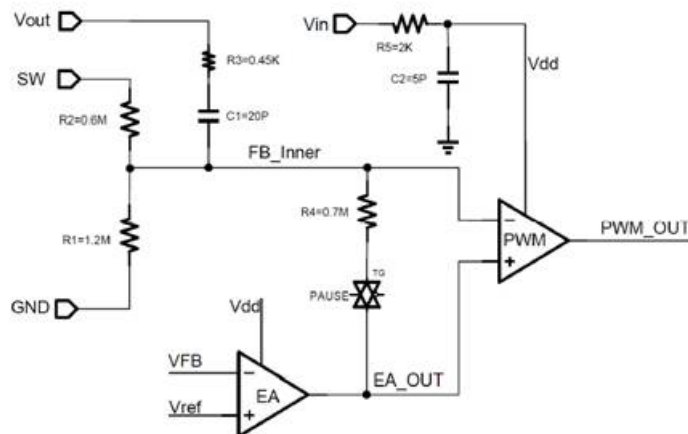


图 6

DCS 控制本质上与 COT 控制方式是一致的，对于满足最小稳定性要求来说，需要满足在 ON time 结束以后，图 6 的 FB_Inner 电压高于 EA_OUT 电压。如图 7 所示. 对于 EA_OUT 电压来说，在一个稳态条件下，它相当于一个直流电平,因此我们可以推导出：

$$V_{FB_INNER}(t) = V_{EA_OUT} + \frac{V_{in} \times 2}{3} - V_{out} + \frac{1}{0.6M \times 20p} t + R_c \times m \times t + \frac{1}{c} \int (-\Delta I + mt) dt$$

其中： $\frac{V_{in} \times 2}{3} - V_{out}$ 为 C1 电容上的 RAMP 电压， $R_c \times m \times t$ 为输出电容上的 ESR 电压， $\frac{1}{c} \int (-\Delta I + mt) dt$ 为输出电容在电感电流充电下的纹波电压， $m = \frac{di}{dt} = \frac{V_{in} - V_{out}}{L}$ ， $\Delta I = \text{电感纹波电流}/2$

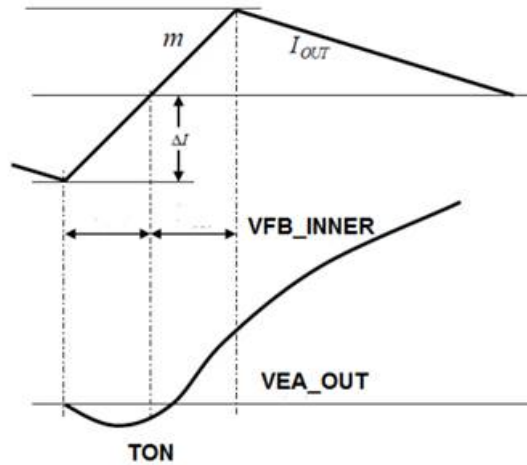


图 7

要满足最小稳定要要求，我们要求：

当 $t = T_{on}$ 的时候：

$$V_{FB_INNER} - V_{EA_OUT} > 0 \tag{1}$$

$$\frac{V_{in2} - V_{out}}{0.6M \cdot 20p} TON + R_c \cdot m \cdot TON - \frac{m \cdot TON^2}{C} + \frac{m \cdot TON^2}{2C} > 0 \tag{2}$$

$$\frac{\left(\frac{V_{in2} - V_{out}}{3}\right)L}{(0.6M \cdot 20p \cdot (V_{in} - V_{out}) + R_c) \cdot C} > \frac{TON}{2} \tag{3}$$

(3) 式我们可以看出， V_{in} 范围， V_{out} ， L ， TON 为已知参数，同时 C 和 R_c 为关联参数，因此可以很方便的通过工具来得到最小电容容量。实际设计中我们需要在再乘以 1.5-2 倍的 $TON/2$ 再加上 15 毫伏的 offset 以留有一定裕量确保在寿命期有足够的稳定性。

同时客户往往也会把 BUCK 模块用来实现负压输出，结构变为 BUCK-BOOST，因此也需要一个在 BUCK-BOOST 结构下的最小输出容量的方法来尽量减小占板面积，下面是基于 BUCK-BOOST 结构的最小稳定性要求。

根据 BUCK-BOOST 的结构，同理我们可以推导出：

$$\frac{V_{in2} - 0}{0.6M \cdot 20p} TON - R_c \cdot I_o - \frac{I_o \cdot TON}{C} - 15mV > 0 \tag{1}$$

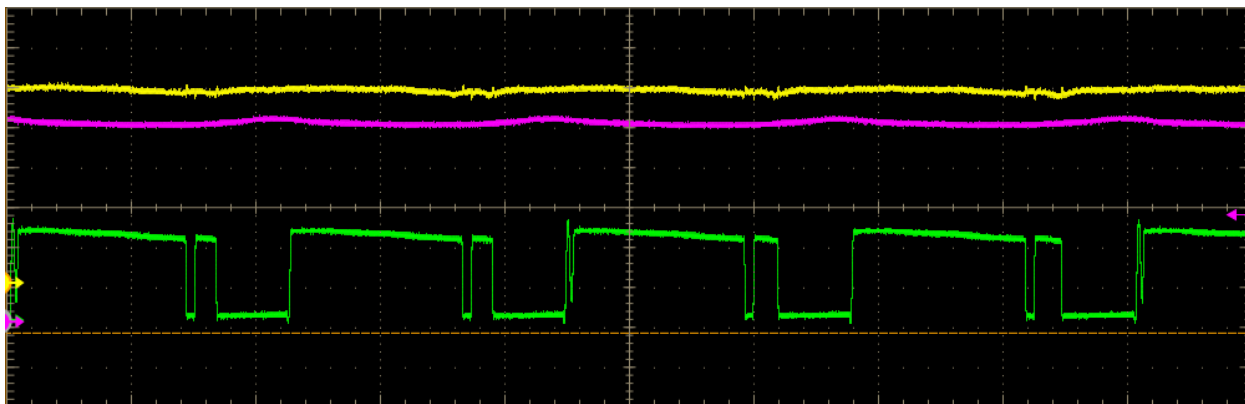
定义 $\frac{V_{in2}}{0.6M \cdot 20p} = a$

那么最小输出电容为：

$$C_{min} = \frac{I_o \cdot TON}{a \cdot TON - R_c \cdot I_o - 15mV}$$

其中 15mV 为 offset 电压， I_o 为输出电流， R_c 为输出电容 ESR

从这个式子我们可以看出，对于 BUCK-BOOST 结构来说， TON 期间，输出电容是一直处于放电状态，为了满足最小稳定性要求，需要的最小电容远远大于 Buck 结构，以下是不满足最小电容容量要求其中一种波形。绿色为 SW 对地的波形。



4.2 测试基于 DCS 控制环路稳定性的方法

同时对于 PSIP 模块设计来说，为了实现占板面积最小化，会尽量把外围器件集成在模块内部，有时候环路测试由于器件的集成也无法测试，客户会面临如何判断电源稳定性和相位裕量的问题。下面将会介绍一种通过外围波形来判断稳定性与相位裕量的方法。

根据 fundamentals of power electronics 的第 9.4 章节，对于一个二阶系统，它的开环传递函数关系我们可以定义为

$$T(s) = \frac{1}{\left(\frac{s}{\omega_0}\right)\left(1 + \frac{s}{\omega_2}\right)}$$

因此闭环传递函数为

$$\frac{T(s)}{1 + T(s)} = \frac{1}{1 + \frac{1}{T(s)}} = \frac{1}{1 + \frac{s}{\omega_0} + \frac{s^2}{\omega_0\omega_2}}$$

再进一步变换为

$$\frac{T(s)}{1 + T(s)} = \frac{1}{1 + \frac{s}{Q\omega_c} + \left(\frac{s}{\omega_c}\right)^2}$$

其中

$$\omega_c = \sqrt{\omega_0\omega_2} = 2\pi f_c \quad Q = \frac{\omega_0}{\omega_c} = \sqrt{\frac{\omega_0}{\omega_2}}$$

相位裕量与 Q 值之间的关系如下式：

$$\varphi_m = \tan^{-1} \sqrt{\frac{1 + \sqrt{1 + 4Q^4}}{2Q^4}}$$

图 8 为相位裕量与 Q 值的直观关系

Q vs. φ_m

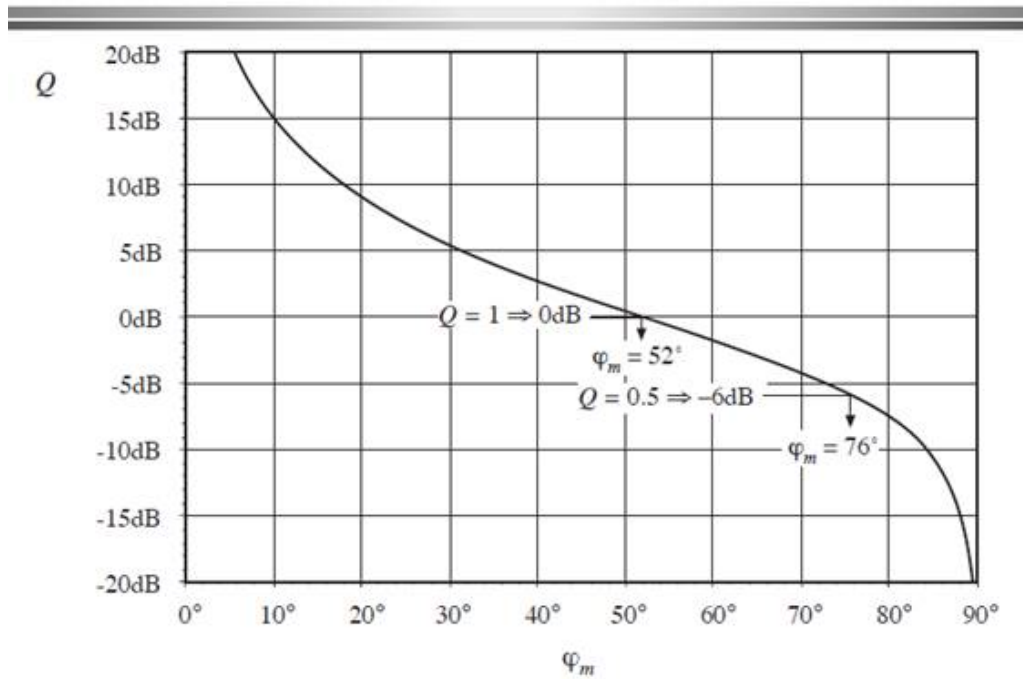


图 8

如果二阶系统的输出有一个阶跃响应，也就是我们所说的动态响应，那么式子可以变换为如下：
分为 $Q > 0.5$ 和 $Q < 0.5$ ：

在 $Q > 0.5$ 的时候，下面为输出特性公式，输出响应为正弦阻尼，可以预测到输出必然是呈现阻尼振荡的

$$\hat{v}(t) = 1 + \frac{2Q e^{-\omega_c t / 2Q}}{\sqrt{4Q^2 \pm 1}} \sin \left[\frac{\sqrt{4Q^2 \pm 1}}{2Q} \omega_c t + \tan^{-1}(\sqrt{4Q^2 \pm 1}) \right] \quad Q > 0.5$$

在 $Q < 0.5$ 的时候，下面为输出特性公式，输出响应为 e 指数形式，可预测到输出必然是一个抛物线形状

$$\hat{v}(t) = 1 \pm \frac{\omega_2}{\omega_2 \pm \omega_1} e^{\pm \omega_1 t} \pm \frac{\omega_1}{\omega_1 \pm \omega_2} e^{\pm \omega_2 t} \quad Q < 0.5$$

图 9 为不同 Q 值对应的输出特性曲线

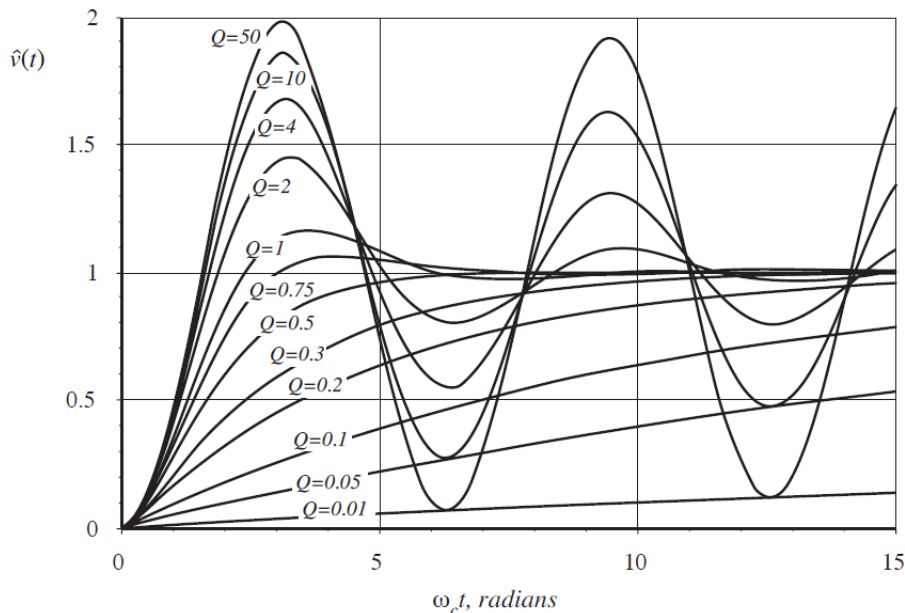


图 9

这个特性实际上同样可以反应在电源里面，在电源的输出做相关负载动态跳变，通过观察输出电压的动态波形我们可以较为准确的判断相位裕量。

由于我们对于相位裕度的要求是大于 40 度，通过上面的公式我们可以知道 Q 值必然在 2 以下才能满足要求，通过 Q=2 在图 9 上的特性，我们可以简单的通过输出电压的动态响应来判断环路的相位裕度，实际测试中相位裕度与实际值基本接近，所以这种折中方式是可以用于 PSIP 电源的相位裕度分析。

图 10 为不同动态波形对应的相位裕度。

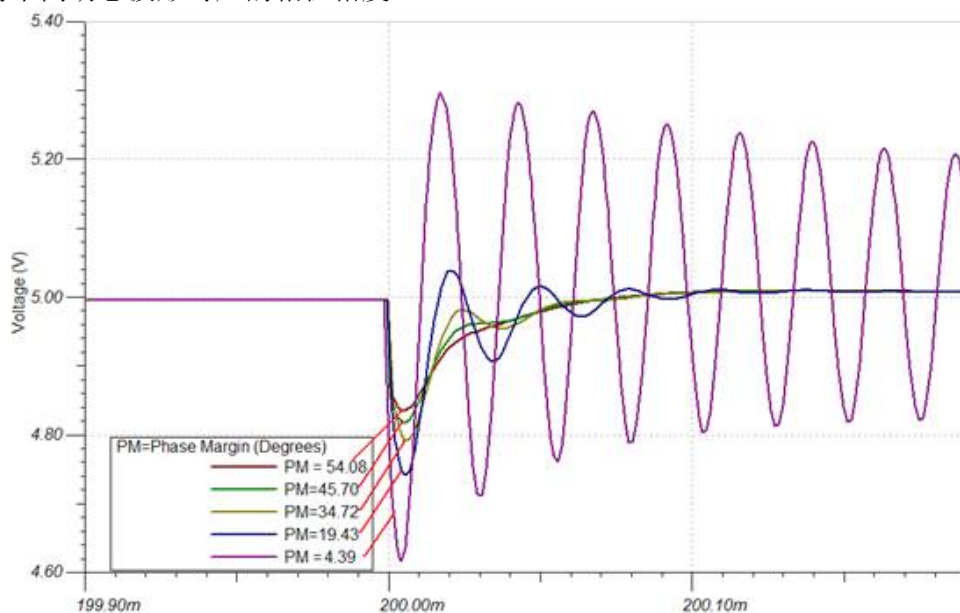


图 10

4 结论

DCS 控制具有较高的负载调整率同时也具有非常好的动态响应能力，对于小电流的 PSIP 模块应用来说是非常好的一种控制方式，通过合理的选择外围功率器件并通过折中测量方式可以实现最小尺寸电源方案。

5 参考资料

- DCS Control Training Tokio July 12
- Fundamentals of Power ElectronicsG

有关 TI 设计信息和资源的重要通知

德州仪器 (TI) 公司提供的技术、应用或其他设计建议、服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用；如果您（个人，或如果是代表贵公司，则为贵公司）以任何方式下载、访问或使用了任何特定的 TI 资源，即表示贵方同意仅为该等目标，按照本通知的条款进行使用。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。

您理解并同意，在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，以及您的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。就您的应用声明，您具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。您同意，在使用或分发包含 TI 产品的任何应用前，您将彻底测试该等应用和该等应用所用 TI 产品的功能而设计。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

您只有在为开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关单项 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与使用 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对 TI 资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。

TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为您辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

您同意向 TI 及其代表全额赔偿因您不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

本通知适用于 TI 资源。另有其他条款适用于某些类型的材料、TI 产品和服务的使用和采购。这些条款包括但不限于适用于 TI 的半导体产品 (<http://www.ti.com/sc/docs/stdterms.htm>)、[评估模块](http://www.ti.com/sc/docs/sampters.htm)和样品 (<http://www.ti.com/sc/docs/sampters.htm>) 的标准条款。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2018 德州仪器半导体技术（上海）有限公司