

USB 2.0 电路板设计及布线指南

DSPS Applications

摘要

本应用报告探讨了通用串行总线 (USB) 系统电路原理图设计的若干指导原则。

内容

1	背景	1
2	USB 物理层 (PHY) 布线指南。	1
3	静电放电 (ESD)	7
4	参考书目	9

图片列表

1	推荐的大大减少 EMI 的阵列电容器和铁氧体磁珠	2
2	四层板堆叠	3
3	USB 连接器	4
4	3W 间隔规则	4
5	至 USB PHY 的电源及时钟连接	5
6	USB PHY 连接器及线缆连接器	5
7	避免跨层边界走线	6
8	避免层交叠	6
9	避免损坏镜像层	7

图表列表

1 背景

在 USB 设计中, 时钟频率提供了主要的信号源。USB 差分 DP/DM 对运行在 480Mbps 的高速模式下。系统时钟可工作于 12 MHz, 48 MHz 及 60 MHz 上。USB 线缆可运行为一个单极天线; 因此必须小心防止 RF 电流耦合至线缆上。

当设计一个 USB 电路板时, 最关注的信号是:

- 器件接口信号: 运行在印刷电路板 (PCB) 上的器件之间的时钟和其它信号/数据线路
- 线缆输入/输出供电: USB 连接器插槽引脚 1(VBUS) 可能被严重滤波, 仅可通过低于大约 100KHz 的低频信号。USB 插槽的引脚 4 (模拟接地) 必须能够返还数据传输期间的电流, 且必须进行基本的滤波。
- 通过线缆, DP 及 DM 输出的差分双绞线对信号: 根据数据传输率的不同, 这些器件端子可给出具有 240MHz (高速), 6MHz (全速), 750kHz (低速) 基频的信号。
- 外部晶振电路 (器件端子 X1 和 X0): 12MHz, 19.2MHz, 24MHz 和 48MHz 基频。当使用一个外部晶振作为基准时钟时, 强烈推荐使用一个 24MHz 和更高频率的晶振。

2 USB 物理层 (PHY) 布线指南。

以下部分详细描述了 USB PHY 布线的专用指南。

All trademarks are the property of their respective owners.

2.1 一般走线和安置

当为 USB 物理层 (PHY) 安排一个全新设计时，使用以下的走线和安置指导原则。此类指导原则有助于大大减少 4 层或更多层级评估板 (EVM) 上的信号品质及电磁干扰 (EMI) 问题。

- 首先将 USB PHY 和主要组件放置在未走线电路板上。详细信息请参见节 2.2.3。
- 用最小的迹线长度传送高速时钟和高速 USB 差分信号。
- 只要条件允许，在最接近接地层的层上传送高速 USB 信号。
- 使用最少的导孔和拐角传递高速 USB 信号。这减少了信号反射和阻抗变化。
- 当不得不采取 90° 弯折走线时，以两个 45° 弯折或圆弧形的走线替代单个 90° 的弯折。以通过大大减少阻抗不连续性来减少信号迹线上反射。
- 不要将 USB 迹线布置在晶振、振荡器、时钟信号发生器、开关稳压器、安装孔、磁性器件或使用、复制时钟信号的集成电路 (IC) 以下或靠近这些器件。
- 避免因高速 USB 信号上的残桩而引起信号的反射。如果残桩无法避免，则残桩应短于 200mil。
- 通过连续层 (V_{CC} 或 GND) 实现无断高速 USB 信号迹线。避免层分割中常见的交叉分隔覆铜问题。

2.2 针对 USB PHY 布线的专用指南

以下部分详细描述了针对 USB PHY 布线的专用指南。

2.2.1 模拟、锁相环 (PLL) 和数字电源滤波

为了大大减少 EMI 辐射，在模拟、锁相环 (PLL) 和芯片数字部分的电源端子上添加具有铁氧体磁珠的去耦合电容器。将这个阵列放置在尽可能靠近芯片的位置来大大减少线路的电感以及系统内的噪声。图 1 中显示了一个模拟和数字电源示例。在具有同样功能的多个电源引脚的情况下，将它们一起接至电路板上的一个单个低阻抗点上，然后除了铁氧体磁珠以外，添加去耦合电容器。这个电容器和磁珠阵列改进了 EMI 和滤波性能。在更改配置前，请将 EMI 和抖动考虑在内。

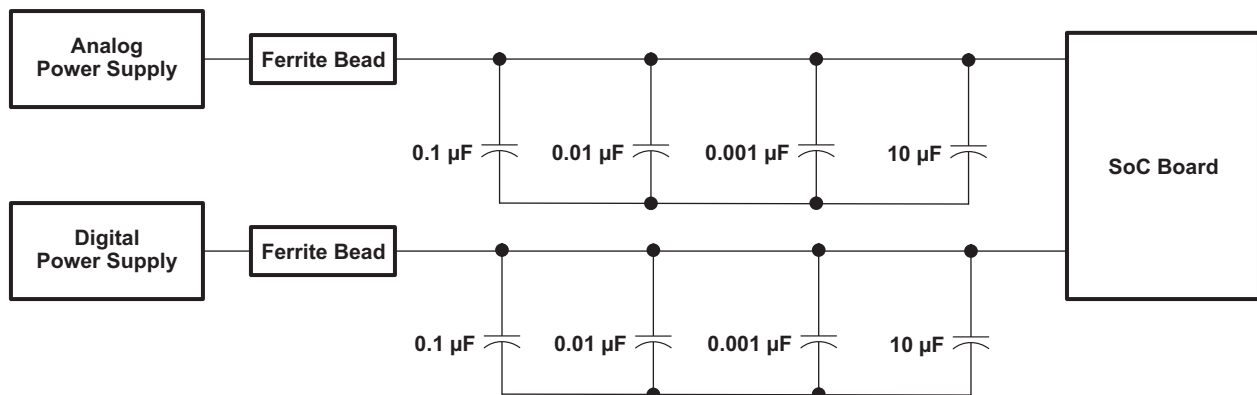


图 1. 推荐的大大减少 EMI 的阵列电容器和铁氧体磁珠

考虑下面列出的建议以实现合适的 ESD/EMI 性能。

- 在每条连接至 USB 连接器引脚旁的外壳 GND 的线缆电源 VBUS 线路上使用一个 0.01 μ F 电容器。
- 在每条连接至 USB 连接器引脚旁的外壳 GND 的线缆接地线路上使用一个 0.01 μ F 电容器。
- 如果使用了电压稳压器，在输入和输出上放置一个 0.01 μ F 电容器。这是为了增加 ESD 抗扰度并减少 EMI。对于其他要求，请见器件专用数据表。

2.2.2 模拟、数字及 PLL 的剖分

如果使用了独立的电源层，它们必须通过一个低阻抗桥或者最好是通过一个铁氧体磁珠被接在一点上。在对每个靠近器件的电源轨进行电容去耦合操作时必须小心。模拟接地、数字接地和 PLL 接地被一起接至低阻抗电路板接地层上。

2.2.3 电路板堆叠

由于 USB 具有相关的高频特性，因此所推荐的印刷电路板至少为 4 层；两个信号层划分为接地层及电源层，如图 2 所示。

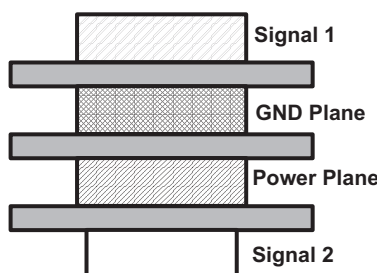


图 2. 四层板堆叠

绝大多数信号走线应布置于单一块层上，最好为 SIGNAL1。与该板层直接相邻的应为 GND 层，采用无分割的整体的板层结构。请避免在接地或电源层的开口处布置信号走线。当跨越层面分割口的走线不可避免时，必须进行充分的去耦合处理。最大程度的降低信号导孔的数量则可降低高频情况下的磁感，从而降低 EMI。

2.2.4 线缆连接器插槽

线缆连接器插槽直接短接至小型外壳接地层（GND 带），该外壳接地层直接位于连接器插槽的底部。这样，EMI（及 ESD）信号在进入 USB 线缆前直接短路至外壳接地。这个蚀刻层应尽可能的大，但是所有连接至连接器引脚 1 至 6 的电感器的下方必须有电路板信号 GND 层。在必要时，外壳接地带的蚀刻可延伸接出，以允许信号地扩展至连接引脚的下方。请注意，考虑到滤波可能置于连接器引脚与层之间，引脚 1 及 4（VBUS 电源及 GND）的蚀刻覆铜应尽可能的宽，并通过导孔尽快地连接至各自的层。电路原理图请见图 3。

在 USB 连接器插槽附近将线缆套管与铁氧体磁珠串联，以防止电磁干扰信号进入至线缆套管。100MHz 时，线缆套管与接地之间的铁氧体磁珠的电阻值介于 10 Ω 至 50 Ω （信号频率时）之间；它应在接近 1GHz 时呈现电阻特性。为防止 EMI 进入至线缆总线供电导线（很大的天线），应同时采用铁氧体磁珠与线缆总线电源，在 USB 连接器引脚 1 附件的 VBUS，串联。100MHz 时，连接器插口引脚 1 与总线电源之间的铁氧体磁珠的电阻值介于 47 Ω 至大约 1000 Ω 之间。它应该在接近 1GHz 时持续呈现出电阻导通特性，如图 3 所示。

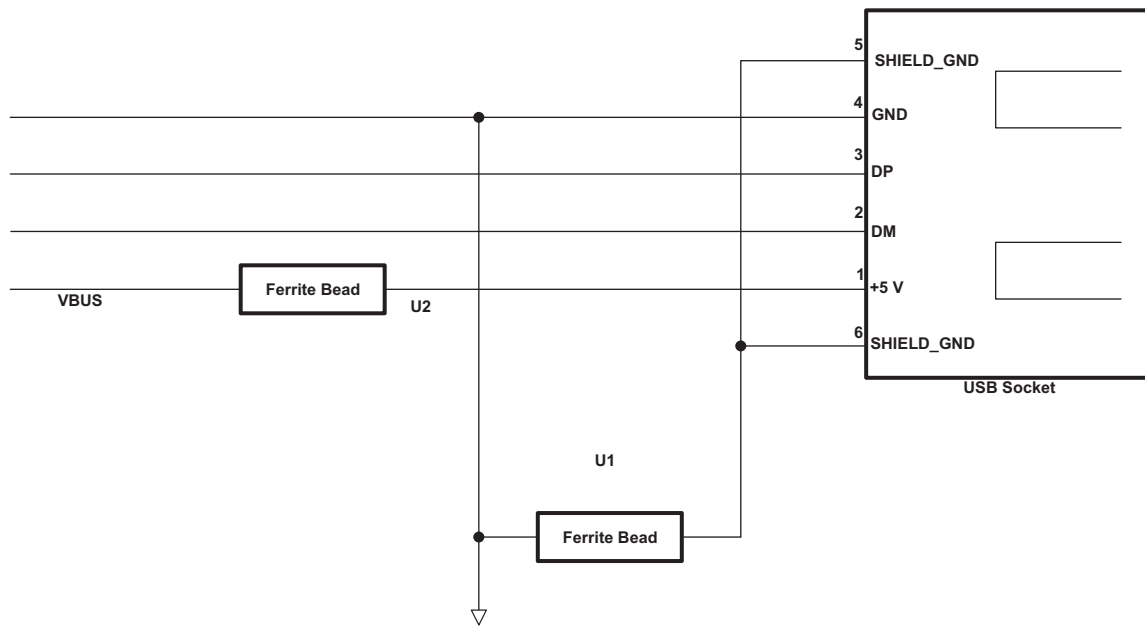
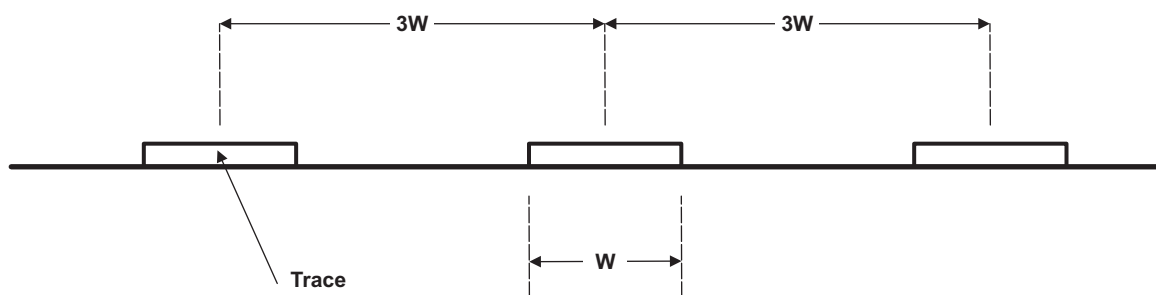


图 3. USB 连接器

2.2.5 时钟走线

为了解决器件间时钟辐射的问题，请将一个大约为 10 至 130Ω 的电阻器与时钟信号串联。采用试错法，在高速示波器上查看时钟波形的形状，并调节电阻值，以大大减少波形失真。此电阻值应尽可能的小以实现预期效果。电阻应靠近生成时钟信号的器件。如果采用了外部晶振，则应遵循《德州仪器 (TI) USB 2.0 器件所用晶振的选择和技术规格》(SLLA122) 中详述的指导原则。

当进行器件间时钟迹线的布线时，可尝试使用 $3W$ 间隔规则。时钟迹线的中心至任意邻近信号迹线中心的距离应至少为时钟迹线宽度的 3 倍。许多时钟，其中包括低频时钟，可具有很快的上升和下降时间。采用 $3W$ 规则可削减迹线间的串扰。一般来说，器件间并行的走线之间也应当保持一定的空间。避免采用直角来布置走线，以大大减少走线长度及阻抗的不连续性。要进一步保护器件不受串扰影响，尽可能地在时钟信号线旁侧布置保护迹线 (GND 引脚至 GND 引脚)。如图 4 所示，这样可减少时钟信号耦合。


 图 4. $3W$ 间隔规则

2.2.6 晶振/振荡器

将晶振及其负载电容靠近 USB PHY 引脚，XI 及 XO (请见图 5)。请注意，源自电源或大电容器的频率可能导致时钟内部的调制，因此不应放置于靠近晶振的位置。在这些实例中，会发生诸如丢包等错误。设计中还可整合一个与晶振并联的电阻占位器，以用于辅助振荡器启动。

功耗与电流的平方成比例。电流为 $I = C \cdot dv/dt$ ，这是由于 dv/dt 是 PHY 的一个函数，而电流则与电容负载成比例。将负载减至 1/2 会使电流和功率降至初始值的 1/2 和 1/4。要获得与晶振选择相关的详细信息，请参见《德州仪器 (TI) USB 2.0 器件所用晶振的选择和技术规格》(SLLA122)。

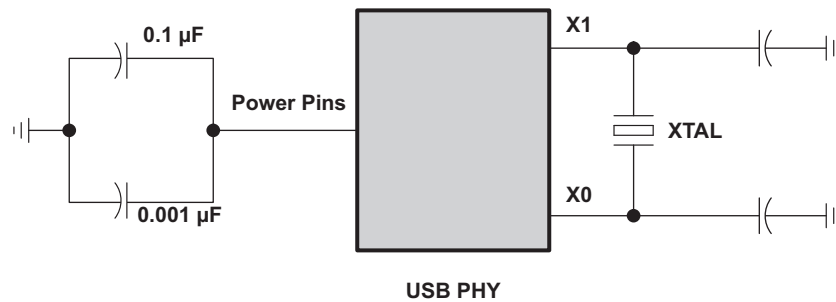


图 5. 至 USB PHY 的电源及时钟连接

2.2.7 DP/DM 迹线

USB PHY 应尽可能的接近 USB 2.0 连接器。高速运转期间，DP/DM 线路上的信号摆幅相对较小 ($400\text{mV} \pm 10\%$)，因此双绞线所拾取的任意差分噪声都会影响接收到的信号。当 DP/DM 迹线不具有任何屏蔽措施时，迹线的运行方式往往像一条天线，有可能拾取环境中周围元件所产生的噪声。为了尽可能的降低这个运行方式的影响：

- DP/DM 迹线应始终保持长度匹配，并且须保持在 4 英寸的长度内；否则，信号眼图的开眼范围将降低（请参见图 6）。
- DP/DM 的走线应尽可能相互接近以实现差分信号的噪声抑制，迹线采取并联，间距不超过 2mil（以芯片封装边界为测量起始点，而非焊球或引脚）。
- 高速 USB 连接通过屏蔽双绞线对实现，此双绞线具有 $90\Omega \pm 15\%$ 的差分特性阻抗。在布线时，DP 及 DM 的阻抗均应为 $45\Omega \pm 10\%$ 。
- DP/DM 迹线不应具有任一额外组件无法以保持信号完整性。例如，迹线不能路由经过两个 USB 连接器。

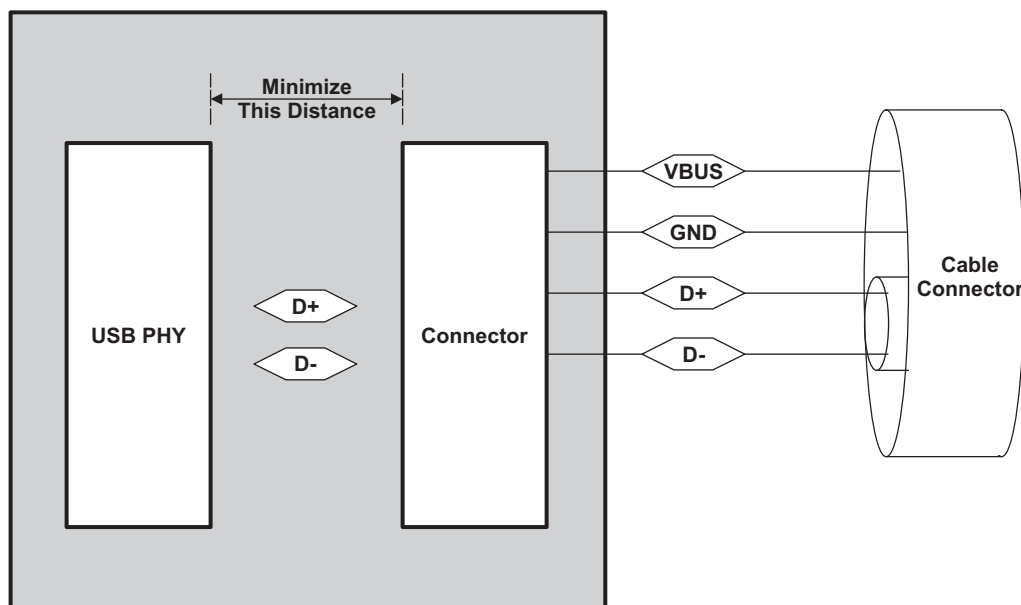


图 6. USB PHY 连接器及线缆连接器

2.2.8 DP/DM 导孔

当必须使用导孔时，增加其周边的间隙尺寸以降低其电容。每一导孔均引入了信号传输线路的非连续性，并增加了来自其他电路板层干扰信号的几率。在设计双绞线上的测试点时须小心；不推荐穿孔引脚的方式。

2.2.9 镜像层

镜像层是一层铜覆层（电压层或接地层），在位置上与信号走线层相邻。使用镜像层可提供低阻抗，实现尽可能短的 RF 电流回归通路。对于 USB 电路板而言，最好的镜像层就是接地层，这是因为可同时用于模拟及数字电路。

- 避免一个层至另一个层的走线。此走线方式将造成断开的 RF 回归通路，导致如图 7 所示的 EMI 辐射环路。对于高频或重复性的信号而言，这一点尤其重要。因此，在多层电路板中，最好的方式是在整体的接地层上方的信号层内进行所有的时钟信号走线。
- 避免高速时钟迹线直接从上方跨越镜像电源或接地层的边界，或直接从分离的层的下方走线。该举措同样保持了双绞线对 (DP, DM) 上信号的真实性。PCB 板信号层顶部及底部的任意未使用区域可采取覆铜，并通过导孔连接至接地层。

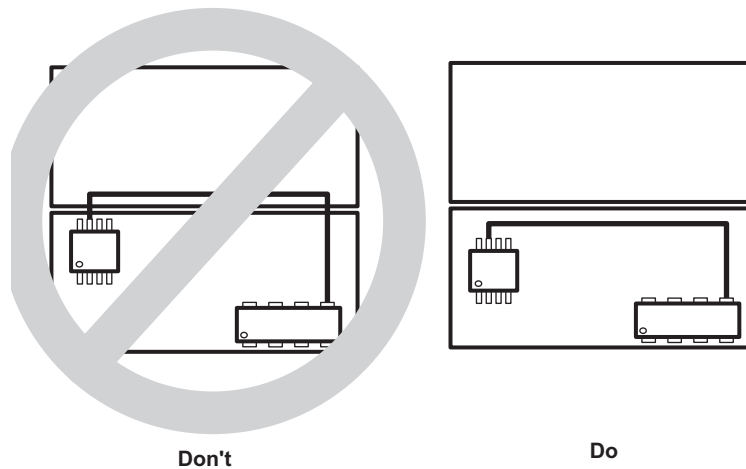


图 7. 避免跨层边界走线

- 层之间不能交叠以避免相互干涉。例如，数字电源层与模拟电源层不应交叠，这是因为交叠区域将形成电容，有可能导致 RF 辐射从一个层导通至另一层，如图 8 所示。

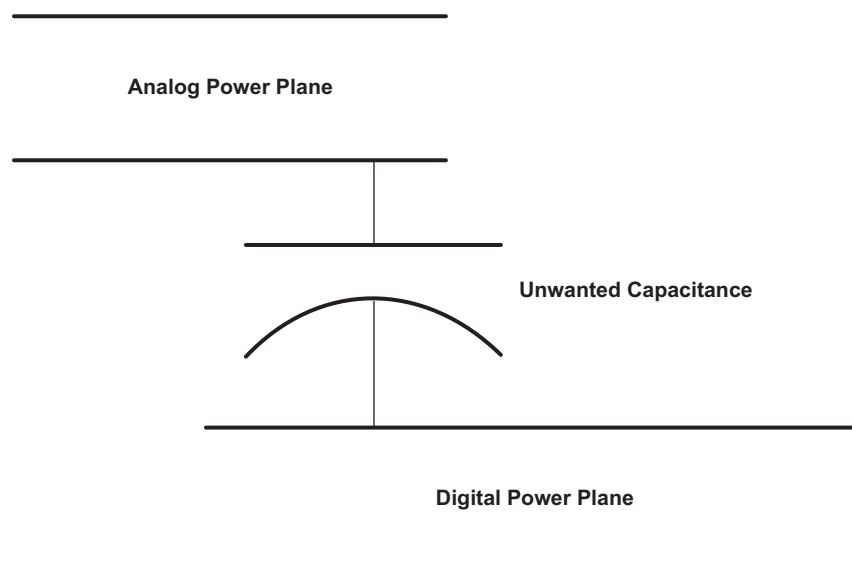


图 8. 避免层交叠

- 避免镜像层损坏。迹线路由在镜像层上开槽将有可能导致 RF 回归环路，如图 9 所示。

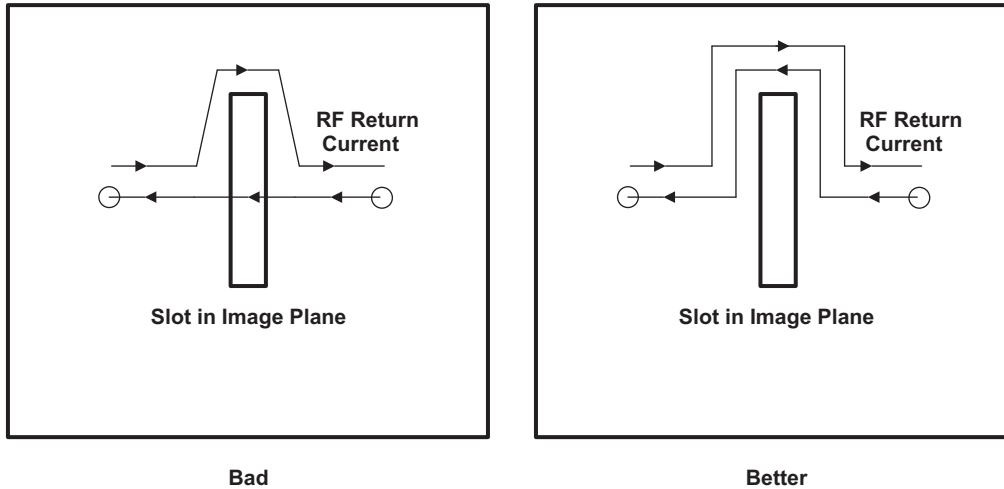


图 9. 避免损坏镜像层

2.2.10 JTAG 接口

片上系统 (SoC) 可提供一个符合 IEEE 标准 1149.7-1990, IEEE 标准测试访问端口及边界扫描架构 (JTAG), 以及串行测试和配置标准的接口 (STCI), 仅用于 USB PHY 的测试及调试。当 JTAG 接口可用时, 保持 USB PHY JTAG 接口小于 6 英寸; 将这个距离保持在较短的水平可以降低源自其他器件的噪声耦合及源自阻抗的信号损失。

2.2.11 电源稳压器

开关电源稳压器是噪声源之一, 当放置于接近电路板敏感区域的位置时, 可能导致噪声耦合。因此, 开关电源稳压器应保持远离 DP/DM 信号, 外部时钟晶振 (或时钟振荡器) 及 USB PHY。

3 静电放电 (ESD)

国际电工委员会 (IEC) 61000-4-xx 是 IEC 提出的一整套约 25 个测试规范。IEC ESD 应力测试在未供电条件下或器件已供电且运转的条件下进行测试。器件必须保持无物理损伤, 且器件必须保持正常运转直至得出应力测试的结论。典型情况下, 设备必须通过 8kV 接触放电及 15kV 空气放电的 IEC 应力测试, 或者更高电压水平的测试。要在欧盟市场上销售产品/系统, 所有产品/系统必须与 CE 标准兼容, 并具有 CE 标识。为获取 CE 标识, 所有的产品/系统都必须通过 IEC 标准的测试并满足其所有需求; 对于 ESD 而言, 其标准是 61000-4-2。61000-4-2 标准要求系统/产品可通过 8kV 接触放电及 15kV 空气放电测试。当进行 IEC ESD 应力测试时, 仅连接至外部环境的引脚需要通过测试。集成电路 (IC) 内的系统直接影响 IC 的运转情况。例如:

- zap 点与 IC 之间的线缆连接衰减了波形的高频分量。
- PCB 板上的串联电感减弱了高频。
- 除非电容的接地连接是电感性的, 否则电容将分流高频至接地。

3.1 IEC ESD 应力测试

下列章节详细描述了 IEC ESD 应力测试模式及测试类型。

3.1.1 测试模式

IEC ESD 应力测试通过两种模式实现: 接触放电模式及空气放电模式。

对于接触放电测试模式，首选的方式是直接接触施加于待测设备 (EUT) 的导电表层。对 USB 系统而言，导电表面是 USB 连接器的外壳。ESD 发生器的电极在放电前保持与 EUT 或耦合层的接触。电弧是在中继器内部在受控条件下产生的，因此会导致一个可重复波形；然而，该电弧并不能真实的再现实际 ESD 事件中电弧的独特特性。

3.1.2 空气放电模式

空气放电通常应用于 EUT 的非导体表面。与直接接触 EUT 不同，ESD 发生器的充电电极置于靠近 EUT 的位置，通过空气中的电火花促使 EUT 放电。与接触放电模式相比，空气放电对实际出现的 ESD 更加实用。然而，由于电弧的长度不同，有可能无法产生重复的波形。

3.1.3 测试类型

IEC ESD 应力测试具有两种测试类型：直接放电及间接放电。间接放电被直接应用于待测设备 (EUT) 的表面或基板。它包括接触放电和空气放电模式。间接放电应用于 EUT 附近的耦合层。间接放电用于模拟人体本身对 EUT 临近目标的放电。它只包括接触放电模式。

3.2 TI 的元件级 IEC ESD 测试

TI 的元件级 IEC ESD 测试仅测试系统级应用中外露的 IC 端子。该测试可用于测定片上保护的稳健耐用性及抗闭锁性。仅当测试后无闭锁且 IC 功能完好时，IC 才能通过 TI 的元件级 IEC ESD 测试。

3.3 定制化 USB 连接器的构建

标准的 USB 连接器，不管是类型 A 或类型 B，均可提供良好的 ESD 防护性能。然而，如果需要定制化的 USB 连接器，则应遵循下列的指导原则以确保良好的 ESD 防护性能。

- 在连接器旁，应有一个可轻松接入的屏蔽层，以用于空气放电模式。
- 将连接器的输出屏蔽端接至 GND。当线缆插入至连接器时，线缆的屏蔽端应首先实现与外表面屏蔽端的接触。
- 如果连接器包括了电源及 GND，则电源及 GND 的引脚必须比信号引脚长
- 连接器必须具有一个卡套以确保正确的线缆插入
- 参考标准的 USB 连接器。

3.4 ESD 保护系统设计考虑因素

ESD 保护系统设计考虑因素已在本文的2 节内有所涉及。下列是针对系统中 ESD 保护的附加考虑因素：

- 针对 ESD 和 EMI 的金属屏蔽层
- 将外壳 GND 从电路板 GND 上隔离
- 板载上采用空气隙设计以吸收 ESD 能量
- 采用钳位二极管以吸收 ESD 能量
- 采用电容转移 ESD 能量
- 在 DP/DM 线路上采用外部 ESD 元件有可能影响信号的品质，因此并不推荐这么做。

4 参考书目

- 《USB 2.0 技术规范》，Intel，2000，<http://www.usb.org/developers/docs/>
- 《高速 USB 平台设计指南》，Intel，2000，http://www.intel.com/technology/usb/download/usb2dg_R1_0.pdf
- 《德州仪器 (TI) USB 2.0 器件所用晶振的选择和技术规范》(SLLA122)

重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或隐含权作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP应用处理器	www.ti.com.cn/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity	德州仪器在线技术支持社区	www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道 1568 号, 中建大厦 32 楼 邮政编码: 200122
Copyright © 2013 德州仪器 半导体技术 (上海) 有限公司