

**추상**

MSPM0 G-시리즈 MCU(마이크로컨트롤러) 포트폴리오는 센서, 측정 및 제어 애플리케이션용 통합 아날로그 및 디지털 주변 기기를 지원하는 다양한 종류의 초저전력 32비트 MCU를 제공합니다. 이 애플리케이션 노트에서는 MSPM0 G 시리즈 MCU를 사용한 하드웨어 개발에 필요한 정보와 함께 전원 공급 장치, 리셋 회로, 클록, 디버거 연결, 주요 아날로그 주변 기기, 통신 인터페이스, GPIO 및 보드 레이아웃 지침에 대한 자세한 하드웨어 설계 정보를 제공합니다.

**목차**

<b>1 MSPM0G 하드웨어 설계 검사 목록</b> .....	<b>3</b>
<b>2 MSPM0G 장치의 전원 공급 장치</b> .....	<b>4</b>
2.1 디지털 전원 공급 장치.....	4
2.2 아날로그 전원 공급 장치.....	5
2.3 내장 전원 공급 장치 및 전압 레퍼런스.....	6
2.4 전원 공급 장치에 권장되는 디커플링 회로.....	6
<b>3 리셋 및 전원 공급 장치 통제기</b> .....	<b>6</b>
3.1 디지털 전원 공급 장치.....	6
3.2 전원 공급 장치 통제기.....	7
<b>4 클록 시스템</b> .....	<b>8</b>
4.1 외부 오실레이터.....	8
4.2 외부 오실레이터.....	9
4.3 외부 클록 출력(CLK_OUT).....	10
4.4 FCC(주파수 클록 카운터).....	11
<b>5 디버거</b> .....	<b>11</b>
5.1 디버그 포트 핀 및 핀아웃.....	12
5.2 표준 JTAG 커넥터를 사용한 디버거 포트 연결.....	12
<b>6 주요 아날로그 주변 장치</b> .....	<b>15</b>
6.1 ADC 설계 고려 사항.....	15
6.2 OPA 설계 고려 사항.....	15
6.3 DAC 설계 고려 사항.....	16
6.4 COMP 설계 고려 사항.....	17
6.5 GPAMP 설계 고려 사항.....	18
<b>7 주요 디지털 주변 장치</b> .....	<b>20</b>
7.1 타이머 리소스 및 설계 고려 사항.....	20
7.2 UART 및 LIN 리소스와 설계 고려 사항.....	21
7.3 MCAN 설계 고려 사항.....	23
7.4 I2C 및 SPI 설계 고려 사항.....	24
<b>8 GPIO</b> .....	<b>26</b>
8.1 GPIO 출력 스위칭 속도 및 부하 커패시턴스.....	26
8.2 GPIO 전류 싱크 및 소스.....	26
8.3 HSIO(고속 GPIO).....	27
8.4 HDIO(하이 드라이브 GPIO).....	27
8.5 오픈 드레인 GPIO로 레벨 시프터 없이 5V 통신 가능.....	27
8.6 레벨 시프터 없이 1.8V 장치와 통신.....	27
8.7 사용하지 않은 핀 연결.....	28
<b>9 레이아웃 가이드</b> .....	<b>29</b>
9.1 전원 공급 장치 레이아웃.....	29
9.2 접지 배치를 위한 고려 사항.....	29
9.3 트레이스, 바이어스 및 기타 구성 요소.....	30
9.4 보드 레이어 및 권장 스택업을 선택하는 방법.....	31
<b>10 부트로더</b> .....	<b>32</b>

10.1 부트로더 소개.....	32
10.2 부트로더 하드웨어 설계 고려 사항.....	32
<b>11 참고 문헌.....</b>	<b>32</b>
<b>12 개정 내역.....</b>	<b>32</b>

## 그림

그림 1-1. MSPM0G 일반 애플리케이션 회로도.....	4
그림 2-1. V <sub>CORE</sub> 레귤레이터 회로.....	4
그림 2-2. VREF 회로.....	6
그림 2-3. 전원 공급 장치 디커플링 회로.....	6
그림 3-1. NRST 권장 회로.....	7
그림 3-2. POR 및 BOR vs. 공급 전압(VDD).....	7
그림 4-1. MSPM0G 시리즈 LFOSC.....	8
그림 4-2. MSPM0G 시리즈 SYSOSC.....	8
그림 4-3. MSPM0G SYSPLL 회로.....	9
그림 4-4. MSPM0G LFXT 회로.....	9
그림 4-5. MSPM0G HFXT 회로.....	10
그림 4-6. MSPM0G 외부 클럭 출력(CLK_OUT).....	10
그림 4-7. MSPM0G 주파수 클럭 카운터 블록 다이어그램.....	11
그림 5-1. 호스트-대상 장치 연결.....	11
그림 5-2. MSPM0G SWD 내부 풀.....	12
그림 5-3. JTAG 및 MSPM0G 연결.....	12
그림 5-4. XDS110 프로브 개략적 블록 다이어그램.....	13
그림 5-5. XDS110-ET 회로.....	13
그림 5-6. Arm 표준 10핀 케이블.....	14
그림 6-1. ADC 입력 네트워크.....	15
그림 6-2. 두 개의 OPA 차동 증폭기 블록 다이어그램 및 방정식.....	16
그림 6-3. 두 개의 OPA 비인버팅-비인버팅 계단식 증폭기 블록 다이어그램 및 방정식.....	16
그림 6-4. 8비트 DAC 블록 다이어그램.....	16
그림 6-5. 8비트 DAC 및 OPA 출력 블록 다이어그램.....	17
그림 6-6. 12비트 DAC 출력 블록 다이어그램.....	17
그림 6-7. 컴퍼레이터 다이어그램.....	17
그림 6-8. 윈도우 컴퍼레이터 모드.....	18
그림 6-9. 컴퍼레이터 단락 스위치.....	18
그림 6-10. 증폭 모드의 GPAMP 회로.....	19
그림 6-11. 버퍼 모드의 GPAMP 회로.....	19
그림 7-1. 일반적인 LIN TLIN1021A 트랜시버.....	22
그림 7-2. MSPM0G를 사용하는 일반적인 LIN 애플리케이션(커맨드).....	22
그림 7-3. MSPM0G를 사용하는 일반적인 LIN 애플리케이션(응답기).....	23
그림 7-4. MCAN 일반 버스 배선.....	23
그림 7-5. MSPM0G를 포함하는 일반 CAN 버스 애플리케이션.....	24
그림 7-6. 다양한 SPI 구성을 위한 외부 연결.....	24
그림 7-7. 일반적인 I2C 버스 연결.....	25
그림 8-1. 권장 ODIO 회로.....	27
그림 8-2. 1.8V 장치를 사용한 권장 통신 회로.....	27
그림 9-1. 권장 전원 공급 장치 레이아웃.....	29
그림 9-2. 디지털 및 아날로그 접지 및 공통 영역.....	30
그림 9-3. 트레이스를 직각으로 구부리는 잘못된 방법과 올바른 방법.....	30
그림 9-4. 아날로그 및 고주파 신호에 대한 잘못된 교차 트레이스와 올바른 교차 트레이스.....	31
그림 9-5. 4레이어 PCB 스택업의 예.....	31
그림 10-1. 구성된 GPIO 핀에서의 BSL 입력 시퀀스.....	32

## 표

표 1-1. MSPM0G 하드웨어 설계 검사 목록.....	3
표 4-1. FCL을 사용한 SYSOSC 정확도, ROSC 허용 오차, RSOC TCR 및 주변 온도(T <sub>A</sub> ).....	8
표 5-1. MSPM0G 디버그 포트.....	12
표 7-1. TIMA 인스턴스 구성.....	20
표 7-2. TIMG 인스턴스 구성.....	20
표 7-3. TIMH 인스턴스 구성.....	20
표 7-4. UART 기능.....	21
표 7-5. MSPM0G UART 사양.....	21
표 7-6. MSPM0G I2C의 특성.....	25

표 8-1. MSPM0G GPIO 스위칭 특성..... 26  
 표 8-2. MSPM0G GPIO 최대 정격 절대값..... 26  
 표 8-3. 사용하지 않은 핀의 연결..... 28

**상표**

모든 상표는 해당 소유권자의 자산입니다.

**1 MSPM0G 하드웨어 설계 검사 목록**

표 1-1에서는 MSPM0G 하드웨어 설계 과정에서 확인해야 할 주요 콘텐츠에 대해 설명합니다. 다음 섹션에 더 자세한 내용이 나와 있습니다.

**표 1-1. MSPM0G 하드웨어 설계 검사 목록**

핀	설명	요구 사항
VDD	전원 공급 장치 양극 핀	VDD와 VSS 사이에 10µF 및 100nF 커패시터를 배치하고 해당 부품을 VDD 및 VSS 핀에 가깝게 유지합니다.
VSS	전원 공급 장치 음극 핀	
VCORE	코어 전압(일반: 1.35V)	470nF 커패시터를 VSS에 연결합니다. VCORE 핀에 전압을 공급하거나 외부 부하를 가하지 마십시오.
NRST	리셋 핀	외부 47kΩ 풀업 저항을 10nF 풀다운 커패시터와 연결합니다.
ROSC	외부 레퍼런스 저항 핀	<ul style="list-style-type: none"> <li>필요한 경우 외부 100kΩ/±0.1% 25ppm 저항을 VSS에 연결하여 높은 SYSOSC 정확도를 구현할 수 있습니다.</li> <li>열어 놓을 수 있습니다. 애플리케이션에는 SYSOSC에 대한 높은 정확도 요구 사항이 없습니다.</li> </ul>
VREF+	전압 레퍼런스 전원 공급 장치 - 외부 레퍼런스 입력	<ul style="list-style-type: none"> <li>VREF+ 및 VREF-를 사용하여 ADC와 같은 아날로그 주변 장치에 대한 외부 전압 레퍼런스를 가져오는 경우 외부 레퍼런스 소스를 기반으로 하는 커패시터로 디커플링 커패시터를 VREF+에서 VREF-/GND로 배치해야 합니다.</li> <li>애플리케이션에 외부 전압 레퍼런스가 필요하지 않은 경우 열어 두어도 괜찮습니다.</li> </ul>
VREF-	전압 레퍼런스 접지 공급 장치 - 외부 레퍼런스 입력	
SWCLK	디버그 프로브의 직렬 와이어 클록	VSS로의 내부 풀다운, 외부 부품이 필요하지 않습니다.
SWDIO	양방향(공유) 직렬 와이어 데이터	VDD로의 내부 풀업, 외부 부품이 필요하지 않습니다.
PA0, PA1	오픈 드레인 I/O	높은 출력에 필요한 풀업 저항
PA18	기본 BSL 호출 핀	리셋 후 BSL 모드로 전환되지 않도록 계속 풀다운하십시오. (BSL 호출 핀은 다시 매핑할 수 있습니다.)
PAX(PA0, PA1 제외)	범용 I/O	해당 핀 기능을 GPIO(PINCMx.PF = 0x1)로 설정하고 사용하지 않는 핀을 내부 풀업 또는 풀다운 저항을 사용하여 낮은 출력 또는 입력으로 구성합니다.

**주**

범용 I/O와 공유되는 기능이 있는 미사용 핀의 경우 "PAX" 미사용 핀 연결 지침을 따르십시오.

TI는 10µF와 a 0.1nF 저 ESR 세라믹 디커플링 커패시터를 VDD 및 VSS 핀에 연결하는 것을 권장합니다. 더 높은 값의 커패시터를 사용할 수도 있지만 공급 레일 램프업 시간에 영향을 줄 수 있습니다. 디커플링 커패시터는 분리되는 핀에 최대한 가깝게 배치해야 합니다(몇 밀리미터 이내).

NRST 리셋 핀은 외부 47kΩ 풀업 저항을 10nF 풀다운 커패시터와 연결하는 데 필요합니다.

SYSOSC 주파수 보정 루프(FCL) 회로는 ROSC 핀과 VSS 사이에 채워진 외부 100kΩ 저항을 사용하여 SYSOSC에 대한 정밀한 레퍼런스 전류를 제공함으로써 SYSOSC 주파수를 안정화합니다. SYSOSC FCL이 활성화되지 않은 경우 이 저항이 필요하지 않습니다.

외부 크리스털을 지원하는 장치의 경우, 외부 크리스털을 사용할 때 크리스털 오실레이터용 외부 우회 커패시터가 필요합니다.

VCORE 핀에는 0.47µF 탱크 커패시터가 필요하며 장치 접지까지의 최소 거리를 가진 장치 가까이 배치해야 합니다.

5V 허용 오픈 드레인(ODIO)의 경우 높은 출력을 위해서는 풀업 저항이 필요하며, ODIO를 사용할 경우 I2C 및 UART 기능에 필요합니다.

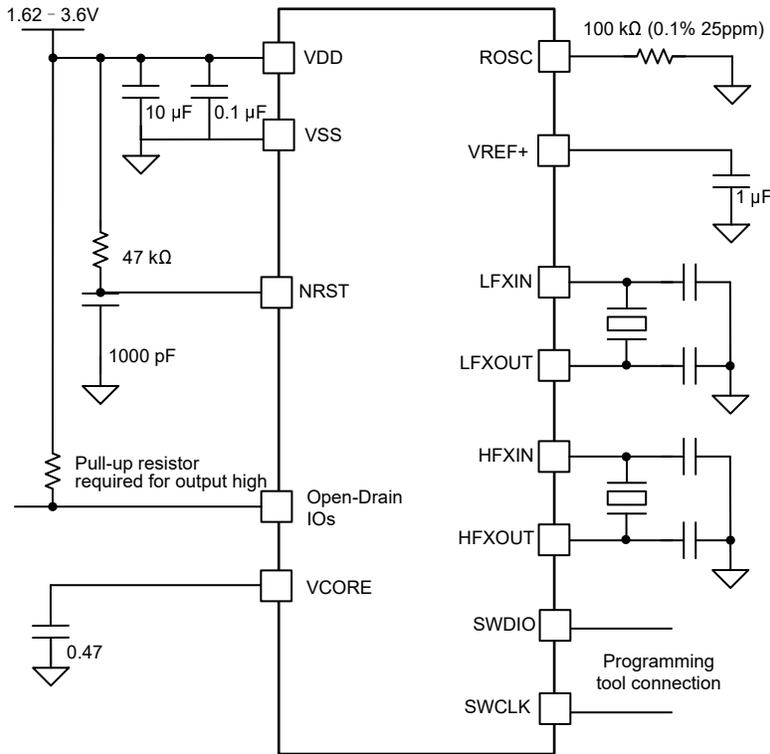


그림 1-1. MSPM0G 일반 애플리케이션 회로도

## 2 MSPM0G 장치의 전원 공급 장치

전원은 VDD 및 VSS 연결을 통해 장치에 공급됩니다. 이 장치는 1.62V~3.6V의 공급 전압에서 작동을 지원하며, 1.62V의 공급 전원으로 시작할 수 있습니다. PMU(전원 관리 유닛)는 장치에 맞게 조정된 코어 공급 장치를 생성하고 외부 전원 공급 장치를 감독합니다. 여기에는 PMU 및 다른 아날로그 주변 장치에서 사용하는 밴드갭 전압 레퍼런스도 포함되어 있습니다. VDD는 IO 공급(VDDIO)과 아날로그 공급(VDDA)을 제공하는 데 직접 사용됩니다. VDDIO 및 VDDA는 VDD에 내부적으로 연결되어 있으므로 추가 전원 공급 장치 핀이 필요하지 않습니다(자세한 내용은 장치 데이터 시트 참조).

### 2.1 디지털 전원 공급 장치

#### VCORE 레귤레이터

내부 저손실 선형 전압 레귤레이터가 장치 코어에 전력을 공급하기 위해 1.35V 공급 레일을 생성합니다. 일반적으로 코어 레귤레이터 출력(VCORE)은 CPU, 디지털 주변 장치 및 장치 메모리를 비롯한 코어 로직에 전원을 공급합니다. 코어 레귤레이터에는 장치 VCORE 핀과 VSS(접지) 사이에 연결된 외부 커패시터(CVCORE)가 필요합니다(그림 2-1 참조). CVCORE의 올바른 값과 허용 오차는 장치별 데이터 시트를 참조하십시오. CVCORE는 VCORE 핀 가까이 배치해야 합니다.

코어 레귤레이터는 종료를 제외한 모든 전원 모드에서 활성화됩니다. 다른 모든 전원 모드(실행, 절전, 정지 및 대기)에서 레귤레이터의 구동 강도는 각 모드의 최대 부하 전류를 지원하도록 자동으로 구성됩니다. 이는 저전력 모드를 사용할 때 레귤레이터의 정동작 전류를 줄여서 저전력 성능을 향상시킵니다.

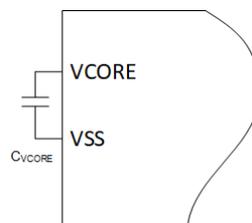


그림 2-1. V<sub>CORE</sub> 레귤레이터 회로

## 2.2 아날로그 전원 공급 장치

### 아날로그 멀티플렉서 VBOOST

PMU의 VBOOST 회로가 장치에 있는 경우, 이 회로는 COMP, GPAMP 및 OPA의 아날로그 멀티플렉서에 사용되는 내부 VBOOST 전원을 생성합니다. VBOOST 회로는 VDD(외부 공급 전압) 범위에서 일관된 아날로그 멀티플렉서 성능을 제공합니다.

### VBOOST 활성화 및 비활성화

SYSCTL은 다음 매개변수를 기반으로 VBOOST 회로에 대한 활성화 요청을 자동으로 관리합니다.

1. COMP, OPA 및 GPAMP 주변 장치 PWREN 설정
2. 활성화된 모든 COMP의 모드 설정(FAST와 ULP 모드).
3. SYSCTL의 GENCLKCFG 저항에 있는 ANACPUMPCFG 제어 비트.

VBOOST는 SYSRST에 따라 기본적으로 비활성화됩니다. COMP, OPA 또는 GPAMP를 사용하기 전에 애플리케이션 소프트웨어에서 VBOOST 회로를 활성화할 필요는 없습니다. 애플리케이션 소프트웨어에서 COMP, OPA 또는 GPAMP를 활성화하면 SYSCTL은 VBOOST 회로를 활성화하여 아날로그 주변 기기를 지원합니다.

#### 주

VBOOST 회로에는 비활성화 상태에서 활성화 상태로 전환하기 위한 시작 시간 요구 사항(통상 12 $\mu$ s)이 있습니다. COMP, OPA 또는 GPAMP의 시작 시간이 VBOOST 시작 시간보다 짧은 경우 VBOOST 시작 시간을 고려하여 주변 기기 시작 시간이 연장됩니다.

### 밴드갭 레퍼런스

PMU는 다음과 같은 내부 기능을 위해 장치에서 사용되는 온도 및 공급 전압 안정 밴드갭 전압 레퍼런스를 제공합니다.

- 브라운아웃 리셋 회로 임계값 구동.
- 코어 레귤레이터의 출력 전압 설정.
- 온칩 아날로그 주변 장치에 대한 온칩 VREF 레벨 구동.

밴드갭 레퍼런스는 RUN(실행), SLEEP(절전) 및 STOP(정지) 모드에서 활성화됩니다. STANDBY(대기) 상태에서는 샘플 모드로 작동하여 전력 소비를 줄입니다. SHUTDOWN(종료) 모드에서는 비활성화됩니다. SYSCTL은 밴드갭 상태를 자동으로 관리하므로 사용자 구성이 필요하지 않습니다.

## 2.3 내장 전원 공급 장치 및 전압 레퍼런스

MSPM0G 제품군용 VREF 모듈은 다양한 온보드 아날로그 주변 장치에서 활용할 수 있는 공유 전압 레퍼런스 모듈입니다.

VREF 모듈의 기능은 다음과 같습니다.

- 사용자가 선택할 수 있는 1.4V 및 2.5V 내부 레퍼런스.
- VREF+ 및 VREF- 장치 핀에서 외부 레퍼런스 수신을 지원.
- 대기(STANDBY) 작동 모드까지 VREF 작동을 지원하는 샘플 및 홀드 모드.
- ADC, COMP 및 OPA에 대한 내부 레퍼런스 지원.

TI는 외부 레퍼런스로 MCU를 공급할 때는 레퍼런스 핀의 디커플링 커패시터를 전압 소스 기반의 값으로 연결하는 것을 권장합니다(그림 2-2 참조).

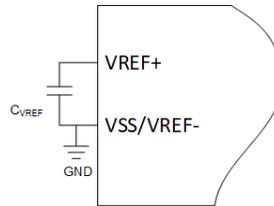


그림 2-2. VREF 회로

## 2.4 전원 공급 장치에 권장되는 디커플링 회로

TI는 10 $\mu$ F + 100nF 저 ESR 세라믹 디커플링 커패시터 조합을 DVCC 핀에 연결하는 것을 권장합니다(그림 2-3 참조). 더 높은 값의 커패시터를 사용할 수 있지만 공급 레일 램프업 시간에 영향을 줄 수 있습니다. 디커플링 커패시터는 분리되는 핀에 최대한 가깝게 배치해야 합니다(몇 밀리미터 이내).

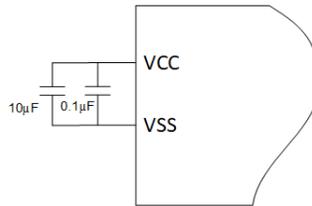


그림 2-3. 전원 공급 장치 디커플링 회로

## 3 리셋 및 전원 공급 장치 통제기

### 3.1 디지털 전원 공급 장치

장치에는 다음과 같은 5가지 리셋 수준이 있습니다.

- POR(파워 온 리셋)
- BOR(브라운 아웃 리셋)
- BOOTrST(부팅 리셋)
- SYSRST(시스템 리셋)
- CPURST(CPU 리셋)

리셋 수준 간의 관계에 대한 자세한 설명은 기술 참조 설명서(TRM)에 나와 있습니다.

콜드 스타트 후 NRST 핀이 NRST 모드로 구성됩니다. 장치가 성공적으로 부팅하려면 NRST 핀이 높아야 합니다. NRST에는 내부 풀업 저항이 없습니다. 장치를 시작하려면 외부 회로(DVCC에 대한 풀업 저항 또는 리셋 제어 회로)가 NRST를 적극적으로 높여야 합니다. 수동 리셋을 위해 커패시터와 열기 버튼이 필요합니다(그림 3-1 참조). 장치가 시작된 후 NRST에서 지속 시간이 1초 미만인 낮은 펄스는 BOOTrST를 트리거합니다. NRST의 낮은 펄스가 1초보다 길면 POR이 트리거됩니다.



## 4 클록 시스템

MSPM0G 시리즈의 클록 시스템에는 내부 오실레이터, 클록 모니터, 클록 선택 및 제어 로직이 포함되어 있습니다.

이 섹션에서는 다양한 MSPM0G 제품군 장치에 대한 클록 리소스와 외부 신호 또는 장치와의 상호 작용에 대해 설명합니다.

### 4.1 외부 오실레이터

#### LFOSC(내부 저주파 오실레이터)

LFOSC는 32.768kHz의 주파수로 공장 트리밍된 온칩 저전력 오실레이터입니다. 시스템이 저전력 소비를 달성하는 데 사용할 수 있는 저주파 클록을 제공합니다. LFOSC는 줄어든 온도 범위에서 사용할 경우 더 높은 정확도를 제공할 수 있습니다. 자세한 내용은 제품별 데이터 시트를 참조하십시오.

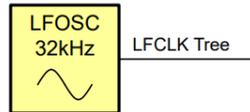


그림 4-1. MSPM0G 시리즈 LFOSC

#### SYSOSC(내부 시스템 오실레이터)

SYSOSC는 32MHz(기본 주파수) 및 4MHz(저주파)의 공장 트리밍된 주파수와 24MHz 또는 16MHz에서 사용자 트리밍된 작동을 지원하는 정확하고 구성 가능한 온칩 오실레이터입니다. 코드를 실행하고 성능을 처리하기 위해 CPU를 고속으로 실행할 수 있는 고주파 클록을 제공합니다.

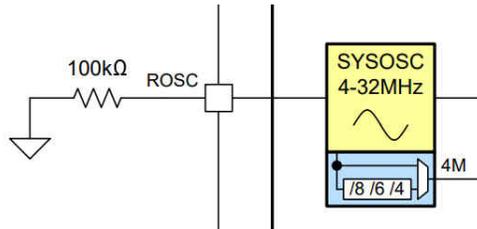


그림 4-2. MSPM0G 시리즈 SYSOSC

#### SYSOSC 주파수 보정 루프

이 오실레이터의 추가 하드웨어 설정은 ROSC 핀과 VSS 사이에 채워진 외부 저항으로, 온도에 걸쳐  $\pm 2.5\%$ 의 기본 정확도로 SYSOSC를 증가시킵니다.

전체 SYSOSC 애플리케이션 정확도는 다음 오류 소스를 결합하여 전체 오류를 확인하는 방식으로 판별됩니다.

1. ROSC 레퍼런스 저항 오류(허용 오차 및 온도 드리프트로 인한)
2. FCL 모드의 SYSOSC 회로 오류(-40°C~85°C의 경우  $\pm 0.75\%$  또는 -40°C~125°C의 경우  $\pm 0.90\%$ )

표 4-1에서는 두 온도 범위에서 서로 다른 두 ROSC 저항 사양에 대한 SYSOSC 애플리케이션 정확도를 계산하는 방법을 보여줍니다. 자세한 내용은 장치별 TRM을 참조하십시오.

표 4-1. FCL을 사용한 SYSOSC 정확도, ROSC 허용 오차, ROSC TCR 및 주변 온도( $T_A$ )

주변 온도( $T_A$ )	-40 ≤ $T_A$ ≤ 125°C		-40 ≤ $T_A$ ≤ 85°C	
	±0.1% 25ppm/°C	±0.5% 25ppm/°C	±0.1% 25ppm/°C	±0.5% 25ppm/°C
공칭 ROSC 저항( $ROSC_{nom}$ )	100kΩ			
최대 ROSC 저항(25°C에서)	100.1kΩ	100.5kΩ	100.1kΩ	100.5kΩ
최소 ROSC 저항(25°C에서)	99.9kΩ	99.5kΩ	99.9kΩ	99.5kΩ
ROSC 저항 TCR	25ppm/°C			
ROSC 온도 드리프트	-0.16% ~ 0.25%		-0.16% ~ 0.15%	
최대 ROSC 저항(고온에서)( $ROSC_{max}$ )	100.35kΩ	100.75kΩ	100.25kΩ	100.65kΩ



LFCLK\_IN은 일반 듀티 사이클이 50%인 디지털 구형파 CMOS 클록 입력과 호환됩니다. LFCLK 모니터를 활성화하여 LFCLK\_IN에서 유효한 클록 신호를 확인할 수 있습니다. 기본 설정상 LFCLK 모니터는 LFXT가 시작되지 않았는지 LFCLK\_IN 확인합니다.

### 고주파 크리스털 오실레이터(HFXT)

고주파 크리스털 오실레이터(HFXT)는 4~48MHz 범위의 표준 크리스털 및 공진기와 함께 사용하여 시스템을 위한 안정적인 고속 기준 클록을 생성할 수 있습니다.

HFXT를 사용하려면 HFXIN 핀과 HFXOUT 핀 사이에 수정 또는 공진기를 채우십시오. 양쪽 핀에서 모두 로딩 커패시터를 회로 접지(VSS)에 배치합니다. 사용 중인 크리스털의 사양에 따라 크리스털 부하 커패시터의 크기를 조정합니다. 프로그래밍 가능 HFXT 시동 시간은 64 $\mu$ s 분해능과 함께 제공됩니다. 레이아웃에 관한 사항은 [섹션 9](#)를 참조하십시오.

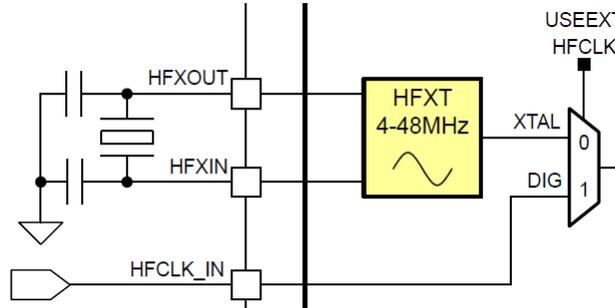


그림 4-5. MSPM0G HFXT 회로

### HFCLK\_IN(디지털 클록)

HFXT 회로를 우회하고 4~48MHz 일반 주파수 디지털 클록을 장치로 가져와 HFXT 대신 HFCLK 소스로 사용할 수 있습니다. HFCLK\_IN과 HFXT는 상호 배타적이며 동시에 사용하도록 설정해서는 안 됩니다.

HFCLK\_IN은 일반 듀티 사이클이 50%인 디지털 구형파 CMOS 클록 입력과 호환됩니다.

### 4.3 외부 클록 출력(CLK\_OUT)

클록 출력 장치는 장치에서 외부 회로 또는 주파수 클록 카운터로 디지털 클록을 보낼 수 있습니다. 이 기능은 자체 클록 소스가 없는 외부 ADC와 같은 외부 회로를 클로킹하는 데 유용합니다. 클록 출력 장치에는 선택할 수 있는 유연한 소스 세트가 있으며, 여기에는 프로그래머블 디바이더가 포함되어 있습니다.

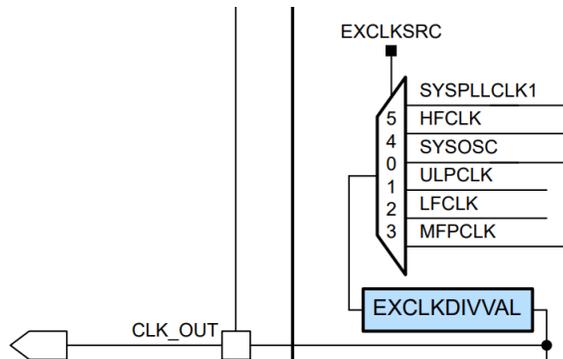


그림 4-6. MSPM0G 외부 클록 출력(CLK\_OUT)

CLK\_OUT에 사용 가능한 클록 소스:

- SYSPLLCLK1
- HFCLK
- SYSOSC
- ULPCLK
- MFCLK
- LFCLK

선택한 클록 소스는 핀 또는 주파수 클록 카운터로 출력되기 전에 1, 2, 4, 8, 16, 32, 64 또는 128로 나눌 수 있습니다.

#### 4.4 FCC(주파수 클록 카운터)

FCC(주파수 클록 카운터)는 장치의 다양한 오실레이터 및 클록에 대한 유연한 시스템 내 테스트와 보정을 지원합니다. FCC는 알려진 고정 트리거 기간(보조 레퍼런스 소스에서 파생) 내에 선택된 소스 클록에 표시되는 클록 기간 수를 계산하여 소스 클록의 주파수 추정치를 제공합니다.

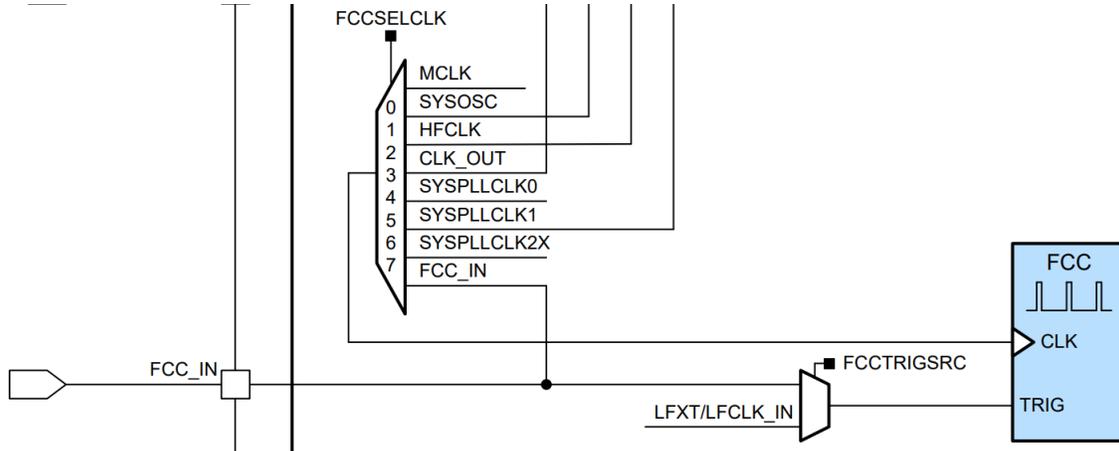


그림 4-7. MSPM0G 주파수 클록 카운터 블록 다이어그램

애플리케이션 소프트웨어는 FCC를 사용하여 다음 오실레이터 및 클록의 주파수를 측정할 수 있습니다.

- MCLK
- SYSOSC
- HFCLK
- CLK\_OUT
- SYSPLLCLK0
- SYSPLLCLK1
- SYSPLLCLK2X
- 외부 FCC 입력(FCC\_IN)

#### 주

외부 FCC 입력(FCC\_IN 함수)은 FCC 클록 소스 또는 FCC 트리거 입력으로 사용할 수 있지만 동일한 FCC 캡처 중에 두 기능을 모두 사용할 수는 없습니다. FCC 클록 소스 또는 FCC 트리거로 구성해야 합니다.

## 5 디버거

디버그 서브시스템(DEBUGSS)은 SWD(Serial Wire Debug) 2선 물리적 인터페이스를 디바이스 내의 여러 디버그 기능에 인터페이스합니다. MSPM0G 장치는 프로세서 실행, 장치 상태 및 전원 상태(EnergyTrace 기술 사용)의 디버깅을 지원합니다.

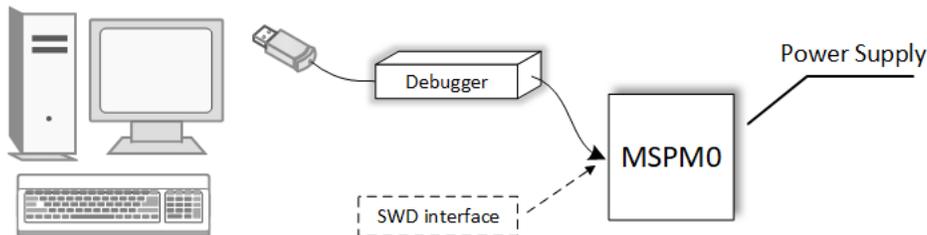


그림 5-1. 호스트-대상 장치 연결

## 5.1 디버거 포트 핀 및 핀아웃

디버거 포트에는 표 5-1내부 풀다운 저항과 풀업 저항(그림 5-2 참조)이 있는 SWCLK 및 SWDIO가 포함되어 있습니다. MSPM0G MCU 제품군은 사용 가능한 핀 수가 서로 다른 다양한 패키지로 제공됩니다. 자세한 내용은 장치의 데이터 시트를 참조하십시오.

표 5-1. MSPM0G 디버거 포트

장치 신호	방향	SWD 기능
SWCLK	입력	디버거 프로브의 직렬 와이어 클록
SWDIO	입력/출력	양방향(공유) 직렬 와이어 데이터

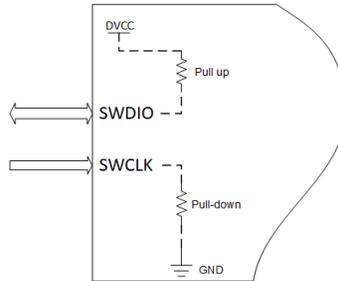


그림 5-2. MSPM0G SWD 내부 풀

## 5.2 표준 JTAG 커넥터를 사용한 디버거 포트 연결

그림 5-3에서는 표준 JTAG 커넥터를 사용한 MSPM0L 제품군 MCU SWD 디버거 포트 간의 연결을 보여줍니다.

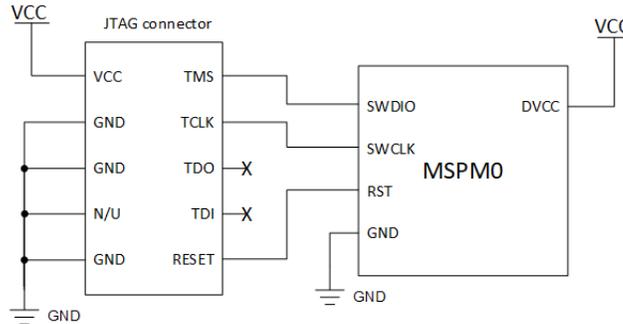


그림 5-3. JTAG 및 MSPM0G 연결

MSPM0G 장치의 경우 XDS110을 사용하여 디버거/다운로드 기능을 구현할 수 있습니다. 여기에서 XDS110의 내용 목록과 하드웨어 설치 지침을 제공합니다.

### 표준 XDS110

표준 XDS110은 [ti.com](http://ti.com)에서 구입할 수 있습니다. 그림 5-4에서 XDS110 프로브의 주요 기능 및 인터페이스에 대한 개략적 다이어그램을 볼 수 있습니다.

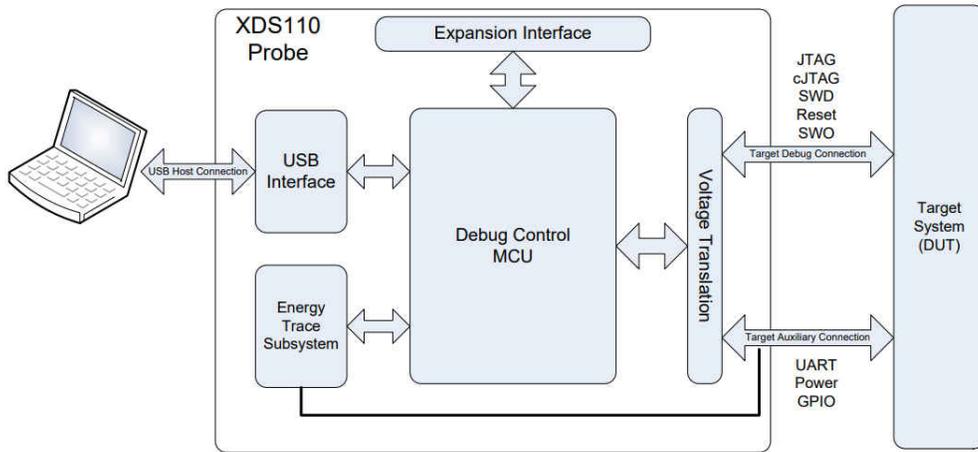


그림 5-4. XDS110 프로브 개략적 블록 다이어그램

표준 XDS110에 대한 자세한 정보는 [XDS110 디버그 프로브 사용 설명서](#)를 참조하십시오.

### Lite XDS110(MSPM0 LaunchPad 개발 키트)

MSPM0 LaunchPad 키트에는 XDS110-ET(Lite) 회로가 포함되어 있습니다. 이 디버거를 사용하여 펌웨어를 MSPM0 장치에 다운로드할 수 있습니다. [그림 5-5](#)에서는 XDS110-ET 회로를 보여줍니다.

XDS110-ET에는 다음과 같은 2개의 프로브가 있습니다.

**2.54mm 프로브:** 이 포트는 SWD 프로토콜을 지원하며 5V 또는 3.3V 전원 공급 장치를 포함합니다. SWDIO SWCLK 3V3 GND를 보드에 연결하고 펌웨어를 MSPM0G 장치에 다운로드할 수 있습니다.

또한 이 프로브는 실시간으로 전력 소비를 정확하게 측정하는 EnergyTrace 기술을 지원합니다.

EnergyTrace 기술에 대한 자세한 사항은 [EnergyTrace 기술 툴 페이지](#)를 참조하십시오.

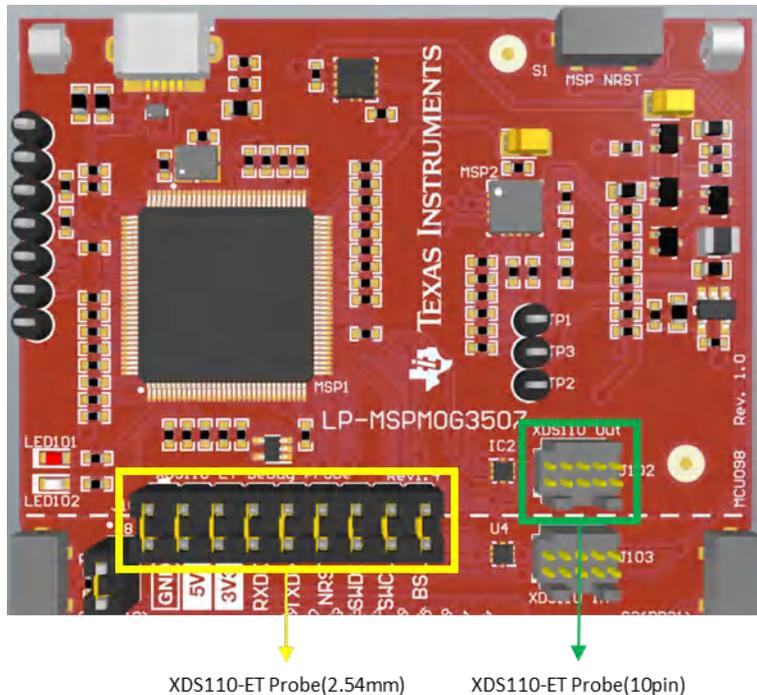


그림 5-5. XDS110-ET 회로

**10핀 프로브:** 이 포트는 JTAG 및 SWD 프로토콜을 지원하며 3.3V 전원 공급 장치를 포함합니다. 10핀 케이블을 사용하여 보드와 XDS110-ET를 연결하고 펌웨어를 MSPM0G 장치에 다운로드할 수 있습니다. [그림 5-6](#)에서는 10핀 케이블을 보여줍니다.



**그림 5-6. Arm 표준 10핀 케이블**

#### 주

- 표준 XDS110은 디버거 포트에 대한 레벨 전환을 지원하며, XDS110-ET는 3.3v 프로브 레벨만 지원합니다.
- XDS110은 제한된 전류 드라이브 기능을 갖춘 LDO를 통합하므로 XDS110을 사용하여 MSPM0G MCU를 제외한 다른 장치에 전원을 공급하는 것은 권장하지 않습니다.
- XDS110-ET 2.54mm 프로브는 JTAG 프로토콜을 지원하지 않습니다.
- XDS110-ET 10핀 프로브는 EnergyTrace 기술을 지원하지 않습니다.

## 6 주요 아날로그 주변 장치

MSPM0G 시리즈 MCU에는 칩 내에 다양한 아날로그 신호 조절 기능을 제공할 수 있는 아날로그 주변 장치 리소스가 포함되어 있습니다. MSPM0G의 아날로그 주변 장치 성능을 최대한 활용하려면 하드웨어 설계에서 몇 가지 사항을 고려해야 합니다. 이 챕터에서는 여러 가지 일반적인 아날로그 회로 구성의 아날로그 설계 고려 사항에 대해 설명합니다.

### 6.1 ADC 설계 고려 사항

MSPM0G 장치에는 12비트, 최대 4Msps, ADC(아날로그-디지털 컨버터)가 있습니다. ADC는 고속 12비트, 10비트 및 8비트 아날로그-디지털 변환을 지원합니다. ADC는 12비트 SAR 코어, 샘플/변환 모드 제어 및 최대 12개의 독립 변환 및 제어 버퍼를 구현합니다.

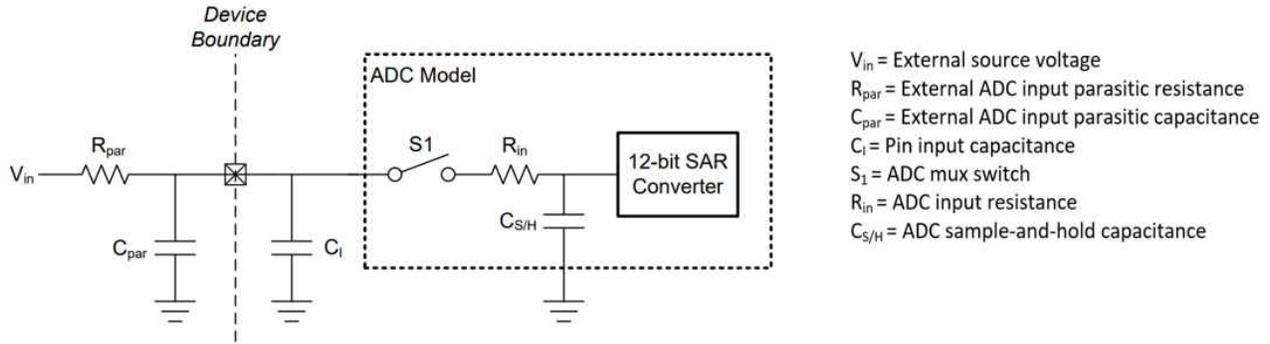


그림 6-1. ADC 입력 네트워크

원하는 변환 속도를 달성하고 높은 정확도를 유지하려면 하드웨어 설계에서 적절한 샘플링 시간을 보장해야 합니다. 샘플링 (샘플 앤 홀드) 시간은 디지털 변환 전에 신호를 샘플링하는 시간을 결정합니다. 샘플 시간 동안 내부 스위치를 사용하여 입력 커패시터를 충전할 수 있습니다. 커패시터를 완전히 충전하는 데 필요한 시간은 ADC 입력 핀에 연결된 외부 AFE(아날로그 프런트 엔드)에 따라 달라집니다. 그림 6-1에서는 MSPM0G MCU의 일반적인 ADC 모델을 보여줍니다. Rin 및 CS/H 값은 장치별 데이터 시트에서 얻을 수 있습니다. AFE 구동 기능을 이해하고 신호를 샘플링하는 데 필요한 최소 샘플링 시간을 계산하는 것이 중요합니다. RPar 및 Rin 저항은  $t_{sample}$ 에 영향을 미칩니다. 방정식 1은(는) n-비트 변환에 대한 최소 샘플 시간  $t_{sample}$ 의 보수적 값을 계산하는 데 사용할 수 있습니다.

$$t_{sample} \geq (R_{par} + R_{in}) \times \ln(2^{n+2}) \times (C_{S/H} + C_1 + C_{Par}) \quad (1)$$

TI는 연속 고속(4Msps) ADC 성능을 평가하기 위해 충분한 신호 소스 드라이브 기능을 보장할 수 있도록 외부 버퍼를 추가할 것을 권장합니다. 설계 레퍼런스용으로, 권장 외부 OPA가 포함된 LP-MSPM0G3507 하드웨어 설계를 참조하십시오.

### 6.2 OPA 설계 고려 사항

MSPM0G OPA는 프로그래머블 게인 단계를 지원하는 제로 드리프트 초퍼 안정화 연산 증폭기입니다. OPA는 신호 증폭 및 버퍼링에 사용할 수 있으며, 범용 모드, 버퍼 모드 및 PGA 모드에서 작동 가능합니다.

범용 모드에서 OPA를 사용할 경우 외부 저항과 커패시터를 추가하여 증폭기 회로를 생성합니다. 그러나 버퍼 모드를 사용할 때는 소프트웨어를 통해 구성할 수 있습니다. PGA 모드의 경우 소프트웨어는 최대 32x PGA 게인을 구성할 수 있습니다.

#### 주

PGA 게인은 음극 단자에만 있습니다.

한 장치에서 두 개 이상의 OPA를 사용할 수 있는 경우 두 개를 결합하여 차동 증폭기를 만들 수 있습니다. 차동 증폭기의 출력 방정식은  $V_{diff}$  방정식에 의해 주어집니다. 그림 6-2

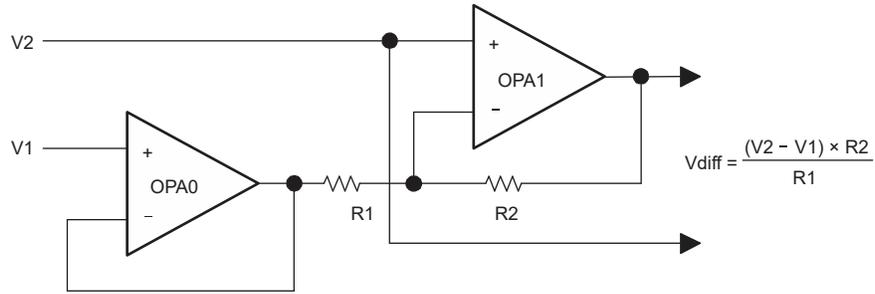


그림 6-2. 두 개의 OPA 차동 증폭기 블록 다이어그램 및 방정식

또는 한 장치에서 두 개 이상의 OPA를 사용할 수 있는 경우 이를 결합하여 다중 단계 또는 계단식 증폭기를 만들 수 있습니다. 프로그래머블 입력 멀티플렉서를 사용하여 모든 인버팅 및 비인버팅 다중 단계 증폭기 조합을 구현할 수 있습니다. 비인버팅-비인버팅 계단식 증폭기에 대한 출력 방정식은 의  $V_{out}$  방정식에 의해 주어집니다. [그림 6-3](#)

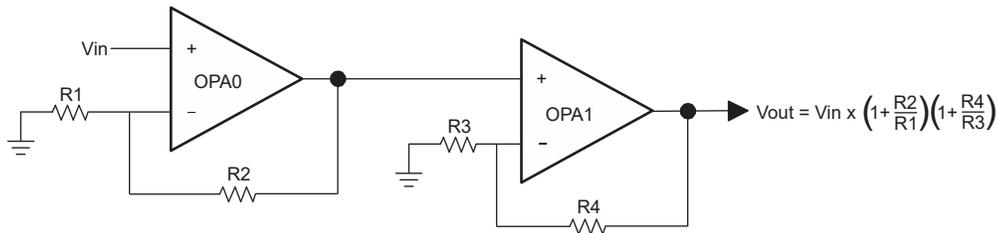


그림 6-3. 두 개의 OPA 비인버팅-비인버팅 계단식 증폭기 블록 다이어그램 및 방정식

### 6.3 DAC 설계 고려 사항

MSPM0G 장치에는 DAC 모듈 2개(8비트와 12비트)가 포함되어 있습니다. DAC는 레퍼런스 전압으로 사용할 수 있으며, OPA와 함께 작동하여 출력 패드를 직접 구동할 수도 있습니다. 12비트 DAC 모듈에는 버퍼가 포함되어 있으므로 패드로 직접 출력할 수 있습니다. 그러나 8비트 DAC 모듈은 일반적으로 OPA 및 COMP의 내부 기준 전압으로 사용되므로 외부 핀으로 출력하려면 드라이브 강도를 향상시키기 위해 OPA를 버퍼 모드로 구성해야 합니다.

모든 장치에 이러한 DAC 모듈 두 가지가 포함되어 있는 것은 아닙니다. 자세한 내용은 제품별 데이터 시트를 참조하십시오.

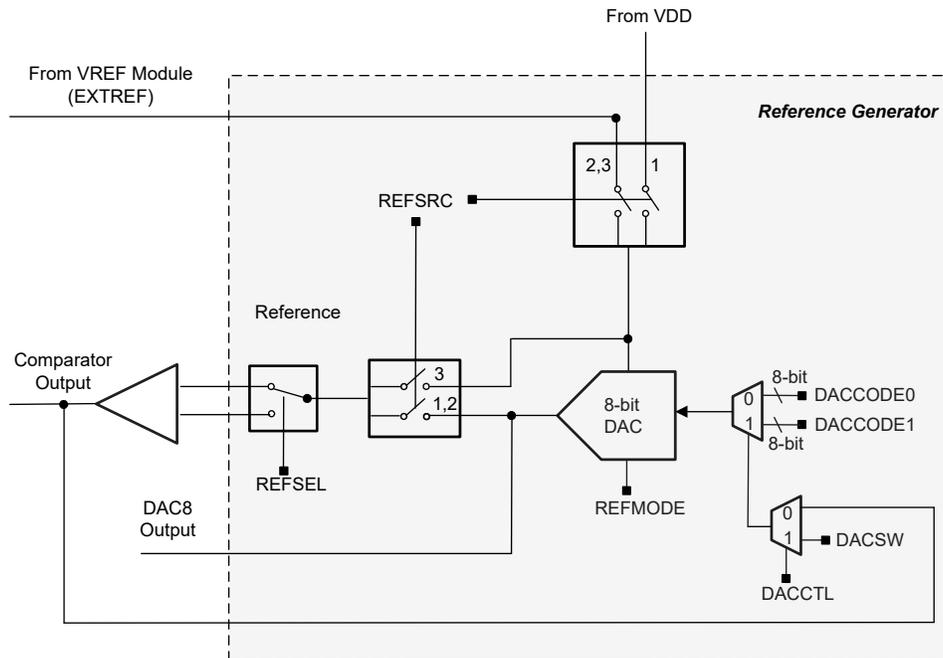


그림 6-4. 8비트 DAC 블록 다이어그램

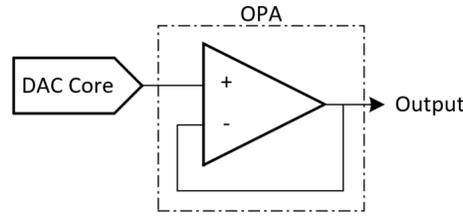


그림 6-5. 8비트 DAC 및 OPA 출력 블록 다이어그램

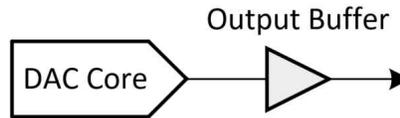


그림 6-6. 12비트 DAC 출력 블록 다이어그램

### 6.4 COMP 설계 고려 사항

MSPM0G 콤퍼레이터 모듈(COMP)은 일반 콤퍼레이터 기능을 갖춘 아날로그 전압 콤퍼레이터입니다.

COMP 모듈에는 아날로그 신호를 유연하게 처리하는 데 사용할 수 있는 내부 및 외부 입력이 포함되어 있습니다. 내부 온도 센서를 COMP에 대한 직접 입력으로 사용할 수 있습니다.

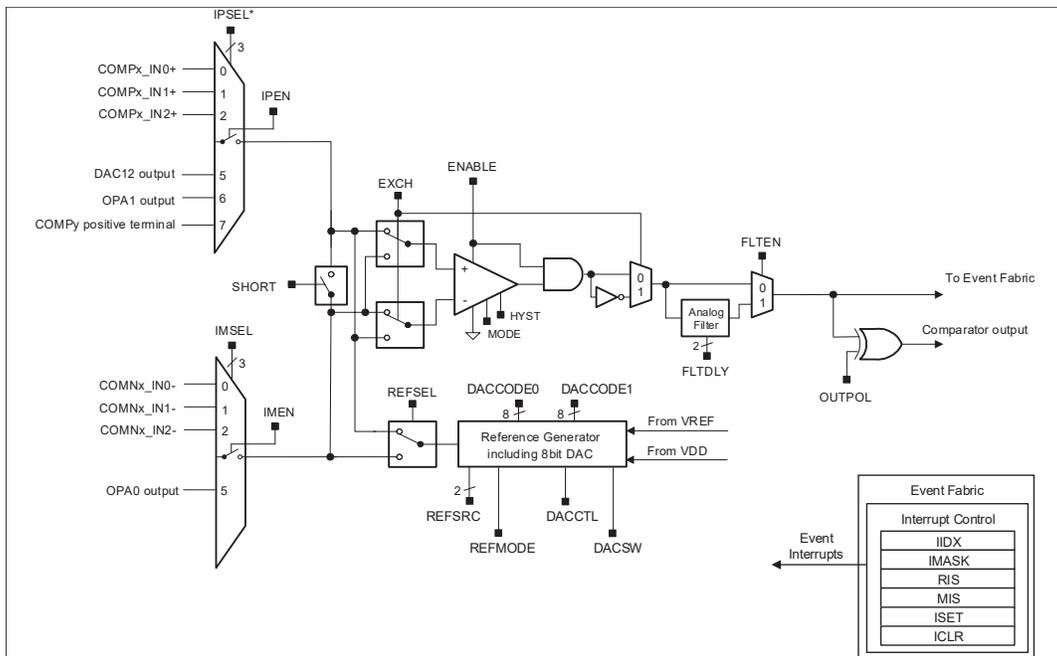


그림 6-7. 콤퍼레이터 다이어그램

또한 MSPM0G 콤퍼레이터 모듈은 2개의 COMP를 결합하여 윈도우 콤퍼레이터 기능을 구현합니다. 그림 6-8에 나와 있는 것처럼 COMP0과 COMP1을 함께 구성해 윈도우 콤퍼레이터를 생성할 수 있습니다. 이 구성에서는 입력 신호가 함께 연결된 콤퍼레이터들의 양극 단자에 연결되고, 상한 및 하한 임계 전압은 콤퍼레이터들의 음극 단자에 연결됩니다.

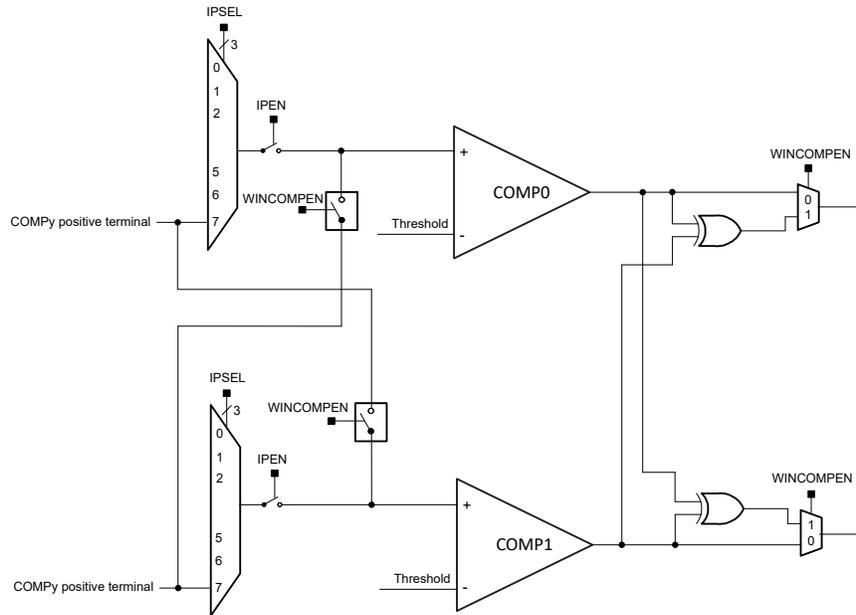


그림 6-8. 윈도우 콤퍼레이터 모드

COMP 모듈에는 콤퍼레이터를 위한 간단한 샘플 앤 홀드를 구축하는 데 사용할 수 있는 단락 스위치도 포함되어 있습니다.

그림 6-9에 나와 있듯이, 필요한 샘플링 시간은 샘플링 커패시터(CS)의 크기, 단락 스위치(R)와 직렬로 연결된 입력 스위치의 저항, 외부 소스(RS)의 저항에 비례합니다. 샘플링 커패시터 CS는 100pF보다 커야 합니다. 샘플링 커패시터 CS를 충전하는 시간 상수 Tau는 아래 방정식으로 계산할 수 있습니다.

$$T_{au} = (R_I + R_S) \text{를 위한 직렬 전압 레퍼런스} \times C_S$$

필요한 정확도에 따라 3~10 Tau를 샘플링 시간으로 사용합니다. 3 Tau를 사용하면 샘플링 커패시터가 입력 신호 전압 레벨의 약 95%까지 충전되고, 5 Tau의 경우 99% 이상으로 충전되며, 10 Tau의 경우 샘플링된 전압이 12비트 정확도에 대해 충분합니다.

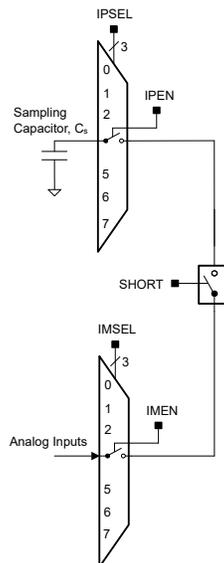


그림 6-9. 콤퍼레이터 단락 스위치

## 6.5 GPAMP 설계 고려 사항

MSPM0G 장치에는 그림 6-10에서 나와 있는 것과 같이 일부 외부 저항 및 커패시터를 사용한 신호 증폭에 사용할 수 있는 GPAMP(범용 증폭기) 모듈이 포함되어 있습니다.

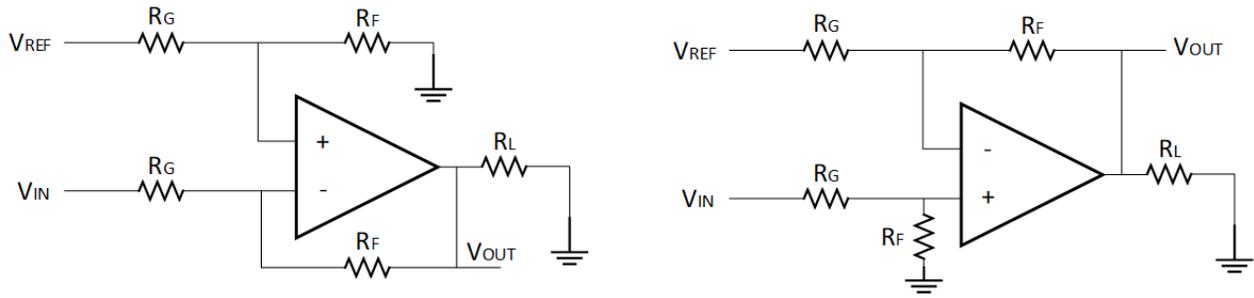


그림 6-10. 증폭 모드의 GPAMP 회로

GPAMP는 내부 ADC의 버퍼로도 사용할 수 있습니다. 그림 6-11에서는 이 구성의 예를 보여줍니다.

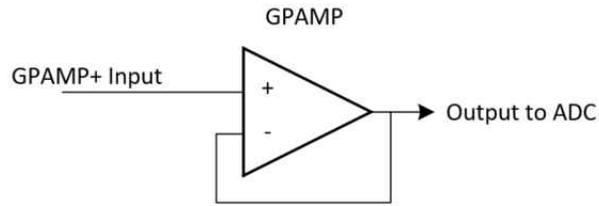


그림 6-11. 버퍼 모드의 GPAMP 회로

## 7 주요 디지털 주변 장치

MSPM0G 시리즈 MCU에는 풍부한 통신 기능을 제공하는 타이머, UART, SPI, MCAN, LIN 등과 같은 풍부한 디지털 주변 장치 리소스가 포함되어 있습니다. MSPM0G의 디지털 주변 장치를 최대한 활용하려면 하드웨어 설계에서 몇 가지 사항을 고려해야 합니다. 이 챕터에서는 여러 가지 일반적인 디지털 주변 장치 구성의 설계 고려 사항에 대해 설명합니다.

### 7.1 타이머 리소스 및 설계 고려 사항

타이머는 모든 MCU에서 가장 기본적이고 중요한 모듈 중 하나이며 이 리소스는 모든 애플리케이션에서 사용됩니다. 정기적으로 작업을 처리하고, 지연시키고, PWM 파형을 출력하여 장치를 구동하고, 외부 펄스의 폭과 주파수를 감지하고, 파형 출력을 시뮬레이션하는 등의 작업에 사용할 수 있습니다.

MSPM0G 시리즈 MCU에는 TIMA, TIMG 및 TIMH 등 세 가지 유형의 타이머 모듈이 포함되어 있습니다. 고급 타이머 (TIMA), 범용 타이머(TIMG) 및 고해상도 타이머(TIMH)는 모두 입력 신호 에지 및 주기 측정(캡처 모드) 또는 PWM 신호와 같은 출력 파형 생성(비교 모드 출력)을 포함한 다양한 기능에 사용할 수 있는 타이머 카운팅 모듈입니다. 그러나 TIMA는 불감대 삽입을 지원하는 보완 PWM과 같은 기능을 추가하고, TIMH에는 24비트 분해능 카운터가 있습니다. 아래 표에는 각 타이머의 다양한 기능 및 구성에 대한 요약이 나와 있습니다.

**표 7-1. TIMA 인스턴스 구성**

인스턴스	전원 도메인	카운터 분해능	프리스케일러	반복 카운터	CCP 채널	위상 부하	새도 로드	파이프라인 CC	불감대	오류 처리기	QEI
TIMA0	PD1	16비트	8비트	8비트	4	예	예	예	예	예	-
TIMA1	PD1	16비트	8비트	-	2	예	예	예	예	예	-
TIMA2	PD1	16비트	8비트	-	2	예	예	예	예	예	-

**표 7-2. TIMG 인스턴스 구성**

인스턴스	전원 도메인	카운터 분해능	프리스케일러	반복 카운터	CCP 채널	위상 부하	새도 로드	파이프라인 CC	불감대	오류 처리기	QEI
TIMG0	PD0	16비트	8비트	-	2	-	-	-	-	-	-
TIMG1	PD0	16비트	8비트	-	2	-	-	-	-	-	-
TIMG2	PD0	16비트	8비트	-	2	-	-	-	-	-	-
TIMG3	PD0	16비트	8비트	-	2	-	-	-	-	-	-
TIMG4	PD0	16비트	8비트	-	2	-	예	예	-	-	-
TIMG5	PD0	16비트	8비트	-	2	-	예	예	-	-	-
TIMG6	PD1	16비트	8비트	-	2	-	예	예	-	-	-
TIMG7	PD1	16비트	8비트	-	2	-	예	예	-	-	-
TIMG8	PD0	16비트	8비트	-	2	-	-	-	-	-	O
TIMG9	PD0	16비트	8비트	-	2	-	-	-	-	-	O
TIMG10	PD1	16비트	8비트	-	2	-	-	-	-	-	O
TIMG11	PD1	16비트	8비트	-	2	-	-	-	-	-	O

- 먼저 장치별 데이터 시트를 살펴보고 장치에서 사용할 수 있는 TIMG 인스턴스를 확인하십시오
- 기술 참조 매뉴얼에서 각 TIMG 인스턴스에 사용할 수 있는 기능을 확인해야 합니다.

**표 7-3. TIMH 인스턴스 구성**

인스턴스	전원 도메인	카운터 분해능	프리스케일러	반복 카운터	CCP 채널	위상 부하	새도 로드	파이프라인 CC	불감대	오류 처리기	QEI
TIMH0	PD1	24bit	-	-	2	-	-	O	-	-	-
TIMH1	PD1	24bit	-	-	2	-	-	O	-	-	-

## 7.2 UART 및 LIN 리소스와 설계 고려 사항

MSPM0G 시리즈 MCU에는 UART(범용 비동기 리시버-트랜스미터)가 포함되어 있습니다. 표 7-4에 나와 있듯이 UART0은 LIN, DALI, IrDA, ISO7816 Manchester 코딩 기능을 지원합니다.

표 7-4. UART 기능

UART 기능	UART0(연장)	UART1(메인)
경지 및 대기 모드에서 활성화	예	예
별도의 전송 및 수신 FIFO	예	예
하드웨어 흐름 제어 지원	예	예
9비트 구성 지원	예	예
LIN 모드 지원	○	-
DALI 지원	○	-
IrDA 지원	○	-
ISO7816 스마트 카드 지원	○	-
Manchester 코딩 지원	○	-

MSPM0G UART 모듈은 전력 도메인1에서 최대 10MHz 보드율을 지원하여 거의 모든 UART 애플리케이션을 지원할 수 있습니다.

표 7-5. MSPM0G UART 사양

매개 변수		테스트 조건	최소값	일반	최대값	단위
$f_{UART}$	UART 입력 클럭 주파수	전원 도메인1의 UART			80	MHz
$f_{UART}$	UART 입력 클럭 주파수	전원 도메인0의 UART			40	MHz
$f_{BITCLK}$	BITCLK 클럭 주파수(MBaud의 전송 속도와 동일)	전원 도메인1의 UART			10	MHz
$f_{BITCLK}$	BITCLK 클럭 주파수(MBaud의 전송 속도와 동일)				5	MHz
$t_{SP}$	입력 필터에 의해 억제된 스파이크의 펄스 지속 시간	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	30	74	165	ns

LIN(로컬 상호 연결 네트워크)은 여러 원격 응답 노드와 통신하는 커맨더 노드로 구성된, 일반적으로 사용되는 저속 네트워크 인터페이스입니다. 통신에는 단일 와이어만 필요하며 이 와이어는 일반적으로 차량 와이어링 하니스에 포함되어 있습니다.

TLIN1021A-Q1 트랜스미터는 최대 20kbps의 데이터 속도를 지원합니다. 트랜시버는 TXD 핀을 통해 LIN 버스의 상태를 제어하고 오픈 드레인 RXD 출력 핀에서 버스의 상태를 보고합니다. 장치에는 전자기 방출(EME)을 줄이기 위한 전류 제한 파형 드라이버가 있습니다.

TLIN1021A-Q1은 넓은 입력 전압 작동 범위에서 12V 애플리케이션을 지원하도록 설계되었습니다. 이 장치는 LIN, WAKE 핀 또는 EN 핀에서 저전력 절전 모드와 저전력 모드로부터 웨이크업 모드를 지원합니다. 이 장치는 TLIN1021A-Q1 INH 출력 핀을 통해 노드에 있을 수 있는 다양한 전원 공급 장치를 선택적으로 활성화하여 배터리 전류 소비를 시스템 수준에서 줄일 수 있습니다. 그림 7-1에서는 TI TLIN1021A LIN 트랜시버를 사용하여 구현된 일반적인 인터페이스를 보여줍니다.

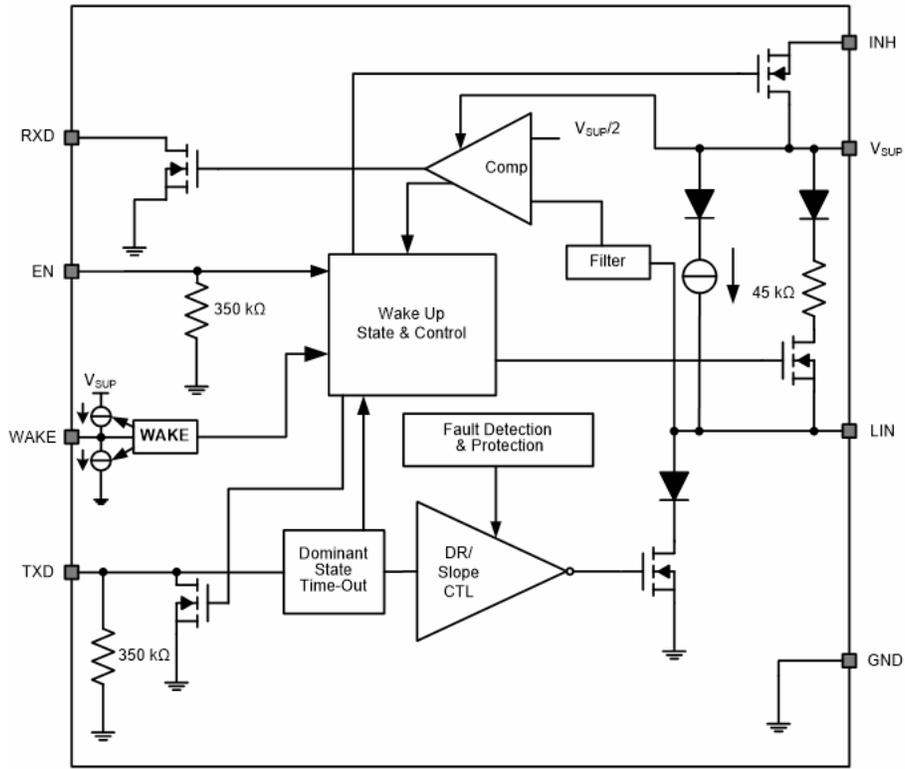


그림 7-1. 일반적인 LIN TLIN1021A 트랜시버

통신에는 단일 와이어만 필요하며 이 와이어는 일반적으로 차량 와이어링 하니스에 포함되어 있습니다. [그림 7-2](#) 및 [그림 7-3](#)에서는 TI TLIN1021A LIN 트랜시버를 사용하여 구현되는 일반적인 인터페이스를 보여줍니다. 자세한 내용은 TLIN1021 데이터 시트를 참조하십시오.

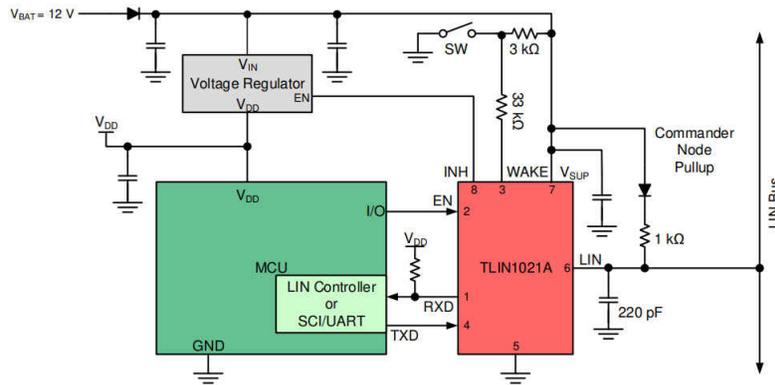


그림 7-2. MSPM0G를 사용하는 일반적인 LIN 애플리케이션(커맨더)

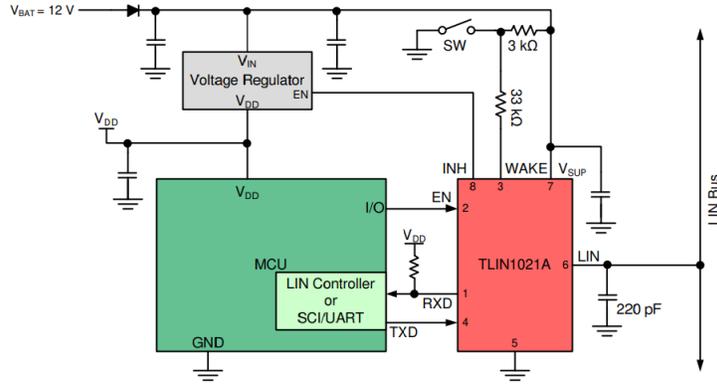


그림 7-3. MSPM0G를 사용하는 일반적인 LIN 애플리케이션(응답기)

### 7.3 MCAN 설계 고려 사항

CAN(컨트롤러 영역 네트워크)은 높은 수준의 신뢰성으로 분산 실시간 제어를 효율적으로 지원하는 직렬 통신 프로토콜입니다. CAN은 전기 간섭에 대한 내성이 높고 다양한 유형의 오류를 감지할 수 있습니다. CAN에서는 다수의 짧은 메시지가 전체 네트워크로 브로드캐스트되어 시스템의 모든 노드에서 데이터 일관성을 제공합니다.

MCAN 모듈은 클래식 CAN 및 CAN FD(유연한 데이터 속도의 CAN) 프로토콜을 모두 지원합니다. CAN FD 기능을 사용하면 데이터 프레임당 처리량을 높이고 페이로드를 늘릴 수 있습니다. 버스 오류를 생성하지 않고 CAN FD를 감지하고 무시할 수 있는 부분 네트워크 트랜시버가 클래식 CAN 장치에서 사용되는 경우 클래식 CAN 및 CAN FD 장치는 충돌 없이 동일한 네트워크에 공존할 수 있습니다. MCAN 모듈은 ISO 11898-1:2015 적합합니다.

일부 MSPM0G 장치에는 MCAN 및 LIN 모듈이 포함되어 있습니다. CAN 및 LIN 버스에 정상적으로 연결하려면 그림 7-4에 표시된 대로 장치에 외부 MCAN 트랜시버 또는 LIN 트랜시버가 필요합니다.

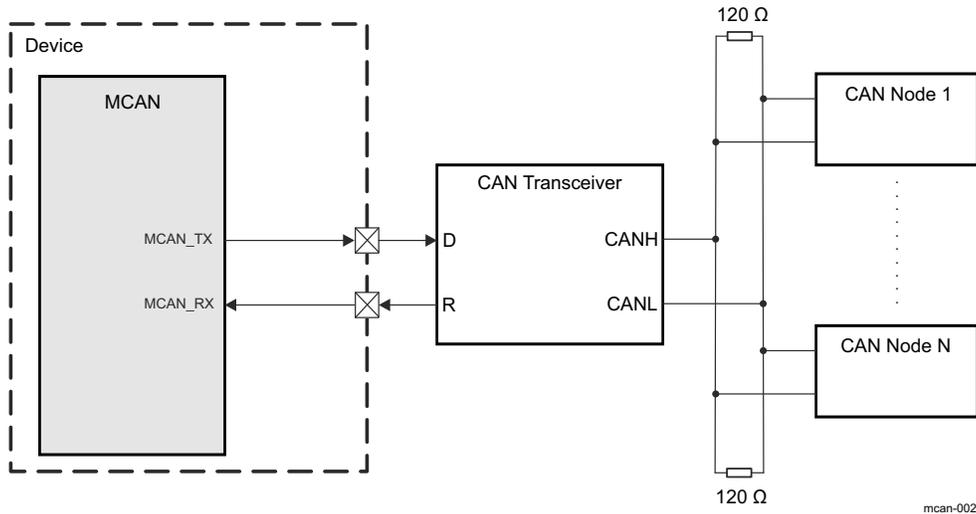


그림 7-4. MCAN 일반 버스 배선

TCAN1042GV는 CAN 트랜시버이며 ISO11898-2(2016) 고속 CAN(컨트롤러 영역 네트워크) 물리 계층 표준을 충족합니다. 입력 핀 임계값 및 RXD 출력 레벨을 전환하는 I/O 레벨을 위한 보조 전원 공급 장치 입력을 이용해 최대 5Mbps(초당 메가비트)의 CAN FD 네트워크에서 사용할 수 있습니다. 이 장치에는 원격 웨이크업 기능이 있는 저전력 대기 모드가 있습니다. 또한 이 장치에는 장치와 네트워크 견고성을 높여주는 다수의 보호 기능이 포함되어 있습니다. 그림 7-5에는 레퍼런스 설계 회로가 포함되어 있습니다. 자세한 내용은 TCAN1042 데이터 시트를 참조하십시오.

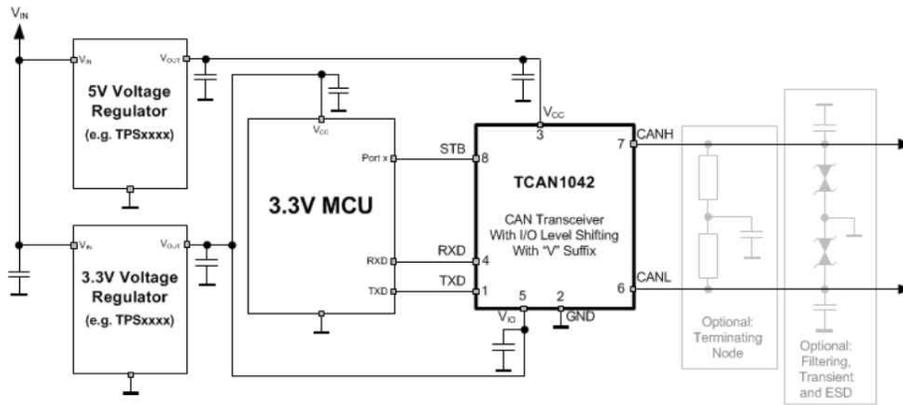


그림 7-5. MSPM0G를 포함하는 일반 CAN 버스 애플리케이션

### 7.4 I2C 및 SPI 설계 고려 사항

SPI 및 I2C 프로토콜은 MCU와 센서 간의 데이터 교환과 같이 장치 또는 보드 간의 통신에 널리 사용됩니다. MSPM0G 시리즈 MCU는 최대 32MHz의 고속 SPI를 포함하고 3회선, 4회선, 칩 선택 및 명령 모드를 지원합니다. 그림 7-6에 따라 요구 사항을 기반으로 시스템을 설계하십시오.

일부 SPI 주변 장치는 높은 로직을 유지하는 PICO(주변 장치 입력 컨트롤러 출력)가 필요합니다. 외부 장치에서 필요한 경우 PICO 핀에 풀업 저항을 추가합니다.

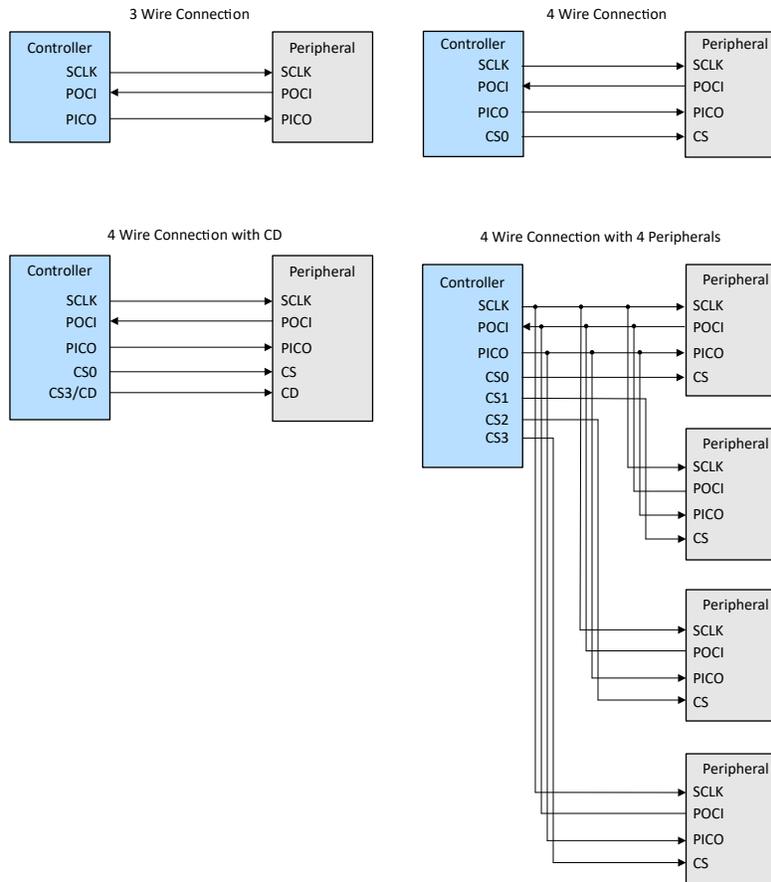


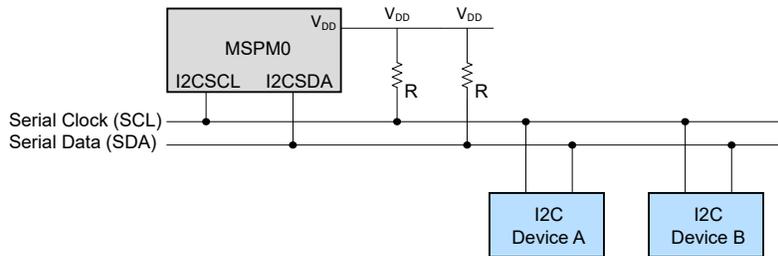
그림 7-6. 다양한 SPI 구성을 위한 외부 연결

I2C 버스의 경우 MSPM0G 장치는 표 7-6에 나와 있는 것처럼 표준, 고속 및 고속 플러스 모드를 지원합니다.

I2C 버스를 사용할 때는 외부 풀업 저항이 필요합니다. 이러한 저항의 값은 I2C 속도에 따라 달라지며, TI는 고속 플러스 모드를 지원하기 위해 2.2k를 권장합니다. 전력 소비와 관련된 시스템의 경우 큰 저항 값을 사용할 수 있습니다. ODIO(GPIO 참조)를 사용하여 5V 장치와의 통신을 구현할 수 있습니다.

**표 7-6. MSPM0G I2C의 특성**

매개 변수		테스트 조건	표준 모드		고속 모드		고속 모드 플러스		단위
			최소값	최대값	최소값	최대값	최소값	최대값	
$f_{I2C}$	I2C 입력 클럭 주파수	전원 도메인0의 I2C		40		40		40	MHz
$f_{SCL}$	SCL 클럭 주파수			100K		400K		1M	MHz
$t_{HD,STA}$	홀드 시간(반복됨) 시작		4		0.6		0.26		us
$t_{LOW}$	SCL 클럭의 낮은 기간		4.7		1.3		0.5		us
$t_{HIGH}$	SCL 클럭의 높은 기간		4		0.6		0.26		us
$t_{SU,STA}$	반복되는 시작의 설정 시간		4.7		0.6		0.26		us
$t_{HD,DAT}$	데이터 홀드 시간		0		0		0		us
$t_{SU,DAT}$	데이터 설정 시간		250		100		50		us
$t_{SU,STO}$	정지의 설정 시간		4		0.6		0.26		us
$t_{BUF}$	정지 조건과 시작 조건 사이의 버스 여유 시간		4.7		1.3		0.5		us
$t_{VD,DAT}$	데이터 유효 시간			3.46		0.9		0.45	us
$t_{VD,ACK}$	데이터 유효 확인 시간			3.46		0.9		0.45	us



**그림 7-7. 일반적인 I2C 버스 연결**

## 8 GPIO

MSPM0G 시리즈 MCU에는 표준 드라이브 I/O(SDIO), HDIO(하이 드라이브 I/O), HSIO(고속 I/O) 및 5V 허용 오픈 드레인 I/O(ODIO)가 포함됩니다. 사용자는 실제 요구 사항에 따라 적절한 I/O 유형을 유연하게 선택할 수 있습니다. 하드웨어 설계에서 다음 특성을 고려해야 합니다.

### 8.1 GPIO 출력 스위칭 속도 및 부하 커패시턴스

GPIO를 I/O로 사용할 때는 올바른 작동을 위해 설계 고려 사항을 적용해야 합니다. 부하 커패시턴스가 클수록 I/O 핀의 상승/하강 시간이 증가합니다. 이 커패시턴스에는 핀 기생 커패시턴스( $C_i=5\text{pF}$ (일반))와 보드 트레이스의 효과가 포함되어 있습니다. I/O 특성은 장치 데이터 시트에 나와 있습니다. 표 8-1에는 MSPM0G 장치의 I/O 출력 주파수 특성이 나열되어 있습니다.

표 8-1. MSPM0G GPIO 스위칭 특성

매개변수		테스트 조건		최소값	일반	최대값	단위
$f_{\max}$	포트 출력 주파수	SDIO	$VDD \geq 1.71\text{V}, C_L = 20\text{pF}$			16	MHz
			$VDD \geq 2.7\text{V}, C_L = 20\text{pF}$			32	
		HSIO	$VDD \geq 1.71\text{V}, \text{DRV} = 0, C_L = 20\text{pF}$			16	
			$VDD \geq 1.71\text{V}, \text{DRV} = 1, C_L = 20\text{pF}$			24	
			$VDD \geq 2.7\text{V}, \text{DRV} = 0, C_L = 20\text{pF}$			32	
			$VDD \geq 2.7\text{V}, \text{DRV} = 1, C_L = 20\text{pF}$			40	
ODIO	$VDD \geq 1.71\text{V}, \text{FM}^+, C_L = 20\text{pF} \sim 100\text{pF}$			1			
$t_r, t_f$	출력 상승 또는 하강 시간	ODIO를 제외한 모든 출력 포트	$VDD \geq 1.71\text{V}$			$0.3 \cdot f_{\max}$	s
$t_f$	출력 하강 시간	ODIO	$VDD \geq 1.71\text{V}, \text{FM}^+, C_L = 20\text{pF} \sim 100\text{pF}$	$20 \cdot VDD/5.5$		120	ns

#### 주

- 출력 전압은 지정된 토글 주파수에서 최소 10% 및 90%  $V_{CC}$ 에 도달합니다.
- 오픈 드레인 I/O의 출력 상승 시간은 풀업 저항 및 부하 커패시턴스에 의해 결정됩니다.

### 8.2 GPIO 전류 싱크 및 소스

표 8-2. MSPM0G GPIO 최대 정격 절대값

		최소값	NOM	최대값	단위
VDD	공급 전압	1.62		3.6	V
VCORE	VCORE 핀의 전압		1.35		V
$C_{VDD}$	VDD와 VSS 사이에 배치된 커패시터		10		$\mu\text{F}$
$C_{VCORE}$	VCORE와 VSS 사이에 배치된 커패시터		470		nF
$T_A$	주변 온도, T 버전	-40		105	$^{\circ}\text{C}$
	주변 온도, S 버전	-40		125	
$T_A$	주변 온도, Q 버전	-40		125	$^{\circ}\text{C}$
$T_J$	최대 접합부 온도, T 버전			125	$^{\circ}\text{C}$
$T_J$	최대 접합부 온도, S 및 Q 버전			130	$^{\circ}\text{C}$
$f_{\text{MCLK}}(\text{PD1 버스 클럭})$	플래시 대기 상태가 2개인 MCLK, CPUCLK, ULPCCLK 주파수			80	MHz
	플래시 대기 상태가 1개인 MCLK, CPUCLK, ULPCCLK 주파수			48	
	플래시 대기 상태가 0개인 MCLK, CPUCLK, ULPCCLK 주파수			24	
$f_{\text{ULPCCLK}}(\text{PD0 버스 클럭})$	ULPCCLK 주파수			40	MHz

주

- I/O의 총 전류는  $I_{VDD}$ 의 최대 값보다 작아야 합니다.
- HDIO, HSIO 및 ODIO는 고정 핀에 패치됩니다. 장치 데이터 시트를 참조하십시오.

SDIO 및 HSIO는 6mA(일반)의 최대 전류를 싱크하거나 소싱할 수 있으며, 이는 일반적인 LED를 구동하기에 충분합니다. 더 큰 전류 부하의 경우 HDIO(최대 전류 20mA(일반))를 사용합니다. 그러나 총 결합 전류는  $I_{VDD}$ (일반적으로 80mA) 미만이어야 합니다.

### 8.3 HSIO(고속 GPIO)

HSIO는 최대 40MHz의 주파수를 지원할 수 있으며 이 속도는 버스 클럭, 공급 전압 및 부하 커패시턴스와 관련이 있습니다. 사용자는 DIO 저항의 DRV 비트를 통해 출력 최대 주파수를 선택할 수도 있습니다.

### 8.4 HDIO(하이 드라이브 GPIO)

HDIO는 부하를 구동하기 위해 20mA 전류를 출력할 수 있으며, 최대 소스 전류는 공급 전압과 관련이 있습니다.

### 8.5 오픈 드레인 GPIO로 레벨 시프터 없이 5V 통신 가능

ODIO는 5V 입력을 허용합니다. ODIO는 오픈 드레인이기 때문에 핀이 높은 출력을 할 수 있으려면 외부 풀업 저항이 필요합니다. 이 I/O는 전압 수준이 다른 UART 또는 I2C 인터페이스에 사용할 수 있습니다. 전류를 제한하려면 핀과 풀업 저항 사이에 직렬 저항을 배치해야 하며  $R_{SERIES}$ 는 250Ω 이상이어야 합니다. 그림 8-1에 나와 있듯이 TI는 270Ω을 권장합니다. 풀업 저항의 값은 출력 주파수에 따라 달라집니다(섹션 7.4 참조).

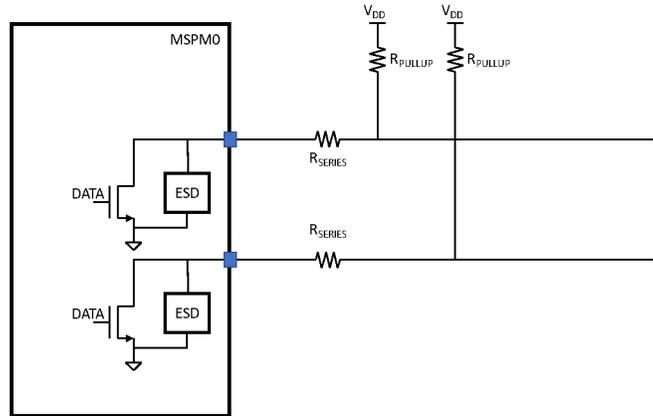


그림 8-1. 권장 ODIO 회로

### 8.6 레벨 시프터 없이 1.8V 장치와 통신

MSPM0L 시리즈 장치는 3.3V 로직 레벨(ODIO 제외)을 사용합니다. 그림 8-2에서는 1.8V 장치와 통신하면서 외부 레벨 시프터 장치를 사용하지 않아야 하는 경우 1.8V 장치와의 상호 작용을 위한 권장 회로를 보여줍니다.

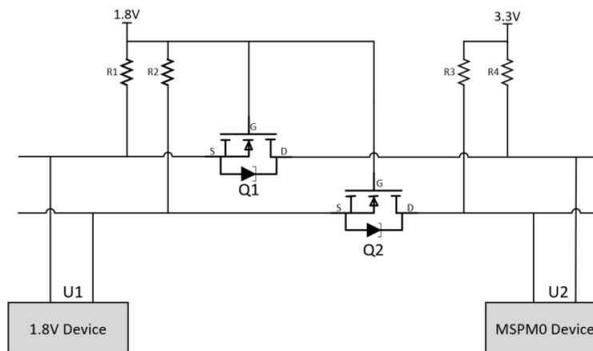


그림 8-2. 1.8V 장치를 사용한 권장 통신 회로

이 회로에는 두 개의 MOSFET이 사용됩니다. VGS를 확인하여 낮은 RDS(on)로 이 MOSFET이 완전히 켜지도록 하십시오. 1.8V 장치의 경우 1.8V VGS MOSFET 미만을 사용하십시오. 그러나 VGS MOSFET이 지나치게 낮을 경우 MOSFET이 매우 작은 전압에서 켜지고(MCU 로직은 이 전압을 0으로 판단함) 통신 로직 오류가 발생할 수 있습니다.

#### U1 출력 및 U2 입력

1. U1 출력 "1.8v 높음", Q1 VGS 약 0, 따라서 Q1이 꺼지고 U2는 R4에서 "3.3v 높음"으로 표시됩니다.
2. U1 출력 "낮음", Q1 VGS 약 1.8v, 따라서 Q1이 켜지고 U2는 "낮음"으로 표시됩니다.

#### U1 입력 및 U2 출력

1. U2 출력 "3.3V 높음", U1은 R1에서 1.8V를 유지하며, Q1은 꺼지기 때문에 U1은 "1.8V 높음"으로 표시됩니다.
2. U2 출력이 "낮음"이고 U1은 처음에는 R1에서 1.8V를 유지하지만 MOSFET 안의 다이오드가 U1을 0.7V(다이오드 전압 강하)로 끌어내리므로 VGS가 턴온 전압보다 커지고 Q1이 켜지며 U1은 "낮음"으로 표시됩니다.

### 8.7 사용하지 않은 핀 연결

모든 마이크로컨트롤러는 다양한 애플리케이션을 위해 설계되었으며 일반적으로 특정 애플리케이션에서 MCU 리소스를 100% 사용하지는 않습니다. EMC 성능을 높이려면 사용하지 않는 클록, 카운터 및 I/O를 프리 또는 부동 상태로 두지 마십시오. 예를 들어 I/O를 0 또는 1(사용하지 않는 입출력 핀의 풀업 또는 풀다운)로 설정하고 사용하지 않는 기능을 비활성화하십시오.

**표 8-3. 사용하지 않은 핀의 연결**

핀	전위	설명
PAX	열기	해당 핀 기능을 GPIO(PINCMx.PF = 0x1)로 설정하고 사용하지 않는 핀을 내부 풀업/풀다운 저항을 사용하여 낮은 출력 또는 입력으로 구성합니다.
OPAx_IN0-	열기	이 핀은 고임피던스입니다
NRST	VDD	NRST는 액티브 로우 리셋 신호입니다. VCC로 하이로 풀링해야 하며, 그렇지 않으면 장치가 시작될 수 없습니다.

#### 주

- 누출을 줄이려면 I/O를 아날로그 입력으로 구성하거나 푸시-풀하고 "0"으로 설정하십시오.
- 리셋 후 BSL 모드로 전환되지 않도록 BSL 호출 핀을 풀다운해야 합니다.

## 9 레이아웃 가이드

### 9.1 전원 공급 장치 레이아웃

그림 9-1에서는 전원 공급 장치 레이아웃의 일반적인 부품 배치 및 라우팅을 보여줍니다. MSPM0G 부품에 맞게 수정해야 합니다. 필터 인덕터를 VCC 및 MCU VDD 핀과 직렬로 연결하는 옵션도 있습니다. 이 인덕터는 DCDC의 스위칭 잡음 주파수를 필터링하는 데 사용됩니다. 값은 DCDC 공급업체의 데이터 시트를 참조하십시오. MSPM0G 장치 데이터 시트의 C1/C2/C3 값 및 레이아웃.

주

- MCU VDD 핀(C1<C2<C3)에 가장 가까운 가장 작은 커패시턴스를 유지하십시오.
- 모든 트레이스가 바이어스 없이 직접 이루어지도록 하십시오.

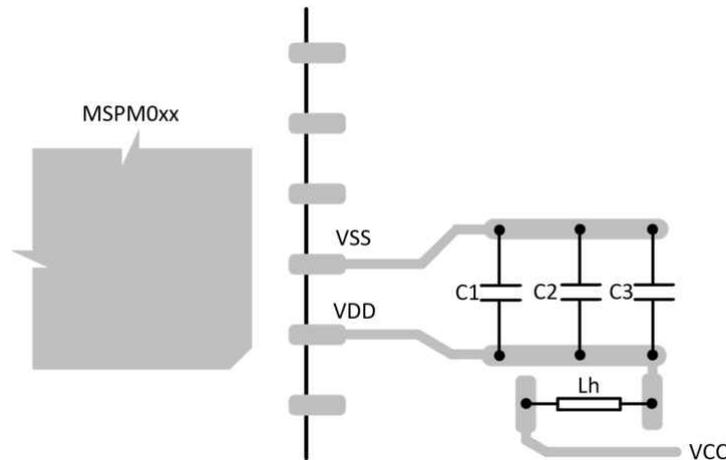


그림 9-1. 권장 전원 공급 장치 레이아웃

### 9.2 접지 배치를 위한 고려 사항

시스템 접지는 보드의 잡음 및 EMI 문제와 관련된 가장 중요한 영역이자 기초입니다. 이러한 문제를 최소화하는 가장 실용적인 방법은 별도의 접지면을 사용하는 것입니다.

#### 접지 잡음이란?

회로(예: 드라이버)에서 발생하는 각 신호에는 접지 경로를 통해 리턴되는 전류 흐름이 있습니다. 주파수가 증가함에 따라 또는 릴레이와 같이 단순한 고전류 스위칭의 경우에도 접지 방식에서 간섭을 생성하는 라인 임피던스로 인해 전압 강하가 발생합니다. 리턴 경로는 항상 최소 저항을 통해 이루어집니다. DC 신호의 경우 가장 낮은 저항 경로가 되고, 고주파 신호의 경우 가장 낮은 임피던스 경로가 됩니다. 이는 접지면이 문제를 단순화하는 방법을 설명하고 신호 무결성을 보장하는 열쇠입니다.

디지털 리턴 신호는 아날로그 리턴(접지) 영역 내부로 전파되지 않는 것이 좋습니다. 따라서 설계자는 반드시 접지면을 분할하여 모든 디지털 신호 리턴 루프를 접지 영역 내에 두도록 해야 합니다. 이 분할은 신중하게 수행해야 합니다. 많은 설계에서 단일(공통) 전압 레귤레이터를 사용하여 동일한 전압 레벨(예: 3.3V)의 디지털 및 아날로그 전원 공급 장치를 생성합니다. 아날로그 레일과 디지털 전원 공급 레일 및 각각의 접지를 서로 절연해야 합니다. 접지를 절연할 때는 두 접지 모두 어딘가에서 단락되어야 하는 점에 주의하십시오. 그림 9-2에서는 디지털 신호의 가능한 리턴 경로가 아날로그 접지를 통과하는 루프를 형성하지 못하도록 하는 방법을 보여줍니다. 각 설계에서 구성 요소 배치 등을 고려하여 공통점을 결정합니다. 접지 트레이스가 있는 직렬에 인덕터(페라이트 비드) 또는 저항(제로  $\Omega$ 도 아님)을 추가하지 마십시오. 고주파수에서의 관련 인덕턴스로 인해 임피던스가 증가하여 전압 차동을 유발합니다. 디지털 접지로 참조되는 신호를 아날로그 접지 또는 다른 방향으로 라우팅하지 마십시오.

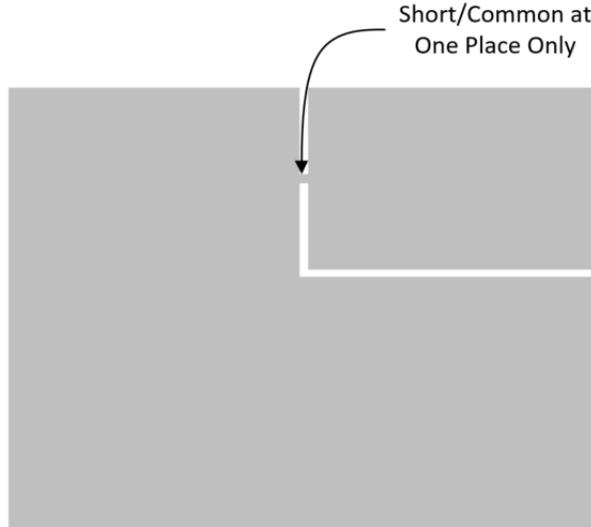


그림 9-2. 디지털 및 아날로그 접지 및 공통 영역

### 9.3 트레이스, 바이어스 및 기타 구성 요소

트레이스의 직각은 더 많은 방사선을 유발할 수 있습니다. 커패시턴스가 코너 영역에서 증가하고 특성 임피던스가 변경됩니다. 이 임피던스 변화로 인해 반사가 발생합니다. 트레이스에서 직각 굽힘을 피하고 최소 두 개의 45° 코너로 라우팅하십시오. 임피던스 변경을 최소화하기 위해 라우팅은 [그림 9-3](#)에 나와 있는 것처럼 둥글게 구부러지는 것이 가장 좋습니다.

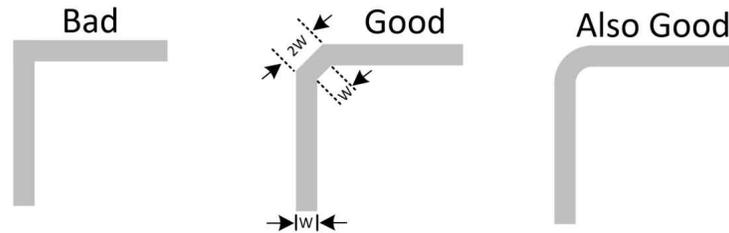


그림 9-3. 트레이스를 직각으로 구부리는 잘못된 방법과 올바른 방법

한 레이어의 두 신호 사이뿐만 아니라 인접한 레이어 사이에서도 크로스토크를 최소화하려면 서로 90°로 라우팅합니다. 더 복잡한 보드는 라우팅 중에 바이어스를 사용해야 합니다. 그러나 바이어스를 사용할 때는 인덕턴스와 커패시턴스를 추가하고 특성 임피던스의 변화로 인해 반사가 발생하므로 주의해야 합니다. 바이어스는 또한 트레이스 길이를 늘립니다. 차동 신호를 사용할 때는 두 트레이스 모두에서 바이어스를 사용하거나 다른 트레이스의 지연을 보상합니다.

신호 트레이스의 경우, 고주파 펄스 신호가 특히 센서 신호와 같은 상대적으로 작은 아날로그 신호에 미치는 영향에 더 주의를 기울이십시오. 크로스오버가 너무 많으면 고주파 신호의 전자기 잡음이 아날로그 신호에 결합되어 신호의 신호 대 잡음 비율이 낮아지고 신호 품질에 영향을 미칩니다. 따라서 설계할 때 교차를 피해야 합니다. 그러나 피할 수 없는 교차점이 있는 경우에는 전자기 잡음의 간섭을 최소화하기 위해 수직으로 교차하는 것이 좋습니다. [그림 9-4](#)에서는 이 잡음을 줄이는 방법을 보여줍니다.

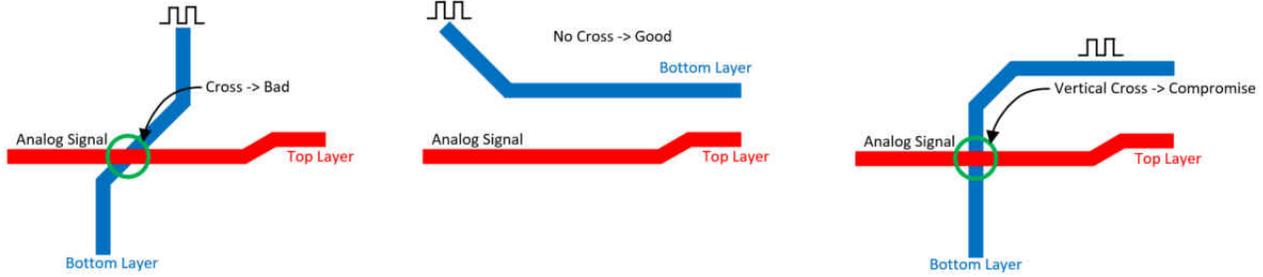


그림 9-4. 아날로그 및 고주파 신호에 대한 잘못된 교차 트레이스와 올바른 교차 트레이스

### 9.4 보드 레이어 및 권장 스택업을 선택하는 방법

고속 신호의 반사를 줄이려면 소스, 싱크 및 전송 라인 간의 임피던스를 일치시킵니다. 신호 트레이스의 임피던스는 지오메트리 및 레퍼런스 플레인에 대한 위치에 따라 달라집니다.

특정 임피던스 요구 사항에 대한 차동 쌍 사이의 트레이스 폭과 공간은 선택한 PCB 스택업에 따라 달라집니다. PCB 기술의 유형과 비용 요구 사항에 따라 최소 트레이스 폭과 공간에 제한이 있으므로 필요한 모든 임피던스를 실현할 수 있는 PCB 스택업을 선택해야 합니다.

사용할 수 있는 최소 구성은 2 스택업입니다. 여러 개의 고속 신호를 가진 매우 밀도가 높은 PCB에는 4레이어 또는 6레이어 보드가 필요합니다.

다음 스택업 **그림 9-5**은 스택업 평가 및 선택을 위해 시작점으로 사용할 수 있는 4계층 예시입니다. 이러한 스택업 구성은 전력 플레인에 인접한 GND 플레인을 사용하여 커패시턴스를 높이고 GND와 전력 플레인 사이의 간격을 줄입니다. 최상위 레이어의 고속 신호에는 EMC 방출을 줄이는 데 도움이 되는 견고한 GND 기준면이 있습니다. 레이어 수를 늘리고 각 PCB 신호 레이어에 대해 GND 레퍼런스를 사용하면 방사 EMC 성능이 더욱 향상됩니다.



그림 9-5. 4레이어 PCB 스택업의 예

시스템이 그다지 복잡하지 않고 고속 신호 또는 민감한 아날로그 신호가 없으면 2 스택업 구조로 충분합니다.

## 10 부트로더

### 10.1 부트로더 소개

부트로더는 UART 또는 I2C와 같은 직렬 인터페이스를 사용하여 SoC의 메모리(플래시 및 SRAM)를 프로그래밍하는 데 사용할 수 있는 펌웨어 IP(장치와 함께 사전 프로그래밍된 소프트웨어)입니다. 부트로더는 일반적으로 장치가 고객 애플리케이션을 시작하려고 할 때 부트코드가 완료된 후에 호출됩니다. 생산 프로그래밍 사용 사례를 지원하기 위해 일부 부트로더는 SPI 또는 CAN과 같은 더 많은 인터페이스도 제공합니다. 부트로더는 현장 업데이트에도 사용할 수 있습니다.

### 10.2 부트로더 하드웨어 설계 고려 사항

#### 10.2.1 물리적 통신 인터페이스

MSPM0G 부트로더(BSL)는 UART 및 I2C 직렬 인터페이스에서 구현됩니다. MSPM0G 장치에서 BSL은 장치와 통신하는 데 사용되는 인터페이스를 자동으로 선택할 수 있습니다. BSL 통신 핀은 ROM 기반 부트로더에 사전 정의되어 있습니다. 사용되는 주변 장치 인터페이스의 특정 인스턴스는 선택한 장치에 따라 다르며 장치별 데이터 시트에서 찾을 수 있습니다. BSL 통신 기능에 할당된 핀을 찾으려면 하드웨어 설계 전에 데이터 시트를 참조하십시오.

**참고:** 리셋 후 BSL 모드로 전환되지 않도록 BSL 호출 핀을 풀다운해야 합니다.

#### 10.2.2 하드웨어 호출

부트로더는 GPIO를 사용하여 BOOTRST 이후의 하드웨어 호출을 지원합니다. NONMAIN 플래시 메모리의 BSL 구성에는 GPIO 호출에 대한 패드, 핀 및 극성 정의가 포함되어 있습니다. 장치는 TI에서 특정 GPIO 및 극성에 맞게 구성되지만 소프트웨어는 NONMAIN 플래시 메모리의 BSL 구성에서 GPIO 핀 구성을 수정하여 이 기본값을 변경할 수 있습니다. 기본 BSL 호출 GPIO를 확인하려면 장치별 데이터 시트를 참조하십시오. [그림 10-1](#)에서는 높은 수준에서 부트로더를 트리거할 수 있는 GPIO 핀 PA18의 예를 보여줍니다.

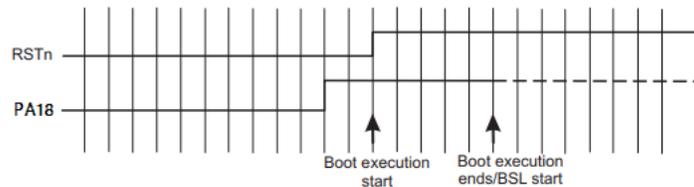


그림 10-1. 구성된 GPIO 핀에서의 BSL 입력 시퀀스

## 11 참고 문헌

1. [MSPM0G350x 혼합 신호 마이크로컨트롤러 데이터 시트](#)
2. [MSPM0 G 시리즈 80MHz 마이크로컨트롤러 기술 레퍼런스 매뉴얼](#)
3. [MSPM0 L-시리즈 MCU 하드웨어 개발 가이드](#)
4. [인히비트 및 웨이크를 지원하는 TLIN1021A-Q1 고장 방지 LIN 트랜시버\(개정판 B\)](#)
5. [CAN FD를 지원하는 TCAN1042-Q1 자동 오류 보호 CAN 트랜시버 데이터 시트\(개정판 D\)](#)

## 12 개정 내역

참고: 이전 개정판의 페이지 번호는 현재 버전의 페이지 번호와 다를 수 있습니다

Changes from Revision A (March 2023) to Revision B (June 2023)	Page
• 문서 전체에서 표, 그림 및 상호 참조에 대한 번호 매기기 형식이 업데이트되었습니다.....	3
• <a href="#">섹션 1</a> 업데이트됨.....	3

## 중요 알림 및 고지 사항

TI는 기술 및 신뢰성 데이터(데이터시트 포함), 디자인 리소스(레퍼런스 디자인 포함), 애플리케이션 또는 기타 디자인 조언, 웹 도구, 안전 정보 및 기타 리소스를 "있는 그대로" 제공하며 상업성, 특정 목적 적합성 또는 제3자 지적 재산권 침해에 대한 묵시적 보증을 포함하여(그러나 이에 국한되지 않음) 모든 명시적 또는 묵시적으로 모든 보증을 부인합니다.

이러한 리소스는 TI 제품을 사용하는 숙련된 개발자에게 적합합니다. (1) 애플리케이션에 대해 적절한 TI 제품을 선택하고, (2) 애플리케이션을 설계, 검증, 테스트하고, (3) 애플리케이션이 해당 표준 및 기타 안전, 보안, 규정 또는 기타 요구 사항을 충족하도록 보장하는 것은 전적으로 귀하의 책임입니다.

이러한 리소스는 예고 없이 변경될 수 있습니다. TI는 리소스에 설명된 TI 제품을 사용하는 애플리케이션의 개발에만 이러한 리소스를 사용할 수 있는 권한을 부여합니다. 이러한 리소스의 기타 복제 및 표시는 금지됩니다. 다른 모든 TI 지적 재산권 또는 타사 지적 재산권에 대한 라이선스가 부여되지 않습니다. TI는 이러한 리소스의 사용으로 인해 발생하는 모든 청구, 손해, 비용, 손실 및 책임에 대해 책임을 지지 않으며 귀하는 TI와 그 대리인을 완전히 면책해야 합니다.

TI의 제품은 [ti.com](https://ti.com)에서 확인하거나 이러한 TI 제품과 함께 제공되는 [TI의 판매 약관](#) 또는 기타 해당 약관의 적용을 받습니다. TI가 이러한 리소스를 제공한다고 해서 TI 제품에 대한 TI의 해당 보증 또는 보증 부인 정보가 확장 또는 기타의 방법으로 변경되지 않습니다.

TI는 사용자가 제안할 수 있는 추가 또는 기타 조건을 반대하거나 거부합니다.

주소: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023, Texas Instruments Incorporated

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated