TLVx333 2μV V_{OS}、0.02μV/°C、17μA、CMOS 运算放大器 零漂移系列

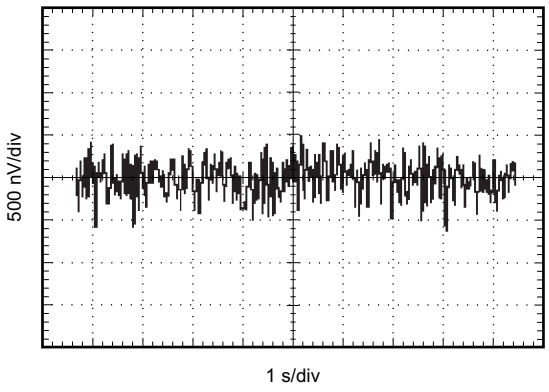
1 特性

- 非常出色的性价比
- 低失调电压：2μV
- 零点漂移：0.02μV/°C
- 低噪声：1.1 μV_{PP}，0.1Hz 至 10Hz
- 静态电流：17μA
- 电源电压：1.8V 至 5.5V
- 轨到轨输入/输出
- 内部电磁干扰 (EMI) 滤波功能
- 微型封装：SOT23、SC70

2 应用

- 电池供电仪器
- 温度测量
- 传感器 应用
- 电子称
- 医疗仪表
- 手持测试设备
- 电流检测

0.1Hz 至 10Hz 噪声



3 说明

TLVx333 系列 CMOS 运算放大器不但具备精密的性能，而且价格极具竞争力。这些器件属于采用专有自动校准技术的零漂移系列放大器，在整个时间和温度范围内的失调电压非常低（最大 15μV）且几乎零漂移，并且静态电流只有 28μA。TLVx333 系列 具有 轨至轨输入和输出以及几乎不变的 1/f 噪声特性，因此，这款放大器是众多 应用 的理想之选，而且更易于系统设计。这些器件经过优化，适合在 1.8V (±0.9V) 至 5.5V (±2.75V) 的低压状态下工作。

TLV333（单通道版本）提供 SC70-5、SOT23-5 和 SOIC-8 三种封装。TLV2333（双通道版本）提供 VSSOP-8 和 SOIC-8 两种封装。TLV4333 提供标准 SOIC-14 和 TSSOP-14 两种封装。所有器件版本的额定工作温度范围均为 -40°C 至 +125°C。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV333	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV2333	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
TLV4333	SOIC (14)	8.65mm × 3.91mm
	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 3
7 技术规格 ... 6
7.1 绝对最大额定值 ... 6
7.2 ESD 额定值 ... 6
7.3 建议的工作条件 ... 6
7.4 热性能信息：TLV333 ... 7
7.5 热性能信息：TLV2333 ... 7
7.6 热性能信息：TLV4333 ... 7
7.7 电气特性：V_S = 1.8V 至 5.5V ... 8
7.8 典型特性 ... 9
8 详细 说明 ... 12
8.1 概述 ... 12
8.2 功能框图 ... 12
8.3 特性 说明 ... 12
8.4 器件功能模式 ... 14
9 应用和实现 ... 15
9.1 系统示例 ... 15
10 电源相关建议 ... 16
11 布局 ... 16
11.1 布局准则 ... 16
11.2 布局示例 ... 16
12 器件和文档支持 ... 17
12.1 器件支持 ... 17
12.2 文档支持 ... 17
12.3 相关链接 ... 17
12.4 社区资源 ... 17
12.5 商标 ... 17
12.6 静电放电警告 ... 17
12.7 Glossary ... 17
13 机械、封装和可订购信息 ... 18

4 修订历史记录

日期	修订版本	注意
2015 年 12 月	*	初始发行版。

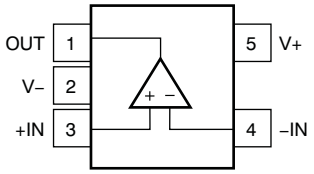
Copyright © 2015, Texas Instruments Incorporated

5 器件比较表

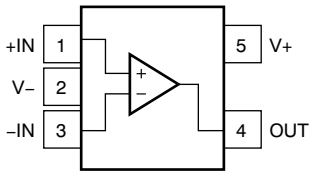
器件	通道数	封装-引线				
		SOIC	SOT23	SC70	VSSOP	TSSOP
TLV333	1	8	5	5	—	—
TLV2333	2	8	—	—	8	—
TLV4333	4	14	—	—	—	14

6 引脚配置和功能

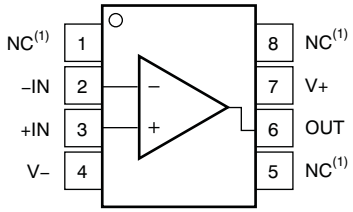
DBV 封装：TLV333
5 引脚 SOT23
俯视图



DCK 封装：TLV333
5 引脚 SC70
俯视图



D 封装：TLV333
8 引脚小外形尺寸集成电路 (SOIC) 封装
俯视图



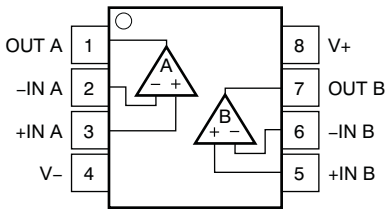
(1) NC 表示无内部连接。

引脚功能：TLV333

名称	引脚			I/O	说明
	编号				
	DBV (SOT23)	DCK (SC70)	D (SOIC)		
–IN	4	3	2	I	反相输入
+IN	3	1	3	I	同相输入
NC	—	—	1、5、8	—	无内部连接（可以悬空）
OUT	1	4	6	O	输出
V–	2	2	4	—	负电源（最低）
V+	5	5	7	—	正电源（最高）

Copyright © 2015, Texas Instruments Incorporated

D 封装：TLV2333
8 引脚 SOIC、VSSOP
俯视图

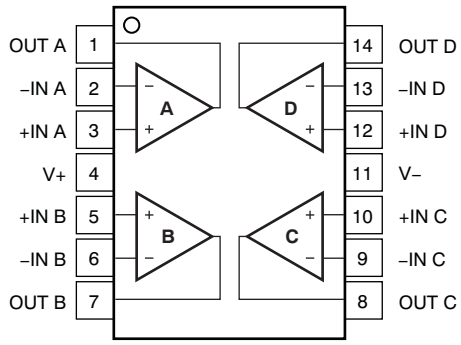


引脚功能：TLV2333

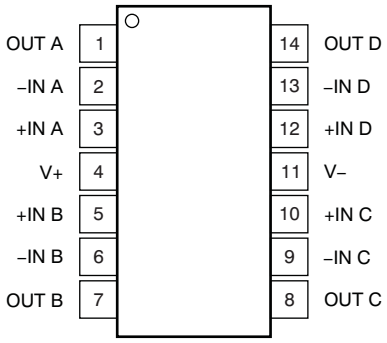
引脚		I/O	说明
名称	编号		
	D（SOIC、VSSOP）		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负电源（最低）
V+	8	—	正电源（最高）

Copyright © 2015, Texas Instruments Incorporated

D 封装：TLV4333
14 引脚 SOIC
俯视图



PW 封装：TLV4333
14 引脚 TSSOP
俯视图



引脚功能：TLV4333

引脚			I/O	说明
名称	编号			
	D (SOIC)	PW (TSSOP)		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
–IN C	9	9	I	反相输入，通道 C
+IN C	10	10	I	同相输入，通道 C
–IN D	13	13	I	反相输入，通道 D
+IN D	12	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	8	8	O	输出，通道 C
OUT D	14	14	O	输出，通道 D
V–	11	11	—	负电源（最低）
V+	4	4	—	正电源（最高）

Copyright © 2015, Texas Instruments Incorporated

7 技术规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压	V_S = (V+) – (V–)		7	V
信号输入引脚(2)	电压	(V–) – 0.3	(V+) + 0.3	V
	电流	-10	10	mA
输出短路(3)		连续		
温度	工作温度	–40	150	°C
	结温		150	
	贮存温度，T_{stg}	-65	150	

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出*推荐的操作条件*下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.3V 的输入信号，必须将其电流限定为不超过 10mA 或者更低。
(3) 对地短路，每个封装对应一个放大器。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压	1.8		5.5	V
	额定温度范围	-40		125	°C

Copyright © 2015, Texas Instruments Incorporated

7.4 热性能信息：TLV333

热指标(1)		TLV333			单位
		D (SOIC)	DBV (SOT23)	DCK (SC70)	
		8 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	140.1	220.8	298.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	89.8	97.5	65.4	°C/W
$R_{\theta JB}$	结至电路板热阻	80.6	61.7	97.1	°C/W
ψ_{JT}	结至顶部的特征参数	28.7	7.6	0.8	°C/W
ψ_{JB}	结至电路板的特征参数	80.1	61.1	95.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不適用	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告，SPRA953。

7.5 热性能信息：TLV2333

热指标(1)		TLV2333		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	124.0	180.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	73.7	48.1	°C/W
$R_{\theta JB}$	结至电路板热阻	64.4	100.9	°C/W
ψ_{JT}	结至顶部的特征参数	18.0	2.4	°C/W
ψ_{JB}	结至电路板的特征参数	63.9	99.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告，SPRA953。

7.6 热性能信息：TLV4333

热指标(1)		TLV4333		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	83.8	120.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	70.7	34.3	°C/W
$R_{\theta JB}$	结至电路板热阻	59.5	62.8	°C/W
ψ_{JT}	结至顶部的特征参数	11.6	1.0	°C/W
ψ_{JB}	结至电路板的特征参数	37.7	56.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告，SPRA953。

Copyright © 2015, Texas Instruments Incorporated

7.7 电气特性：V_S = 1.8V 至 5.5V

在 T_A = 25°C，R_L = 10kΩ 且连接至 1/2 Vs，V_{CM} = V_{OUT} = 1/2 Vs 的条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压(1)	V_S = 5V		2	15	μV
dV_{OS}/dT	V_{OS} 温漂	T_A = –40°C 至 +125°C		0.02		μV/°C
PSRR	电源抑制比	V_S = 1.8V 至 5.5V		1	8	μV/V
	长期稳定性(2)			1(2)		μV
	通道分离，直流			0.1		μV/V
输入偏置电流						
I_B	输入偏置电流			±70		pA
	全温度范围内输入偏置电流	T_A = –40°C 至 +125°C		±150		pA
I_{OS}	输入失调电流			±140		pA
噪声						
e_n	输入电压噪声密度	f = 1kHz		55		nV/√Hz
	输入电压噪声	f = 0.01Hz 至 1Hz		0.3		$μV_{PP}$
		f = 0.1Hz 至 10Hz		1.1		
i_n	输入电流噪声密度	f = 10Hz		100		fA/√Hz
输入电压范围						
V_{CM}	共模电压范围		(V–) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	(V–) – 0.1V < V_{CM} < (V+) + 0.1V	102	115		dB
输入电容						
	差模			2		pF
	共模			4		
开环增益						
A_{OL}	开环电压增益	(V–) + 0.1V < V_O < (V+) – 0.1V	102	130		dB
频率响应						
GBW	增益带宽积	C_L = 100pF		350		kHz
SR	压摆率	G = 1		0.16		V/μs
输出						
	相对于电源轨的电源轨的电压输出摆幅	T_A = –40°C 至 +125°C		30	70	mV
I_{SC}	短路电流			±5		mA
C_L	容性负载驱动		请参阅 *典型特性*			
Z_O	开环输出阻抗	f = 350kHz，I_O = 0mA		2		kΩ
电源						
V_S	额定电压范围		1.8		5.5	V
I_Q	静态电流（每个放大器）	I_O = 0mA，T_A = –40°C 至 +125°C		17	28	μA
	开通时间	V_S = 5V		100		μs
温度范围						
	额定温度范围		-40		125	°C
	工作范围		-40		150	°C
	储存温度		-65		150	°C

(1) 取决于具体的设计和特性。所有放大器均在 25°C 下经过了生产筛查，从而减少了缺陷单元的数量。
(2) 在 150°C 下 300 小时的寿命试验表明，随机分布变化值约为 1μV。

Copyright © 2015, Texas Instruments Incorporated

7.8 典型特性

在 T_A = 25°C，C_L = 0pF，R_L = 10kΩ 且连接至 1/2 Vs，V_{CM} = V_{OUT} = 1/2 Vs 的条件下测得（除非另有说明）

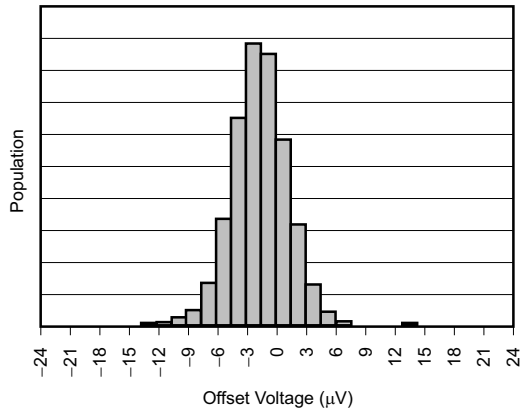


Figure 1. 失调电压产生分布图

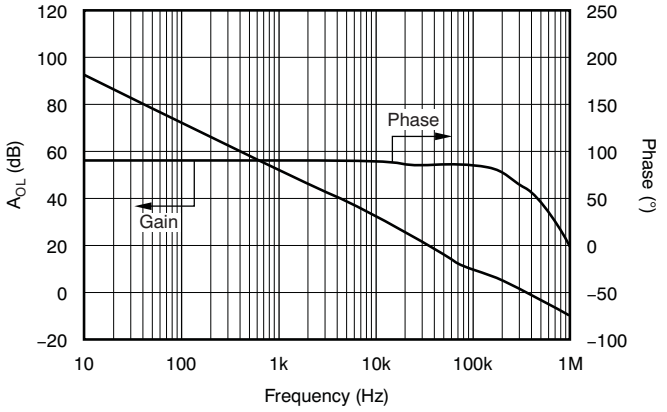


Figure 2. 开环增益与频率间的关系

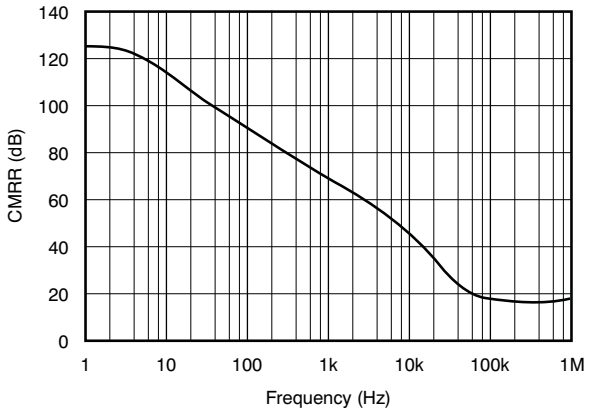


Figure 3. 共模抑制比与频率间的关系

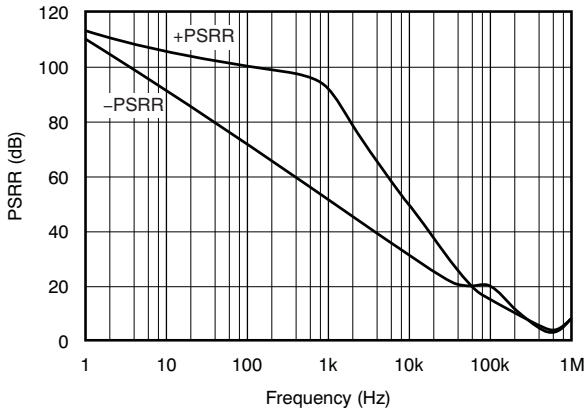


Figure 4. 电源抑制比与频率间的关系

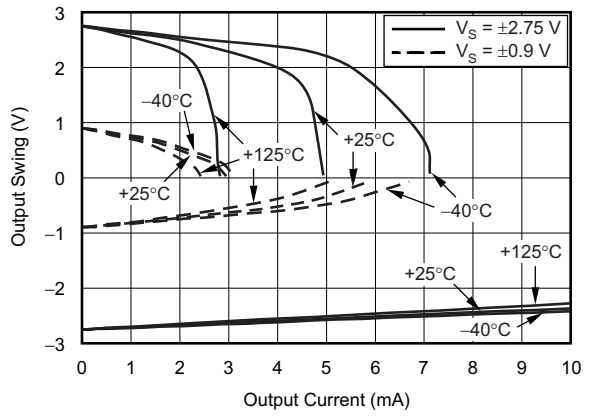


Figure 5. 输出电压摆幅与输出电流间的关系

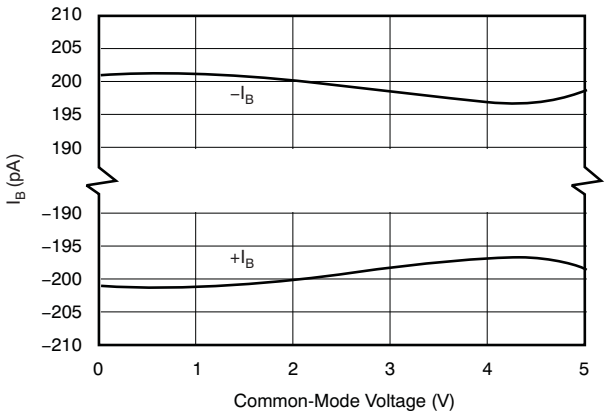


Figure 6. 输入偏置电流与共模电压间的关系

Copyright © 2015, Texas Instruments Incorporated

典型特性 (continued)

在 T_A = 25°C，C_L = 0pF，R_L = 10kΩ 且连接至 1/2 Vs，V_{CM} = V_{OUT} = 1/2 Vs 的条件下测得（除非另有说明）

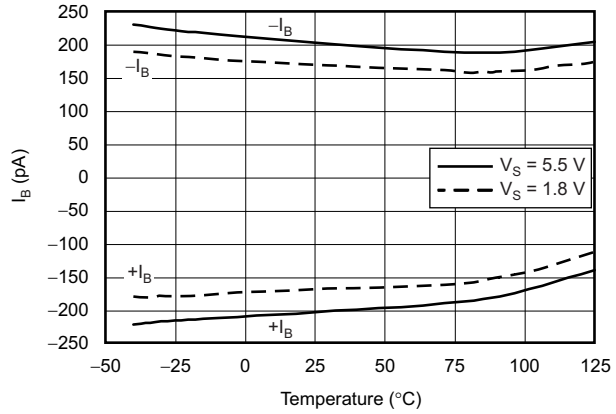


Figure 7. 全温度范围内输入偏置电流

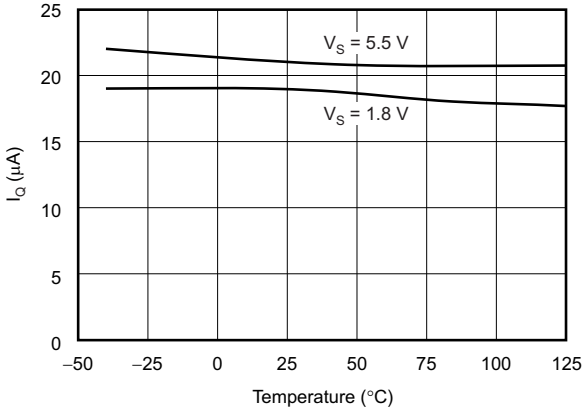


Figure 8. 静态电流与温度间的关系

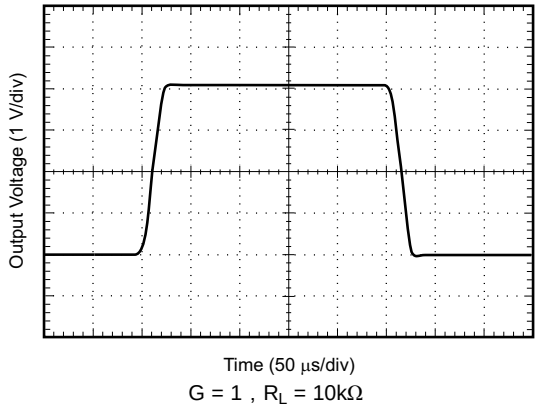


Figure 9. 大信号阶跃响应

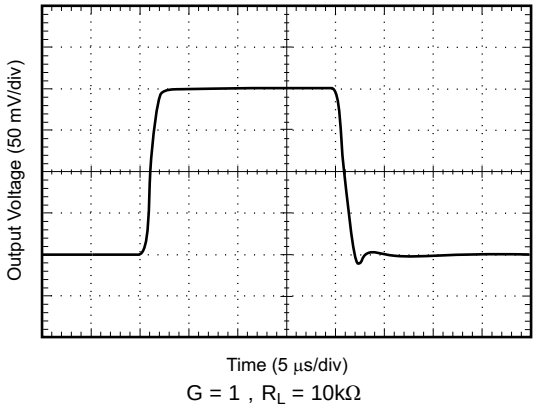


Figure 10. 小信号阶跃响应

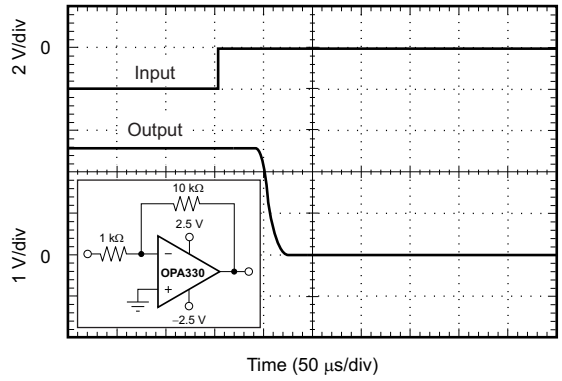


Figure 11. 正过压恢复

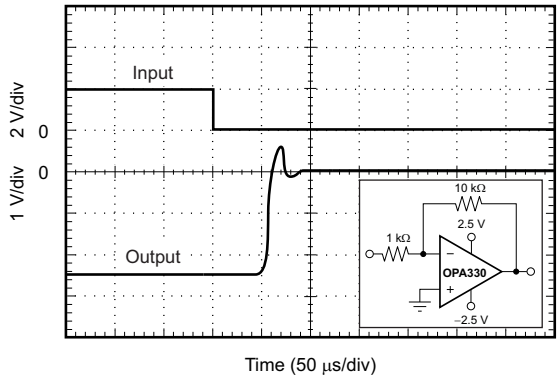


Figure 12. 负过压恢复

Copyright © 2015, Texas Instruments Incorporated

典型特性 (continued)

在 T_A = 25°C，C_L = 0pF，R_L = 10kΩ 且连接至 1/2 Vs，V_{CM} = V_{OUT} = 1/2 Vs 的条件下测得（除非另有说明）

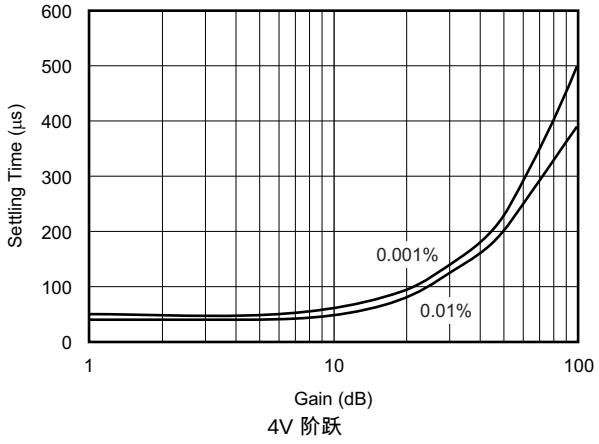


Figure 13. 稳定时间与闭环增益间的关系

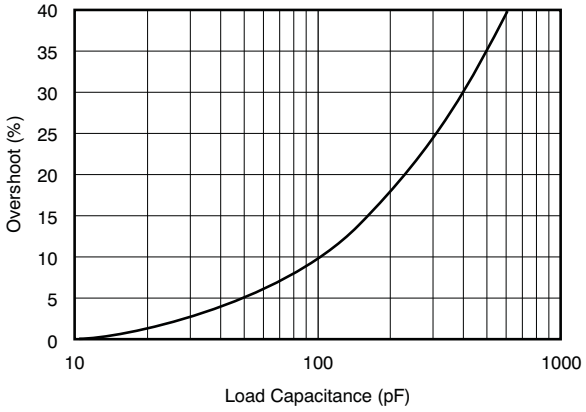


Figure 14. 小信号过冲与负载电容间的关系

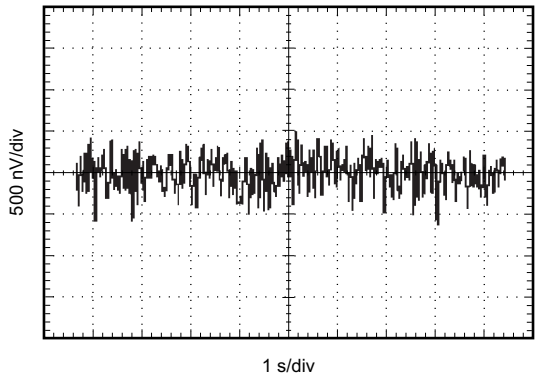


Figure 15. 0.1Hz 至 10Hz 噪声

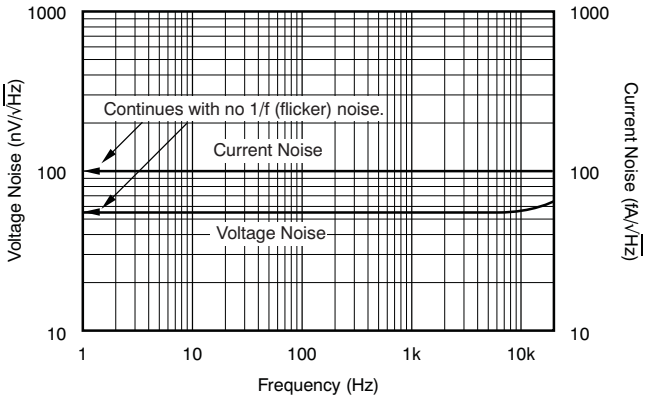


Figure 16. 电流和电压噪声频谱密度与频率间的关系

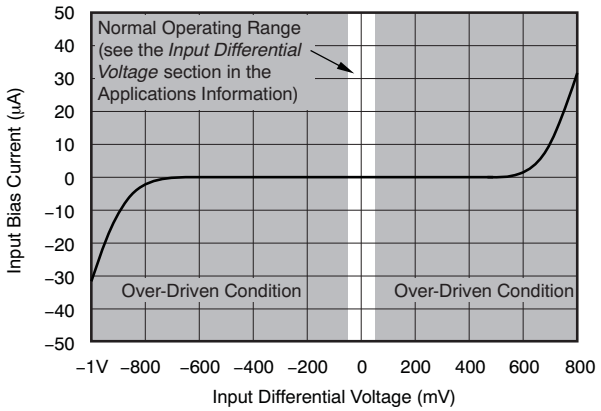


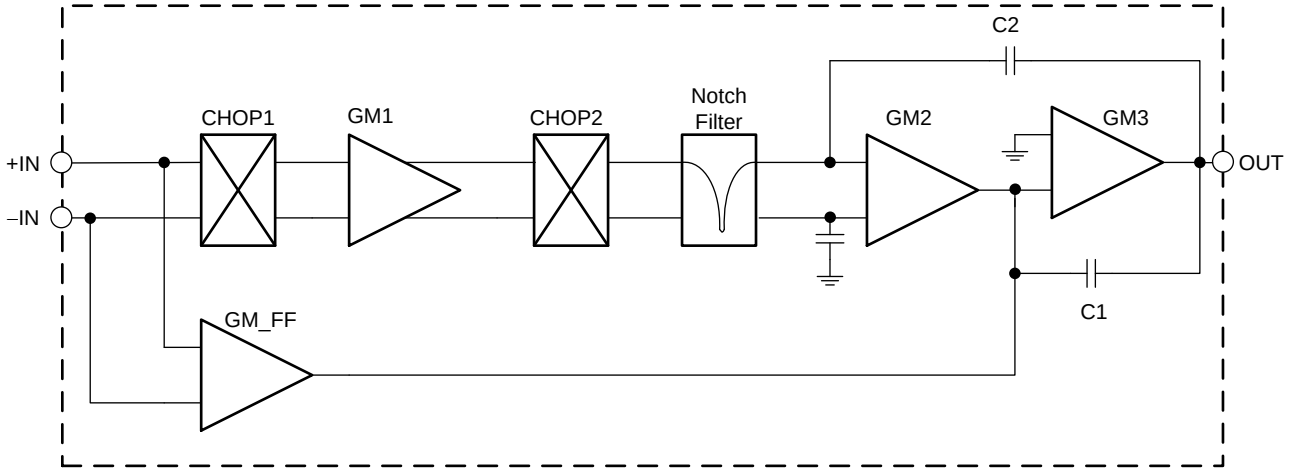
Figure 17. 输入偏置电流与输入差分电压间的关系

8 详细 说明

8.1 概述

TLVx333 系列运算放大器成本低，单位增益稳定，并且不会出现意外输出相位反转。这些器件采用专有自动校准技术，随着时间推移和温度的变化可以提供低失调电压和极低漂移。此外，TLVx333 系列还提供轨至轨输入和输出以及几乎不变的 1/f 噪声特性。得益于这些 特性， 该系列的运算放大器是众多 应用 的理想之选，而且更容易涉及到各类系统之中。

8.2 功能框图



8.3 特性 说明

TLV333、TLV2333 和 TLV4333 系列精密运算放大器单位增益稳定，并且不会出现意外输出相位反转。采用了专有零漂移电路，可随时间推移和温度变化实现低输入失调电压，并降低 1/f 噪声分量。凭借高 PSRR，这些器件能够在直接依靠电池电源运行的 应用 中正常运行，而无需调节。TLV333 系列针对低电压、单通道电源操作进行了优化。在正常测试条件下，这些高精度、低静态电流微型放大器可提供高阻抗输入（共模范围在电源基础上向外扩展了 100mV）和轨至轨输出（摆幅在电源上下 100mV 以内）。TLV333 系列高精度运算放大器适用于低成本的 应用中。

8.3.1 工作电压

TLV333 系列运算放大器可使用单通道电源或双通道电源，工作范围为 V_S = 1.8V (±0.9V) 至 5.5V (±2.75V)。电源电压大于 7V 可能会对器件造成永久损坏（请参阅*绝对最大额定值*表）。*典型特性*部分列出了随电源电压或温度范围而变化的主要参数。

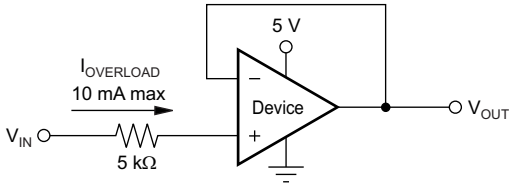
Copyright © 2015, Texas Instruments Incorporated

特性 说明 (continued)

8.3.2 输入电压

TLV333、TLV2333 和 TLV4333 系列的输入共模电压范围在电源轨基础上向外扩展了 0.1V。TLV333 专为支持全范围而设计，而且不设麻烦的转换区域，这往往是许多其他轨至轨放大器的通病。

通常，输入偏置电流约为 200pA；但是，超出电源电压的输入电压可能导致过多电流流入或流出输入引脚。如果输入电流不超过 10mA，则系统可以承受超过电源电压的瞬时电压。可通过输入电阻器轻松实现此限制，如Figure 18 中所示。



NOTE: 如果输入电压超过电源轨 0.3V 或更高，则需要限流电阻器。

Figure 18. 输入电流保护

8.3.3 内部失调校正

TLV333、TLV2333 和 TLV4333 运算放大器将自动校准技术与信号路径中的连续时域 125kHz 运算放大器结合使用。此类放大器每 8μs 通过专有技术进行一次零点校正。启动后，放大器需要约 100μs 来达到额定的 V_{OS} 精度。此设计没有混叠或闪烁噪声。

8.3.4 实现到运算放大器负轨的输出摆幅

有些 应用 要求输出电压摆幅的范围介于 0V 和正满标量程电压（如 2.5V）之间，而且需要出色的精度。对于大多数单通道电源运算放大器来说，如果输出信号接近 0V（接近单通道电源运算放大器的输出摆幅下限），就会出现问题。出色的单通道电源运算放大器可以摆动到非常接近于单通道电源的地，但不会等于地电平。在单通道电源运行的情况下，TLV333、TLV2333 和 TLV4333 的输出能够摆动到接地或稍微低于地面。摆动到接地需要使用另一个电阻器和另一个比运算放大器负电源负性更大的电源。在输出和另一个负电源之间连接一个下拉电阻器，以将输出下拉至低于输出可以达到的值，如Figure 19 中所示。

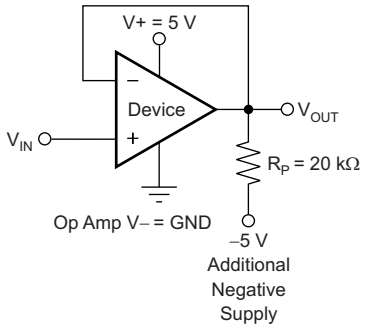


Figure 19. V_{OUT} 接地范围

特性 说明 (continued)

借助前述技术，TLV333、TLV2333 和 TLV4333 拥有的输出级许输出电压被拉低至负电源轨或稍低的位置。该技术仅适用于某些类型的输出级。TLV333、TLV2333 和 TLV4333 非常适合结合该技术使用；推荐的电阻值约为 20kΩ。请注意，此配置会使电流的消耗增加数百微安。精度在电压降至 0V 甚至低至 –2mV 时非常出色。低于–2mV 即会出现限制和非线性，但当输出再次驱动到 –2mV 以上之后便会恢复出色的精度。降低下拉电阻器的电阻让运算放大器能够摆动到低于负轨。使用低至 10kΩ 的电阻可以在低至 –10mV 时实现出色的精度。

8.3.5 输入差分电压

TLV333 在正常运行期间的典型输入偏置电流约为 200pA。在过载情况下，偏置电流会大幅增加（请参阅 Figure 17）。当运算放大器超出线性运行范围时，最有可能出现过载。当运算放大器的输出被驱动至其中一个电源轨时，将无法满足反馈环路的要求，然后各输入引脚会出现差分输入电压。此差分输入电压会激活前端输入切断开关内的寄生二极管，该器件可与 10kΩ 电磁干扰 (EMI) 滤波器电阻结合形成的等效电路，如Figure 20 所示。请注意，输入偏置电流仍保持在线性区域的规格范围内。

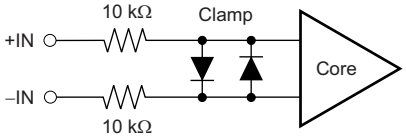


Figure 20. 等效输入电路

8.3.6 EMI 敏感性和输入滤波

不同的运算放大器对于 EMI 的敏感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流失调值在出现 EMI 时可能偏离其标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是输入引脚可能是最易受影响的。TLV333 运算放大器系列内部包含了输入低通滤波器，该滤波器可减少放大器对 EMI 的影响。此输入滤波器提供共模和差模滤波。此滤波器截止频率 8M (-3dB)，具有 20 dB 每 10 倍频程的下降率。

8.4 器件功能模式

TLV333 器件拥有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就会启动。

Copyright © 2015, Texas Instruments Incorporated

9 应用和实现

NOTE

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 系统示例

Figure 21 给出了桥式放大器的基本配置。

Figure 22 显示了低侧电流分流监控器。

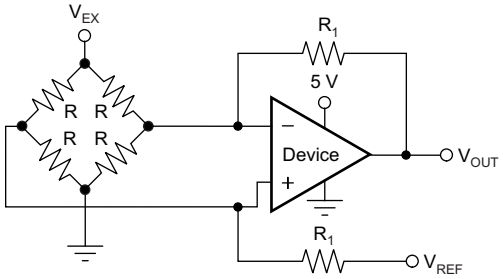
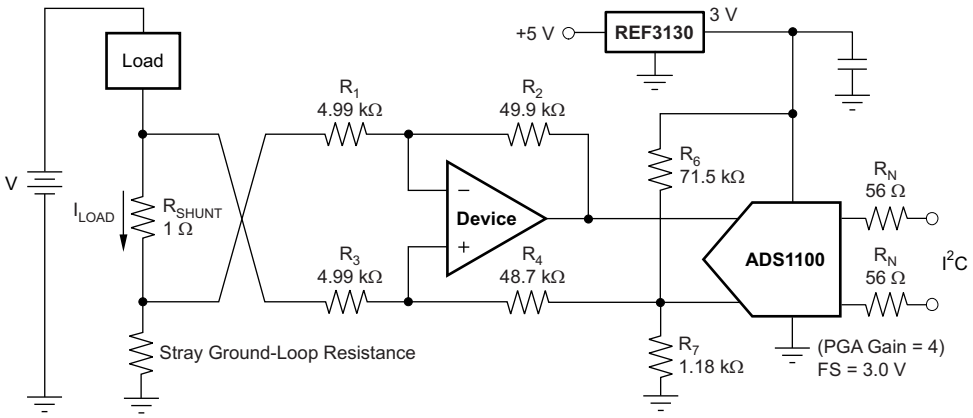


Figure 21. 单路运算放大器桥式放大器



Copyright © 2016, Texas Instruments Incorporated

NOTE: 1% 电阻器可在存在较小的接地回路误差时提供充足的共模抑制。

Figure 22. 低侧电流监控器

R_N 是运算电阻器，用于将 ADS1100 与数字 I^2C 总线的噪声隔离。由于 ADS1100 是 16 位转换器，基准源的精度对于实现最大精度至关重要。如果不需要绝对精度，则 5V 电源就足够稳定，因此可省去 REF3130。

Figure 23 显示了典型热敏电阻电路中的 TLV333。

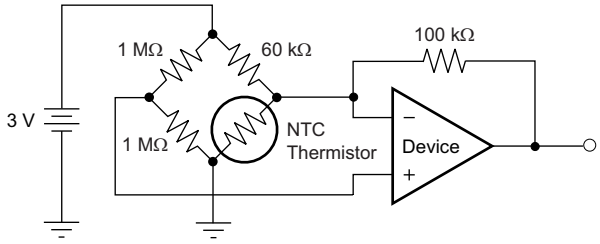


Figure 23. 热敏电阻测量

10 电源相关建议

TLV333 的额定工作电压范围是 1.8V 至 5.5V（±0.9V 至 ±2.75V）；多种技术规格适用于 –40°C 至 +125°C 的温度范围。*典型特性* 部分提供的参数可能随工作电压或温度出现显著变化。

CAUTION

电源电压大于 7V 可能对器件造成永久损坏（请参阅*绝对最大额定值* 表）。

将 0.1μF 旁路电容器置于电源引脚附近，提供低阻态回路降低电源从噪声源等耦合来的噪声。有关旁路电容位置的详细信息，请参阅*布局*部分。

11 布局

11.1 布局准则

11.1.1 通用布局准则

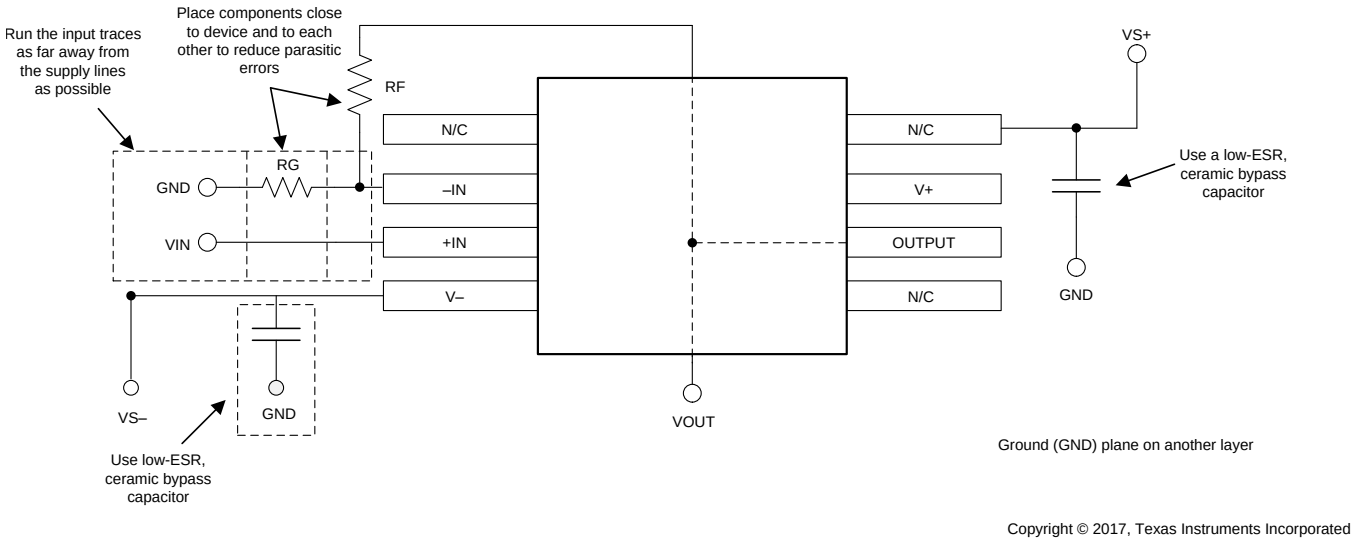
强烈建议您采用优秀的布局规范。尽量缩短走线；如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将 0.1μF 电容器放置在尽可能靠近电源引脚的位置。在整个模拟电路中贯彻应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 敏感性。

如要获得最低的失调电压和精度性能，必须优化电路布局和机械条件。避免在因连接不均质导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。通过确保两个输入端子的电势等效，可以消除这些热电产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件（避免异种金属）。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

遵循这些准则会降低在不同温度下产生结的可能性，从而达到 0.1μV/°C 或更高的热电电压，具体取决于所使用的材料。

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

Figure 24. 布局示例

版权 © 2015, Texas Instruments Incorporated

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

关于此产品的开发支持，请参阅以下内容：

- 高侧 V-I 转换器，0V 至 2V，0mA 至 100mA，1% 满量程误差，TIPD102
- 低电平 V-I 转换器参考设计，0V 至 5V 输入，0μA 至 5μA 输出，TIPD107
- 18位、1MSPS、串行接口、微功耗、真正差动输入 SAR ADC，ADS8881
- 超低功耗、高速、轨到轨输入/输出、电压反馈运算放大器，THS4281
- 优化为最低失真、最低噪声、18 位、1MSPS 的数据采集参考设计，TIPD115
- 自校准 16 位模数转换器，ADS1100
- 最高 20ppm/℃、100μA、SOT23-3 系列电压基准，REF3130

12.2 文档支持

12.2.1 相关文档

相关文档如下：

- *《QFN/SON PCB 连接》*，SLUA271
- *《四方扁平无引线逻辑器件封装》*，SCBA017

12.3 相关链接

表 1 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV333	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2333	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV4333	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

12.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.6 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.7 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

版权 © 2015, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV2333IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	12Z6	Samples
TLV2333IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	12Z6	Samples
TLV2333IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV233	Samples
TLV333IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	12YD	Samples
TLV333IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	12YD	Samples
TLV333IDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	12B	Samples
TLV333IDCKT	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	12B	Samples
TLV333IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV333	Samples
TLV4333IDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4333	Samples
TLV4333IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4333	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

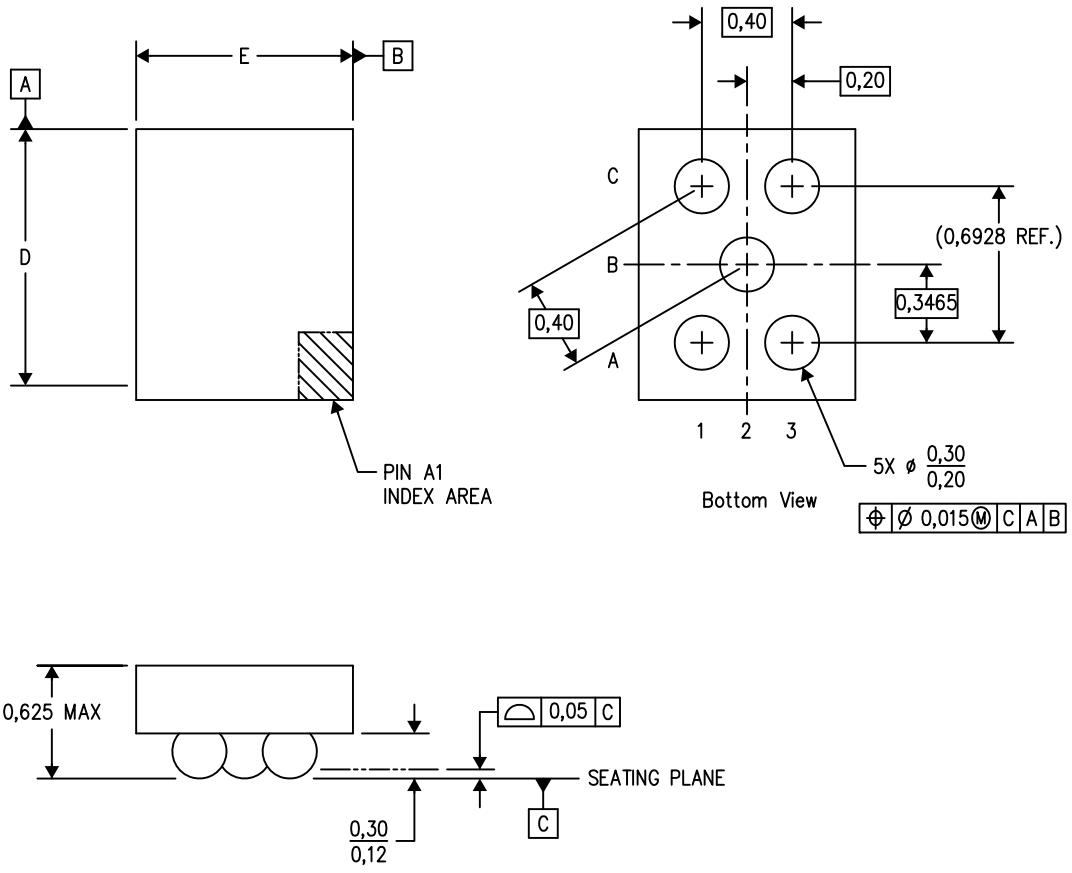
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

YFF (S–XBGA–N5) DIE–SIZE BALL GRID ARRAY



4207625–3/AO 12/13

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

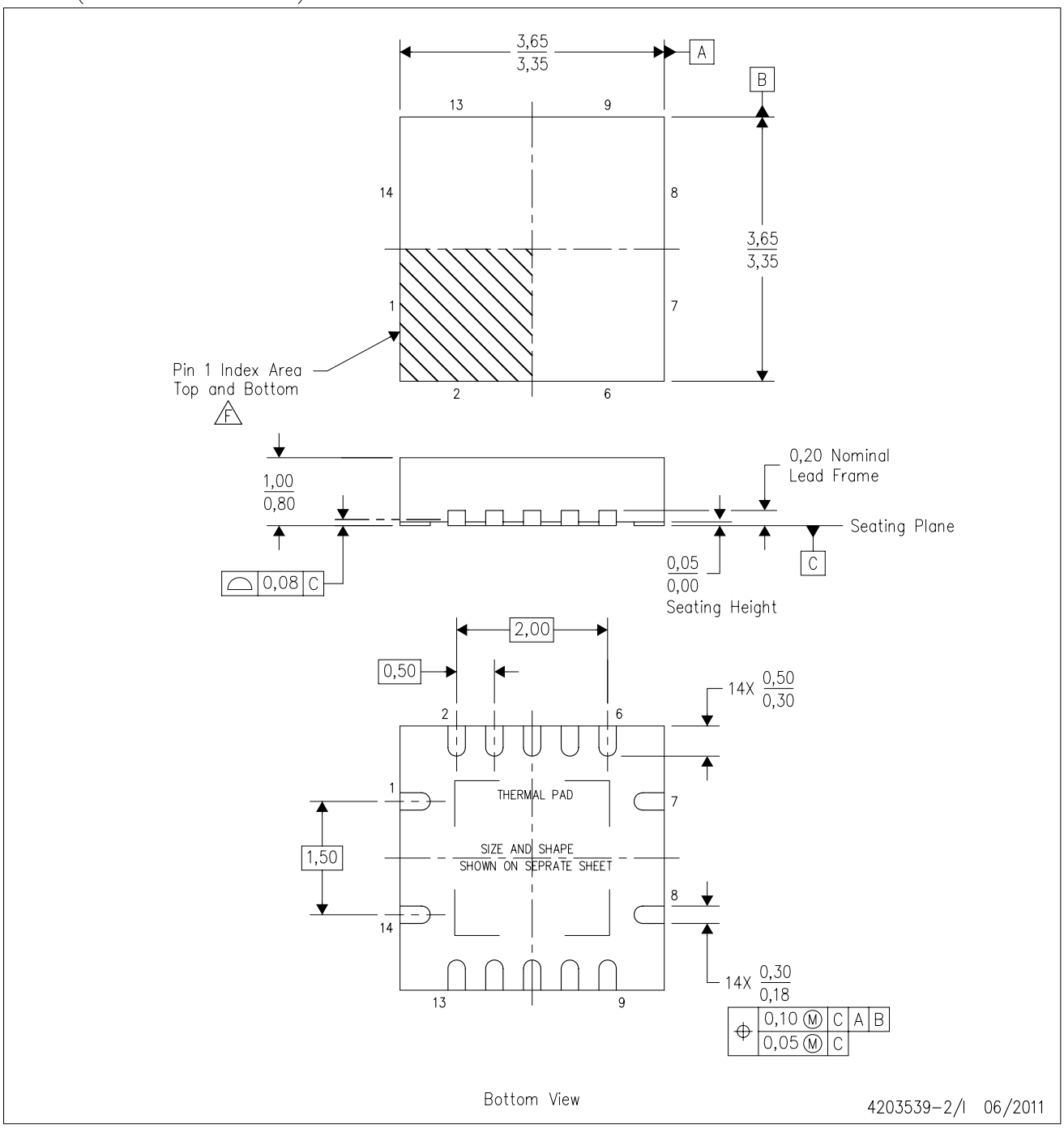
GENERIC PACKAGE VIEW

DRB 8 VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

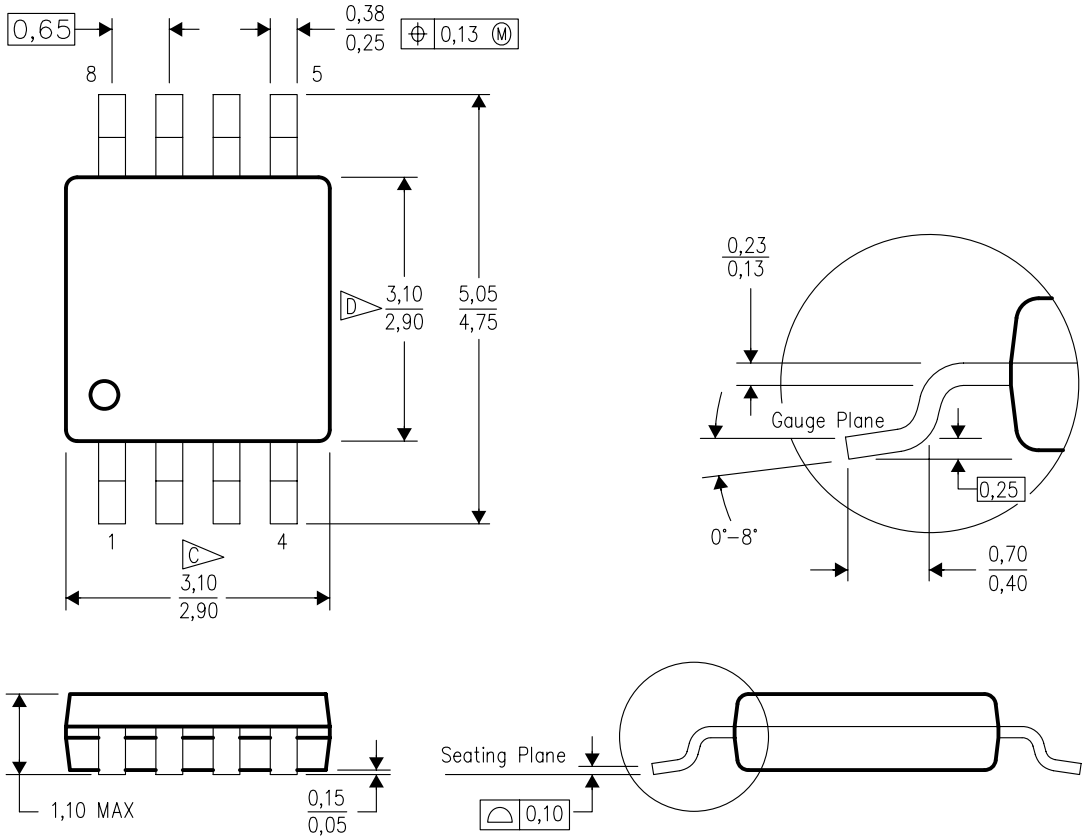
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
G. Package complies to JEDEC MO–241 variation BA.

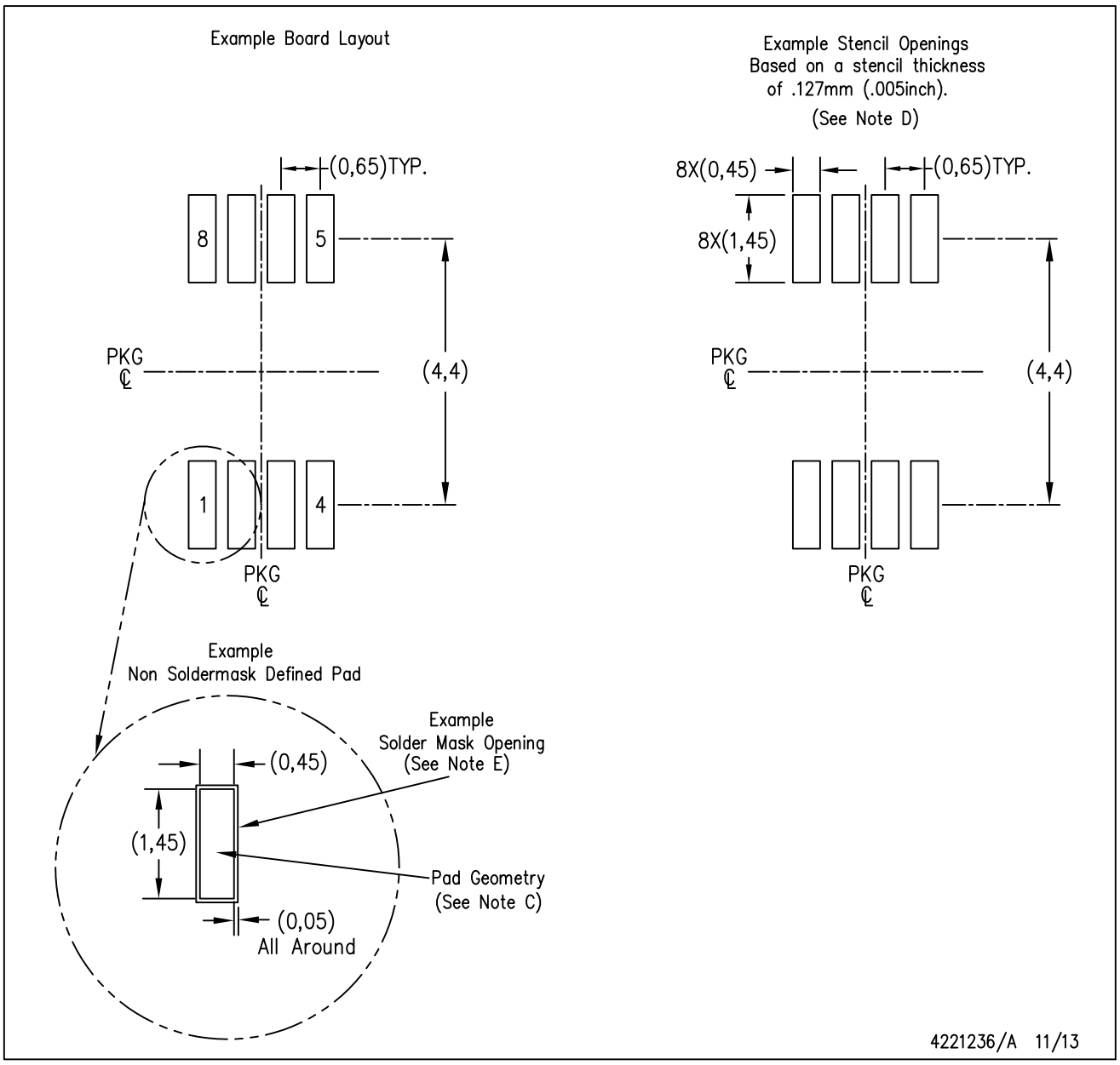
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



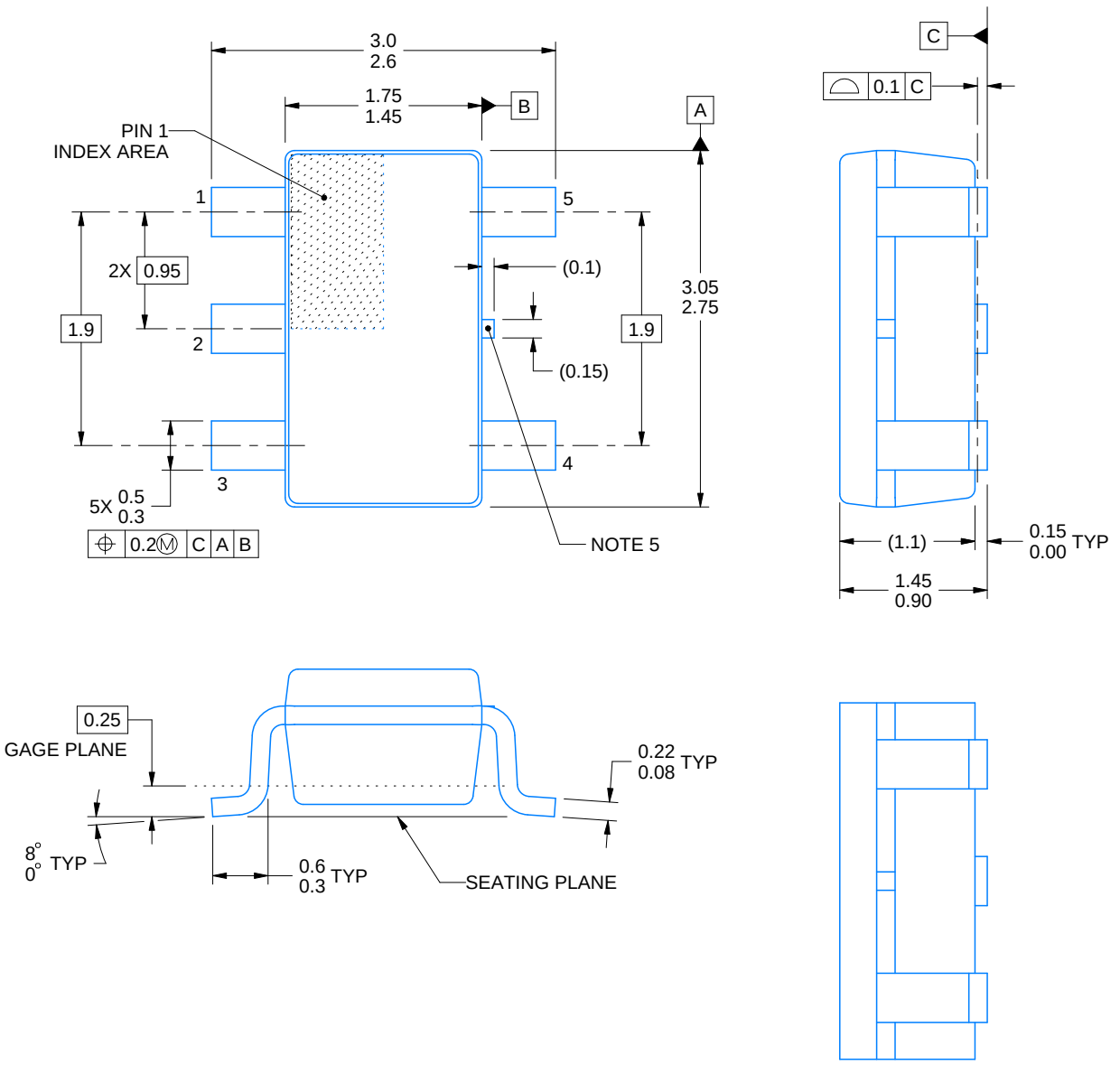
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

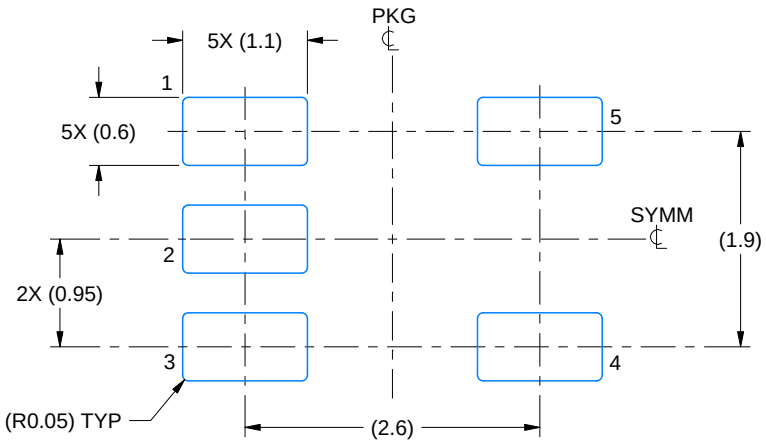


ALTERNATIVE PACKAGE SINGULATION VIEW

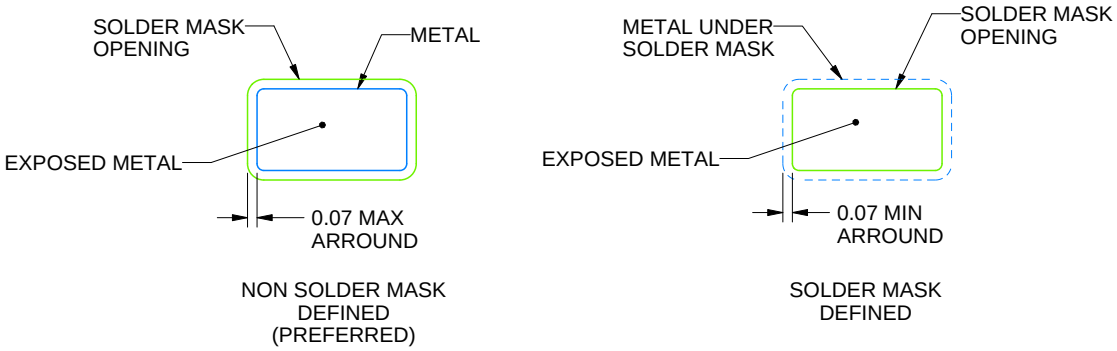
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

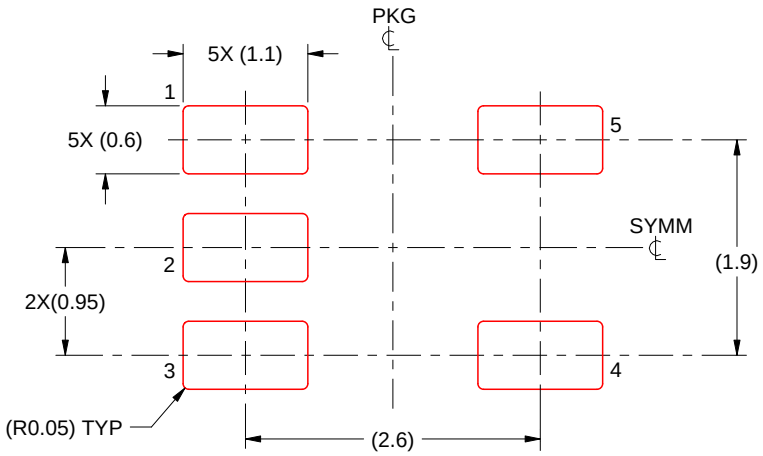


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

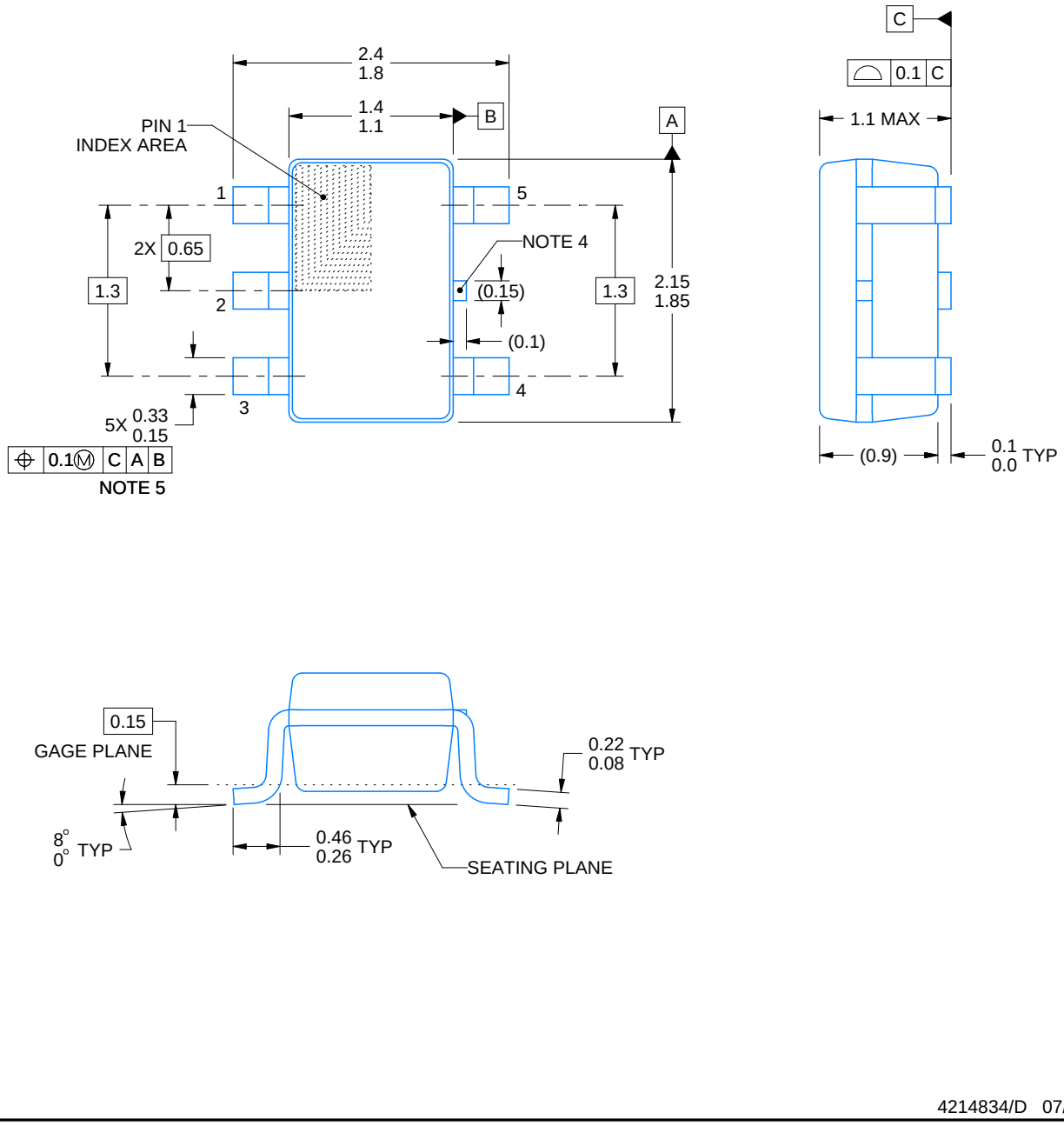
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

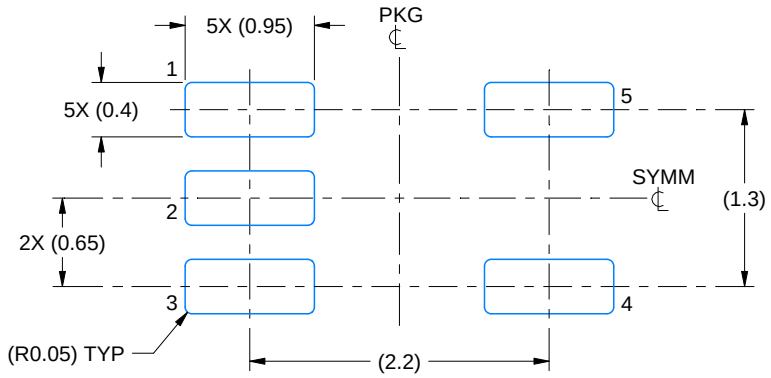
SMALL OUTLINE TRANSISTOR



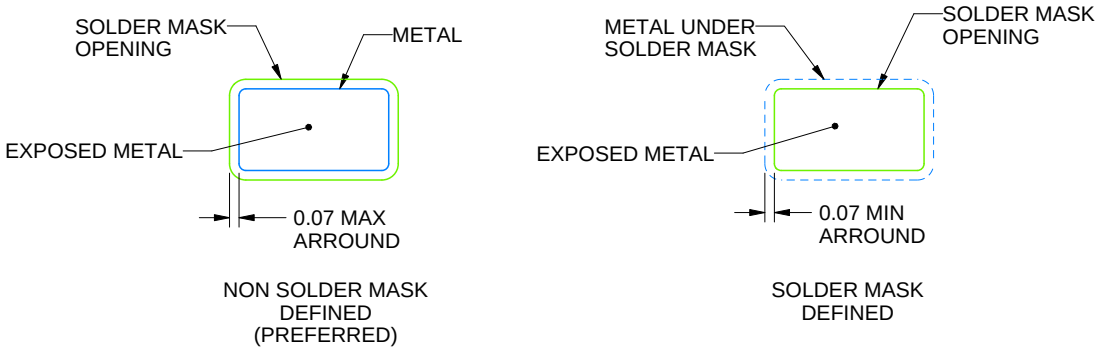
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

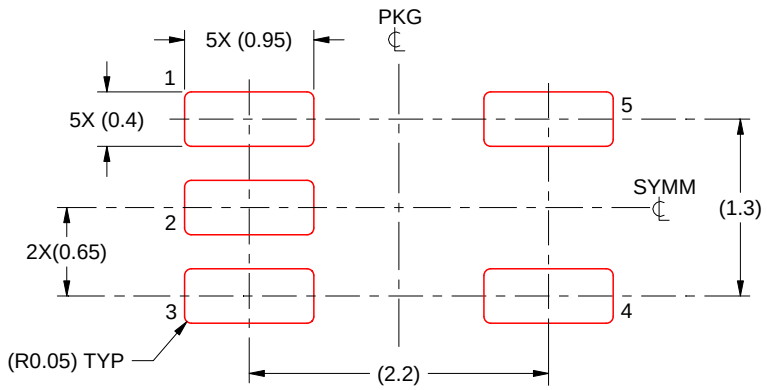


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



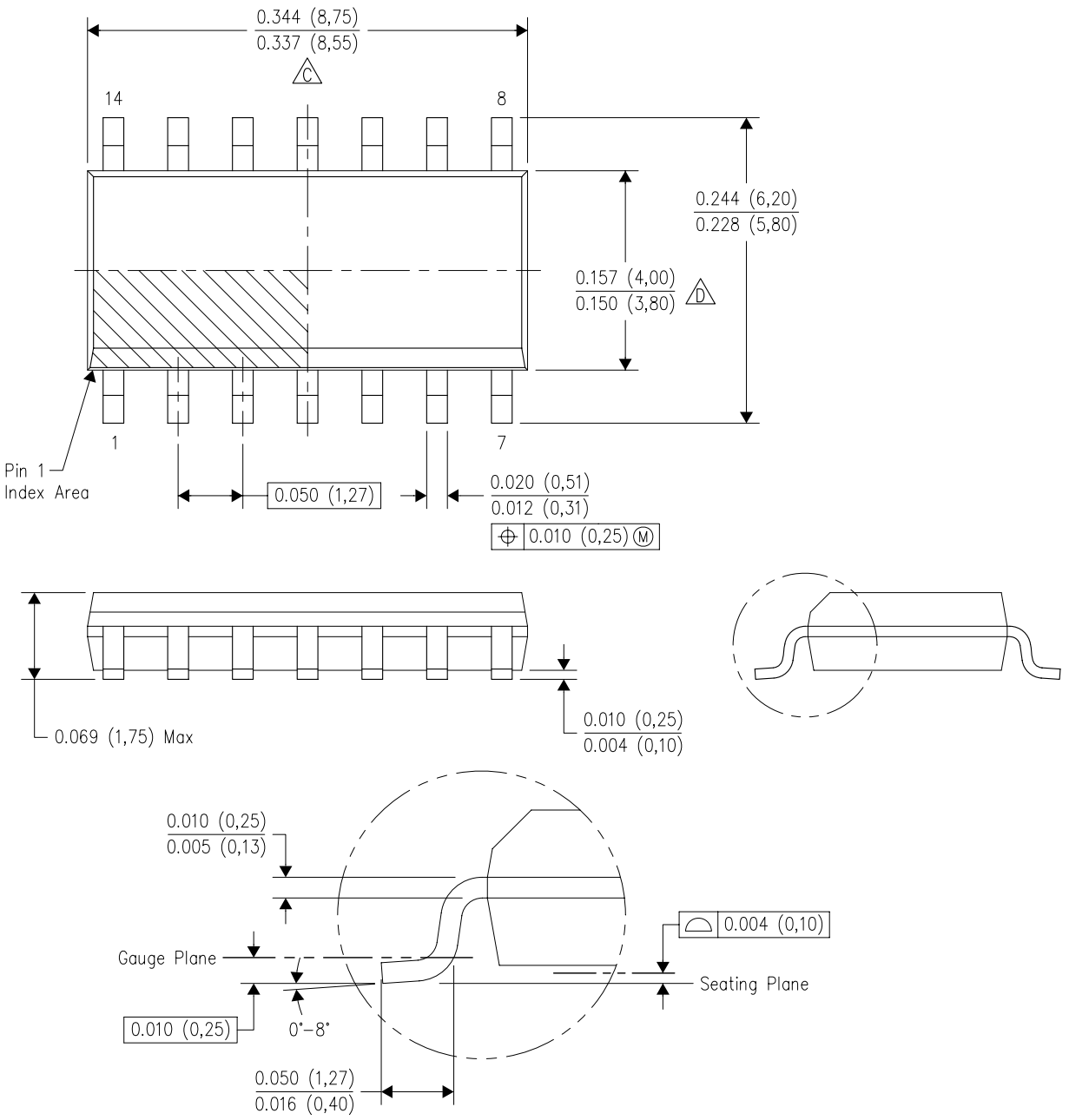
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

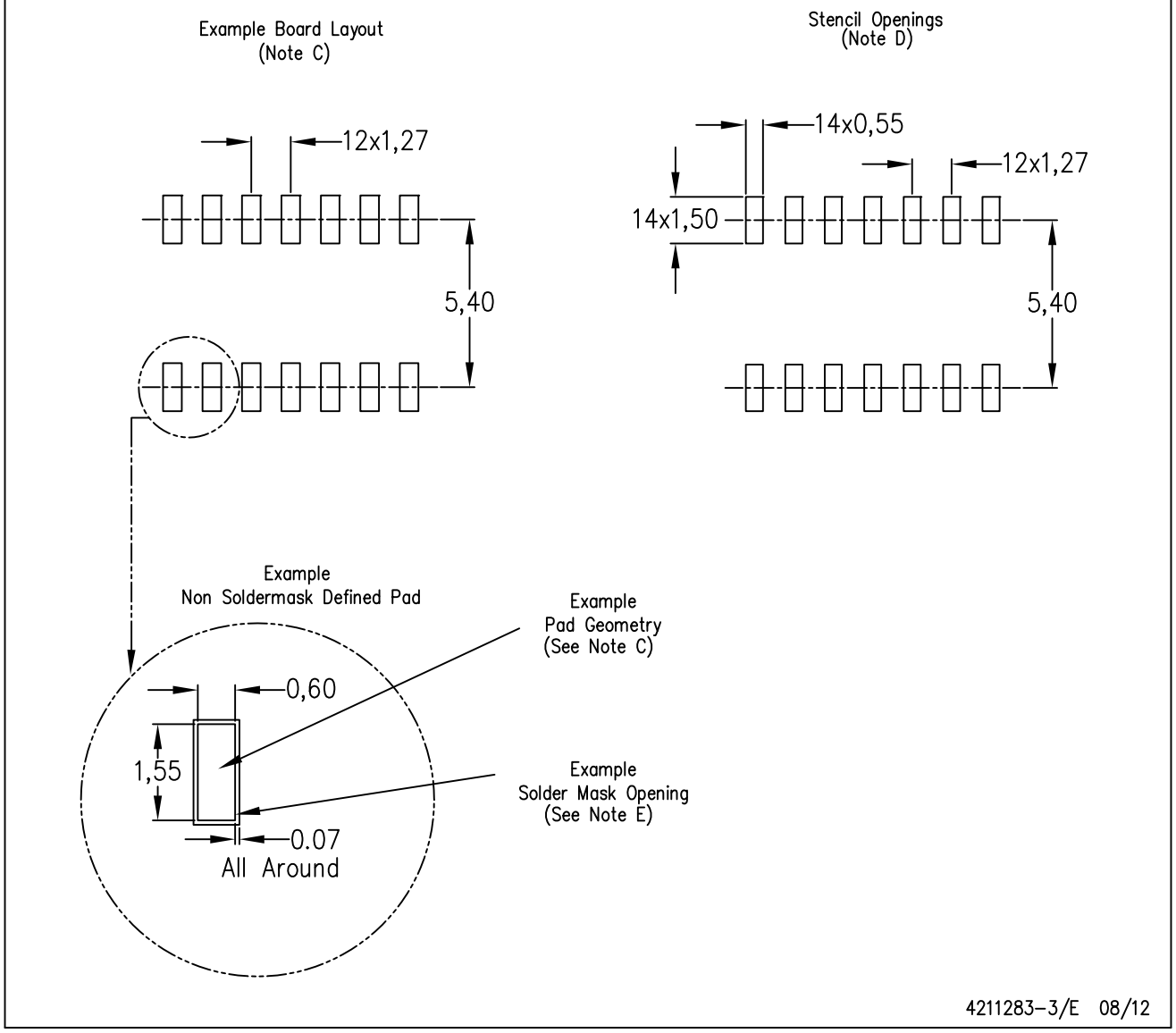
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



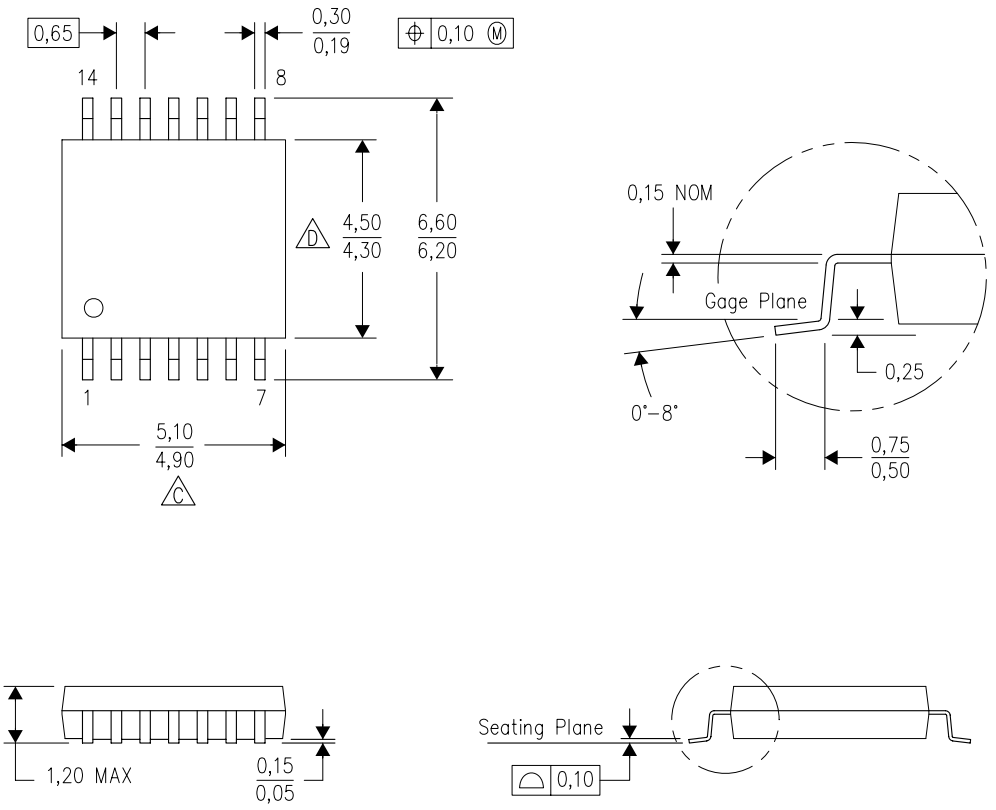
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



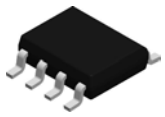
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

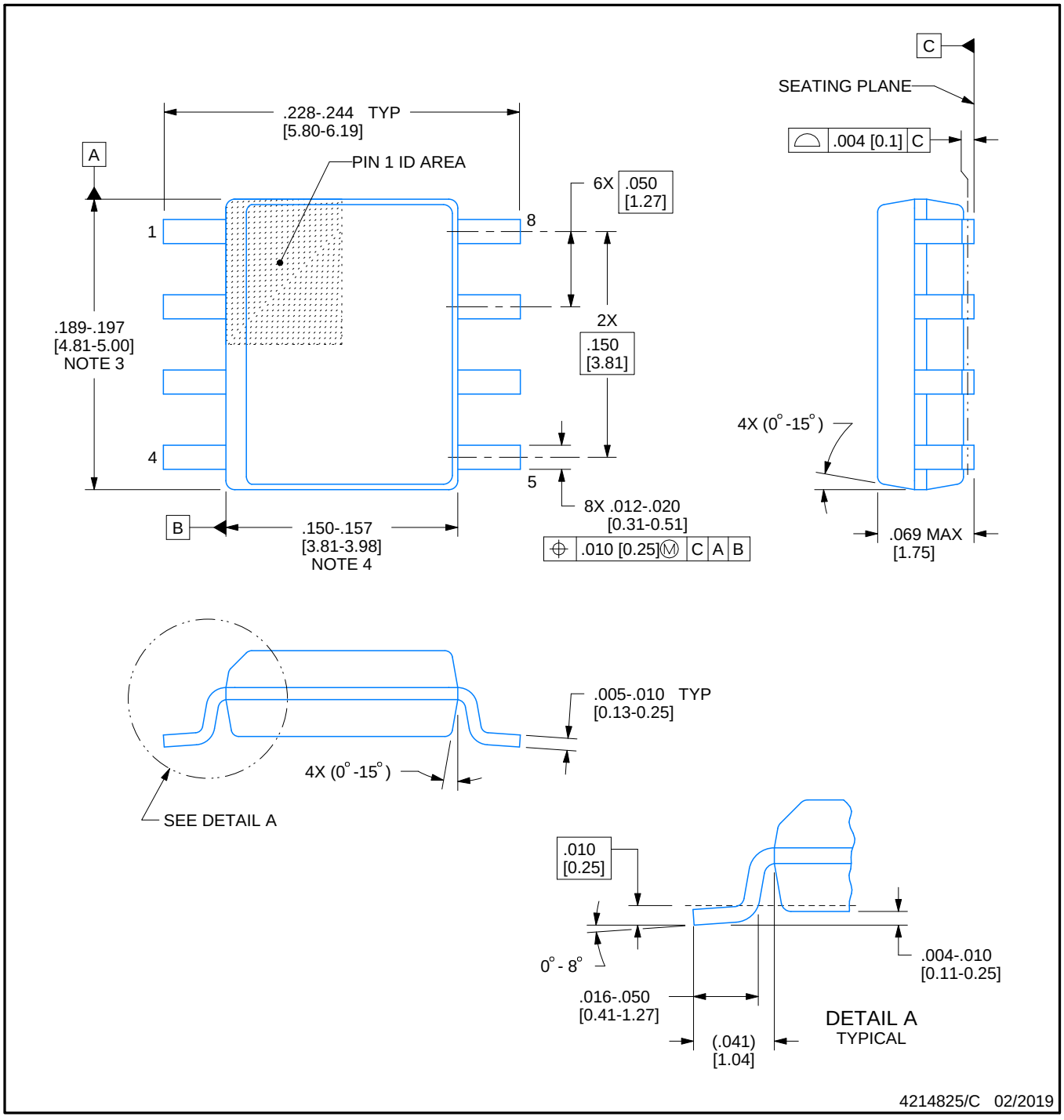


PACKAGE OUTLINE

D0008A

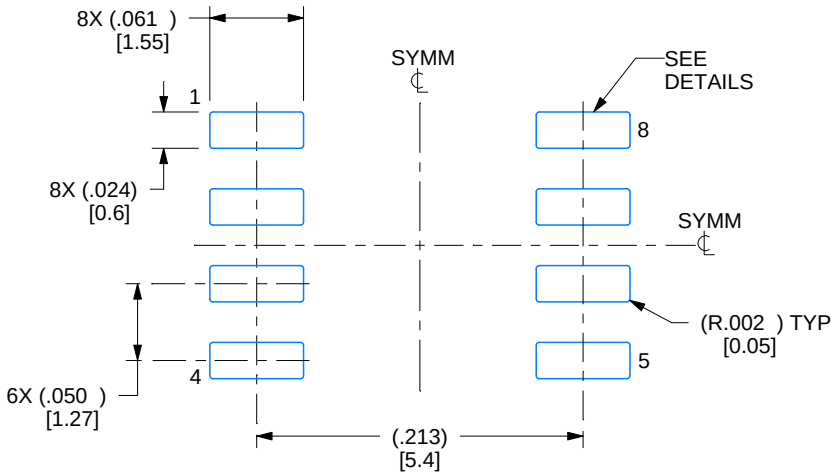
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

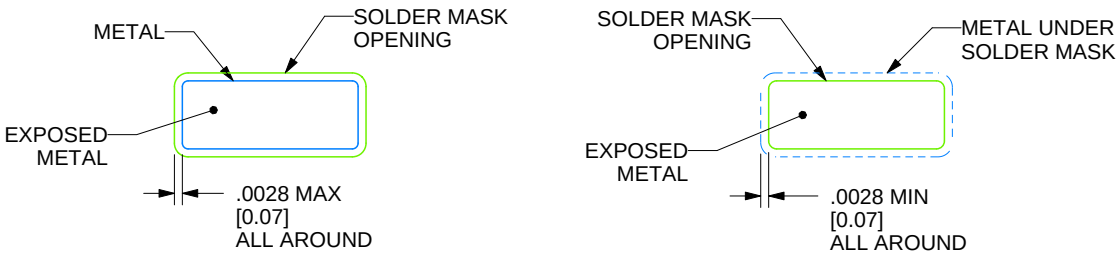


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

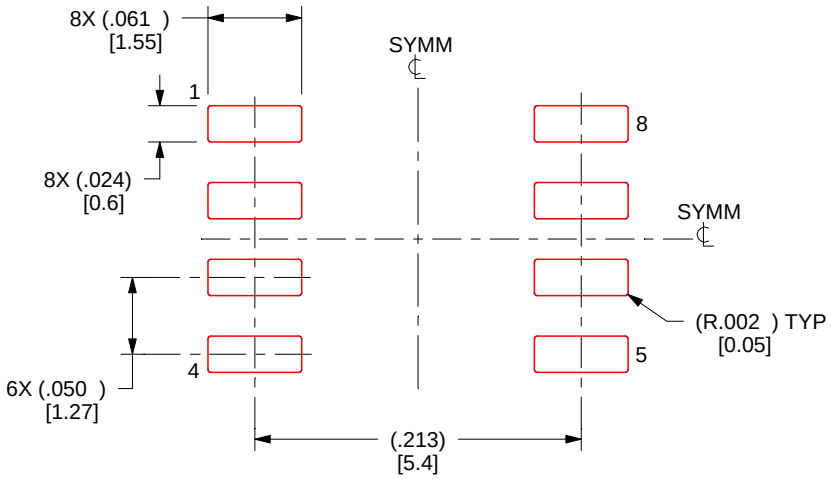
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司