



带有集成 FET 的 2.2 V 至 4 V 14 A 输出同步补偿[a03891171] PWM 开关 (SWIFT™)

特性

- 独立的低压电源总线
- 8 mΩ MOSFET 开关，可实现高[a03891172]效率的 14A 持续输出
- 可调节的输出电压，最低至 0.9 V
- 外部补偿，内部参考误差不[a03891173]精确到 1%
- 快速瞬态响应
- 宽泛的 PWM 频率：在 280 kHz 至 700 kHz 范围内可调
- 峰值电流限制与过温关断实现负载保护
- 集成解决方案节约了板面积和总成本

应用范围

- 低压高密度系统，分布式电源电压为 2.5 V 与 3.3 V
- 可针对高性能 DSP、FPGA、ASIC 以及微处理器进行负载点调节
- 宽带、网络与光学通信基础设施

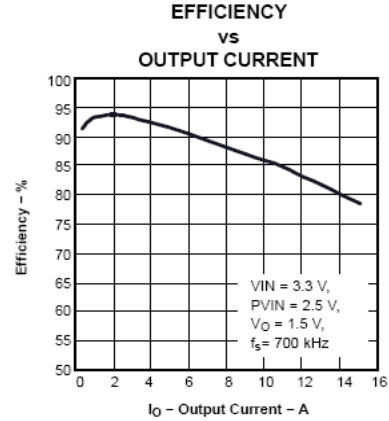
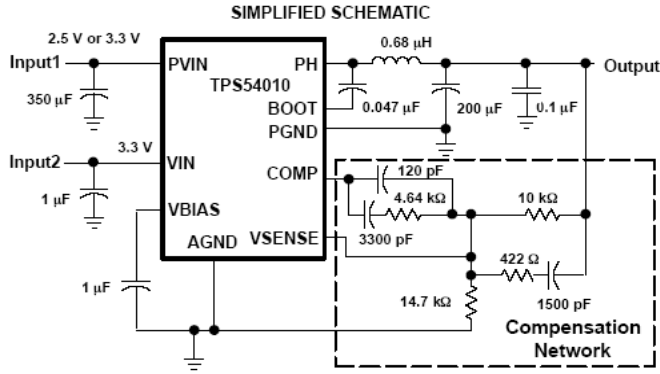
描述

作为 SWIFT™系列 dc/dc 调节器的一员，TPS54010 低输入电压、高输出电流同步补偿 [a03891174] PWM 转换器集成了所有必需的有源组件。除了所列特性之外，基板上还包括一个真正的高性能电压误差放大器，可在瞬态条件下实现最大性能，并在选择输出滤波器 L 和 C 组件时提供灵活性；以及一个欠压锁定电路防止 V_{IN} 输入电压达到 3V 前启动；此外还包括一个内外部设置的软启动电路，可限制浪涌电流；以及一个电源状态良好输出，对处理器 / 逻辑复位、故障信令和电源排序等非常有用。

TPS54010 采用散热增强型 28 引脚 TSSOP (PWP) PowerPAD™ 封装，消除了较大型散热片的必要。

简化图

效率与输出电流的对比



请注意，有关产品的推出、标准质保、德州仪器半导体产品在重要应用中的使用以及
与无责任声明等信息位于本产品说明书的最后一页。

产品数据信息至出版日期前均为最新信息。产品符合德州仪器标准质保条款的规定参数。生产
过程无需测试所有参数。



这些器件均内置有限 ESD 保护。引线应短接在一起，或器件存储或处理期间应置于
导体泡沫中，[a03891175]以避免 MOS 栅发生静电损害。

订购信息

TA	输出电压	封装	部件号
-40°C至 85°C	可调低至 0.9 V	塑封 HTSSOP (PWP) ⁽¹⁾	TPS54010PWP

(1) PWP 封装也提供卷带封装。器件型号添加了 R 后缀，如 TPS54010PWPR。敬请参见产品说明书的应用部分，以了
解 PowerPAD 的原理图与板面布局信息。

最大绝对额定值

外部工作温度范围 (另有注明的除外)⁽¹⁾

		TPS54010	单位
VI 输入电压范围	SS / ENA、SYNC	-0.3 ~ 7	V
	RT	-0.3 ~ 6	
	VSENSE	-0.3 ~ 4	
	PVIN、VIN	-0.3 ~ 4.5	
	BOOT	-0.3 ~ 10	
VO 输出电压范围	VBIAS、COMP、PWRGD	-0.3 ~ 7	V
	PH	-0.3 ~ 6	
VO 源极[a03891176]电流	PH	内部限制	
	COMP、VBIAS	6	mA
IS 汲极[a03891177]电流	PH	25	A
	COMP	6	
	SS / ENA、PWRGD	10	mA
电压差动	AGND 至 PGND	±0.3	V
TJ 工作结温范围		-40 至 125	°C
Tstg 存储温度范围		-65 至 150	°C
引线温度，离外壳 1.6 毫米 (1 / 16英寸)，10 秒		300	°C
静电 (ESD) 放电额定值	人体模型 (HBM)	1.5	KV
	CDM	750	V

(1) 超出“最大绝对额定值”所列条件工作，可能导致器件永久损坏。上述仅为极限额定值，我们不对器件在此种条件或任
何其他超过所述“建议操作条件”情况下的正常运行表示默许。长期处于最大绝对额定值条件下工作可能影响器件的稳
定性。

建议工作条件

	最小	标准	最大	单位
V _I 输入电压, V _{IN}	3		4	V
电源输入电压, P _{VIN}	2.2		4	V
T _J 工作结温	—		125	°C
	40			

散热额定值⁽¹⁾⁽²⁾

封装	热阻抗 结至环境	T _A = 25°C 额定功率	T _A = 70°C 额定功率	T _A = 85°C 额定功率
28 引脚 PWP, 带焊点	14.4°C / W	6.94 W ⁽³⁾	3.81 W	2.77 W
28 引脚 PWP, 无焊点	27.9°C / W	3.58 W	1.97 W	1.43 W

(1) 如欲了解 PWP 封装的更多信息, 请参见 TI 技术简介, 资料号为 SLMA002。

(2) 测试电路板条件:

- a. 3 英寸 x 3 英寸, 4 层, 厚度为 0.062 英寸
- b. 1.5 盎司铜制线迹, 位于 PCB 顶部
- c. 1.5 盎司铜制接地层, 位于 PCB 底部
- d. 0.5 盎司铜制接地层, 在两个内部层上
- e. 12 个散热通孔 (参见本产品说明书应用部分的建议安装板板面布局)

(3) 最大功耗可由过电流保护限制。

电气特性

T_J = -40°C 至 125°C、V_{IN} = 3 V 至 4 V、P_{VIN} = 2.2 V 至 4 V (另有注明的除外)

参数	测试条件	最小	标准	最大	单位	
电源电压, V_{IN}						
V _I 电源电压, V _{IN}		3		4	V	
电源电压范围, P _{VIN}	输出 = 1.8 V	2.2		4	V	
I _Q 静态电流	V _{IN}	f _s = 350 kHz、RT 开路、PH 引脚开路、P _{VIN} = 2.5 V、SYNC = 0 V		6.3	10	mA
		f _s = 550 kHz、RT 开路、PH 引脚开路、SYNC ≥ 2.5 V、P _{VIN} = 2.5 V		8.3	13	mA
		关断、SS / ENA = 0 V、P _{VIN} = 2.5 V		1	1.4	mA
	P _{VIN}	f _s = 350 kHz、RT 开路、PH 引脚开路、P _{VIN} = 3.3 V、SYNC = 0 V		6	8	mA
		f _s = 550 kHz、RT 开路、PH 引脚开路、SYNC ≥ 2.5 V、P _{VIN} = 2.5 V、V _{IN} = 3.3 V		6	9	mA
		关断、SS / ENA = 0 V、V _{IN} = 3.3 V		<140		µA
欠压锁定 (VIN)						
启动阈值电压, UVLO			2.95	3	V	
停止阈值电压, UVLO		2.7	2.8		V	
回差电压, UVLO			0.11		V	
上升与下降边缘抗尖峰脉冲 (edge deglitch), UVLO ⁽¹⁾			2.5		µs	
偏置电压						

输出电压, VBIAS	I (VBIAS) = 0	2.7	2.8	2.9	V
输出电流, VBIAS ⁽²⁾					
累积参考					
Vref 精确度		0.882	0.891	0.900	V
调整率					
线路调整率 ⁽¹⁾⁽³⁾	I = 7 A、f = 350 kHz、T = 85°C		0.05		% / V
负载调整率 ⁽¹⁾⁽³⁾	I _L = 0 A 至 14 A、f _s = 350 kHz、T _J = 85°C、P _{VIN} = 2.5 V、V _{IN} = 3.3 V		0.013		% / A
振荡器					
内部设置—自由运行频率	RT 开路 ⁽¹⁾ , SYNC ≤ 0.8 V	280	350	420	kHz
	RT 开路, SYNC ≥ 2.5 V	440	550	660	
外部设置—自由运行频率范围	RT = 180 kΩ (1% 电阻器接至 AGND) ⁽¹⁾	252	280	308	kHz
	RT = 100 kΩ (1% 电阻器接至 AGND)	460	500	540	
	RT = 68 kΩ (1% 电阻器接至 AGND) ⁽¹⁾	663	700	762	
高电平阈值电压, SYNC		2.5			V
低电平阈值电压, SYNC				0.8	V
脉冲持续时间, SYNC ⁽¹⁾		50			ns
频率范围, SYNC		300		700	kHz
斜坡谷值			0.75		V
斜坡振幅 (峰至峰) ⁽¹⁾			1	200	V
最小的可控制导通时间 ⁽¹⁾				200	ns
最小大占空比 ⁽¹⁾		90%			

(1) 根据设计指定

(2) 仅为静态阻性负载

(3) 由图 12 所采用的电路确定

电气特性

T_J = -40°C 至 125°C、V_{IN} = 3 V 至 4 V、P_{VIN} = 2.2 V 至 4 V (另有规定的除外)

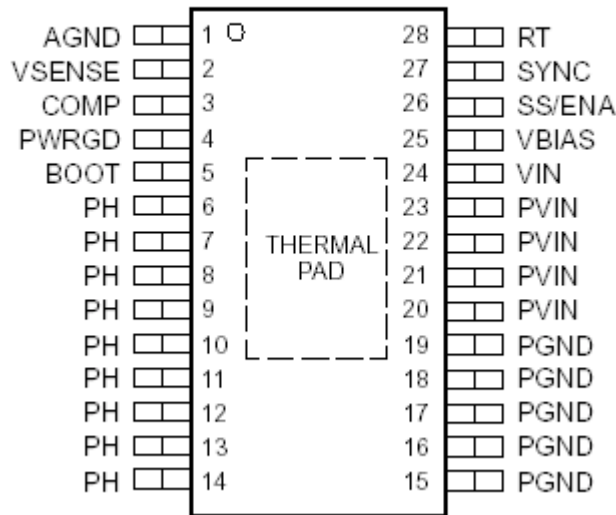
参数	测试条件	最小	标准	最大	单位
误差放大器					
误差放大器开环电压增益	1 kΩ COMP 至 AGND ⁽⁴⁾	90	110		dB
误差放大器单位增益带宽	并联 10 kΩ、160 pF COMP 至 AGND ⁽⁴⁾	3	5		MHz
误差放大器共模输入电压范围	由内部 LDO ⁽⁴⁾ 供电	0		VBIAS	V
输入偏置电流, VSENSE	VSENSE = V _{ref}		60	250	nA
输出电压压摆率 (对称性), COMP		1	1.4		V / μs
PWM 比较器					
PWM 比较器传播延迟时间, PWM 比较器输入至 PH 引脚 (不包括死区时间)	10 mV 超速驱动 ⁽⁴⁾		70	85	ns
慢速—启动 / 启用					
启用阈值电压, SS / ENA		0.82	1.2	1.4	V
启用滞后电压, SS / ENA ⁽⁴⁾			0.03		V
下降边缘抗尖峰脉冲, SS / ENA ⁽⁴⁾			2.5		μs
内置软启动时间		2.6	3.35	4.1	ms
充电电流, SS / ENA	SS / ENA = 0 V	2	5	8	μA
放电电流, SS / ENA	SS / ENA = 0.2 V、V _{IN} = 2.7 V、P _{VIN} = 2.5 V	1.3	2.3	4	mA
电源状态良好					
电源状态良好阈值电压	VSENSE 下降		93		%V _{ref}
电源状态良好滞后电压 ⁽⁴⁾			3		%V _{ref}
电源状态良好下降边缘抗尖峰脉冲 ⁽⁴⁾			35		μs
输出饱和电压, PWRGD	I (sink) = 2.5 mA		0.18	0.3	V
漏电流, PWRGD	V _{IN} = 3.3 V、P _{VIN} = 2.5 V			1	μA

电流限制					
电流限制	VIN = 3.3 V、PVIN = 2.5 V ⁽⁴⁾ 、输出短路	14.5	21		A
电流限制前缘消隐时间 ⁽⁴⁾			100		ns
电流限制总响应时间 ⁽⁴⁾			200		ns
热关断					
热关断触发点 ⁽⁴⁾		135	165		°C
热关断回差 ⁽⁴⁾			10		°C
输出功率 MOSFET					
r _{DS(on)} 功率 MOSFET 开关	VIN = 3 V、PVIN = 2.5 V		8	21	mΩ
	VIN = 3.6 V、PVIN = 2.5 V		8	18	

(4) 由设计指定

器件信息

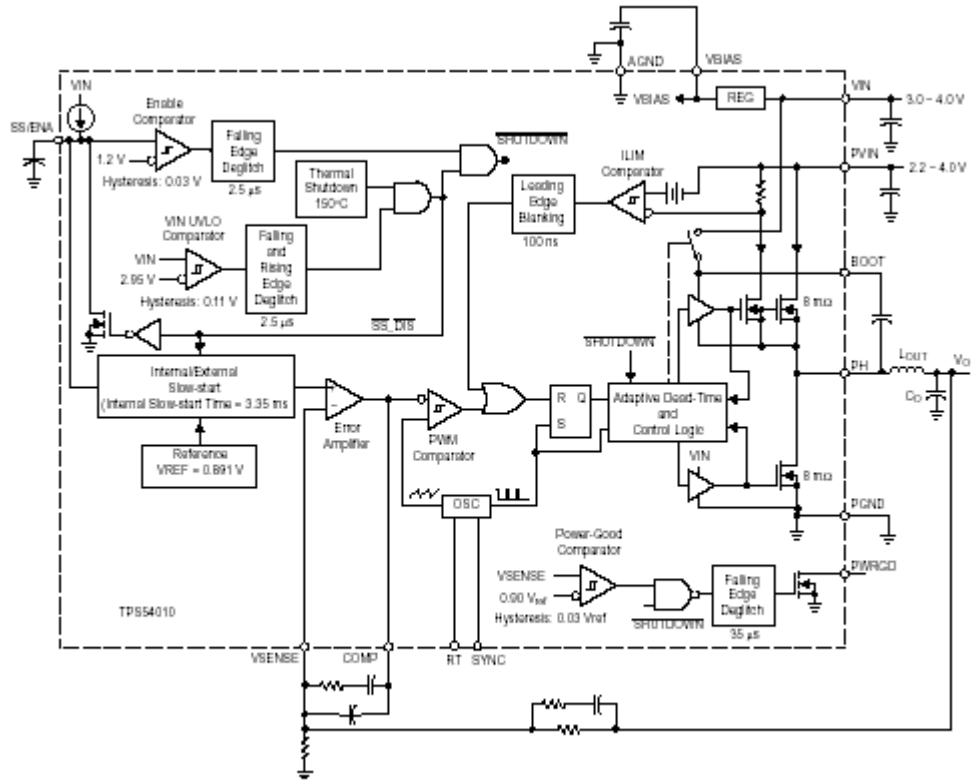
PWP PACKAGE (TOP VIEW)



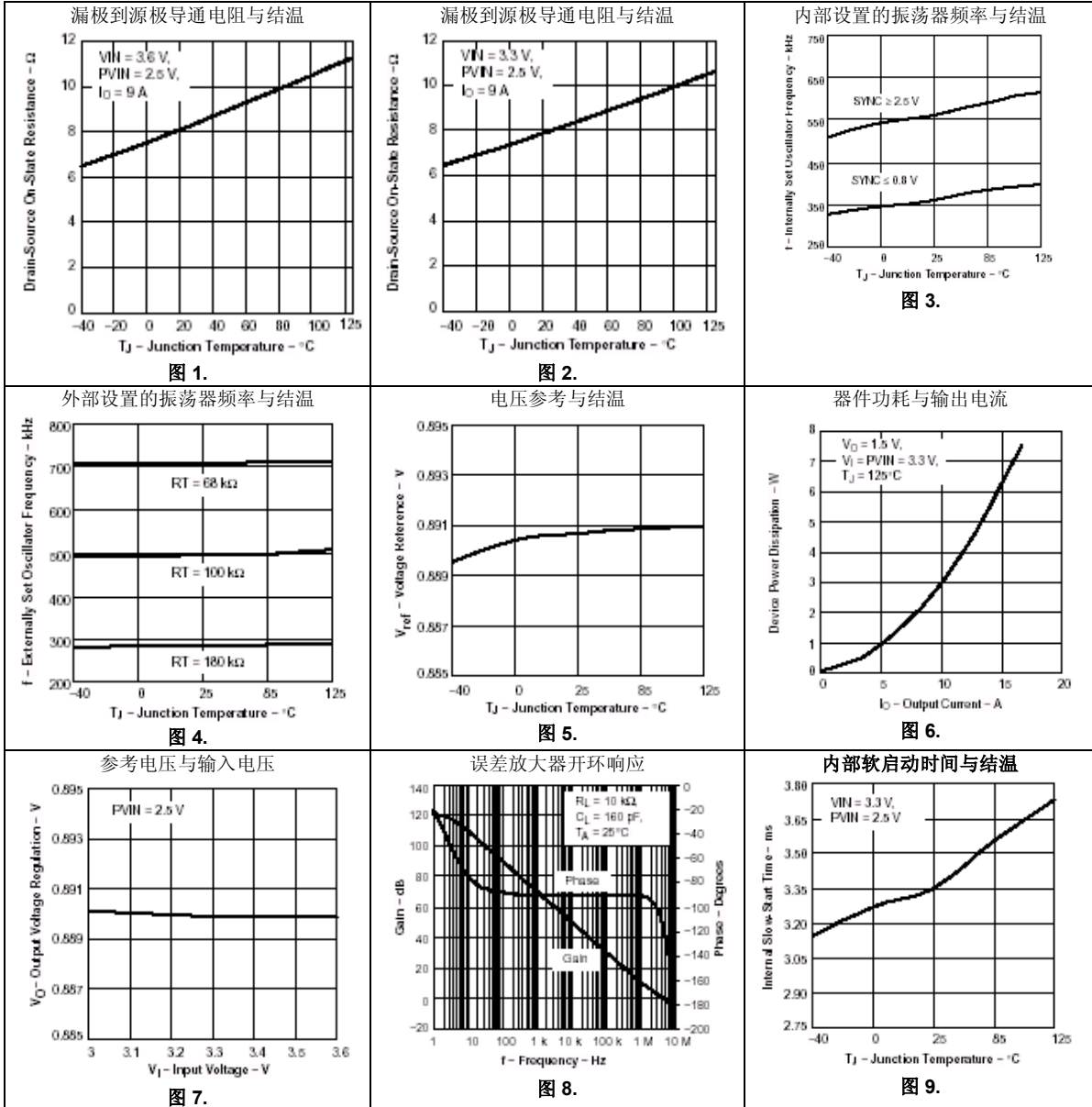
端接功能

AGND	1	模拟接地。返回补偿网络/输出分压器,软启动电容,VBIAS 电容和 RT 电阻。如采用 PowerPAD,则应将其连接至 AGND。如欲了解细节,请见《应用信息》部分。
BOOT	5	自举输出。将 0.022 μF 至 0.1 μF 的低 ESR 电容从 BOOT 连接至 PH,生成高端 FET 驱动器的浮动驱动。
COMP	3	误差放大器输出。从 COMP 到 VSENSE 连接频率补偿网络。
PGND	15, 16, 17, 18, 19	功率接地。低端驱动器和功率 MOSFET 的高电流返回。PGND与输入和输出返回端,输入和输出电容的负端通过大面积铺铜连接。建议单点连接至 AGND。
PH	6-14	相位输出。内置高端,低端功率 MOSFET 与输出电感的节点。
PVIN	20, 21, 22, 23	功率 MOSFET 开关和内部偏置调节器的输入供电。用高质量、低 ESR 的 10 μF 陶瓷电容将 PVIN 引脚旁路连接至靠近器件封装的 PGND 引脚。
PWRGD	4	电源状态良好开漏极输出。VSENSE > 90% Vref 时 PWRGD 为高,否则为低。请注意,SS/ENA 为低或内部关断信号处于工作状态时,PWRGD 输出为低。
RT	28	频率设置电阻输入。从 RT 到 AGND 连接电阻,设置开关频率 fs。
SS/ENA	26	软启动/启用输入/输出。提供逻辑输入以启用/禁用器件运行和电容输入的双功能引脚,以实现外部设置启动时间。
SYNC	27	同步输入。双功能引脚,提供逻辑输入,与外部振荡器同步,或在两个内部设置的开关频率间进行频率选择。电阻用于与外部信号同步的情况下,必须被连接至 RT 引脚。
VBIAS	25	内部偏置稳压器输出。向内部电路提供调节后的电压。用高质量、低 ESR 的 0.1 μF 至 1.0 μF 陶瓷电容将 VBIAS 引脚旁路连接至 AGND 引脚。
VIN	24	内部控制电路的输入电源。用高质量低 ESR 的 1.0 μF 陶瓷电容将 VIN 引脚旁路连接至靠近器件封装的 PGND 引脚。
VSENSE	2	误差放大器反向输入。连接至输出电压补偿网络/输出分压器。

原理结构图



典型特性



应用信息

PCB 板面布局

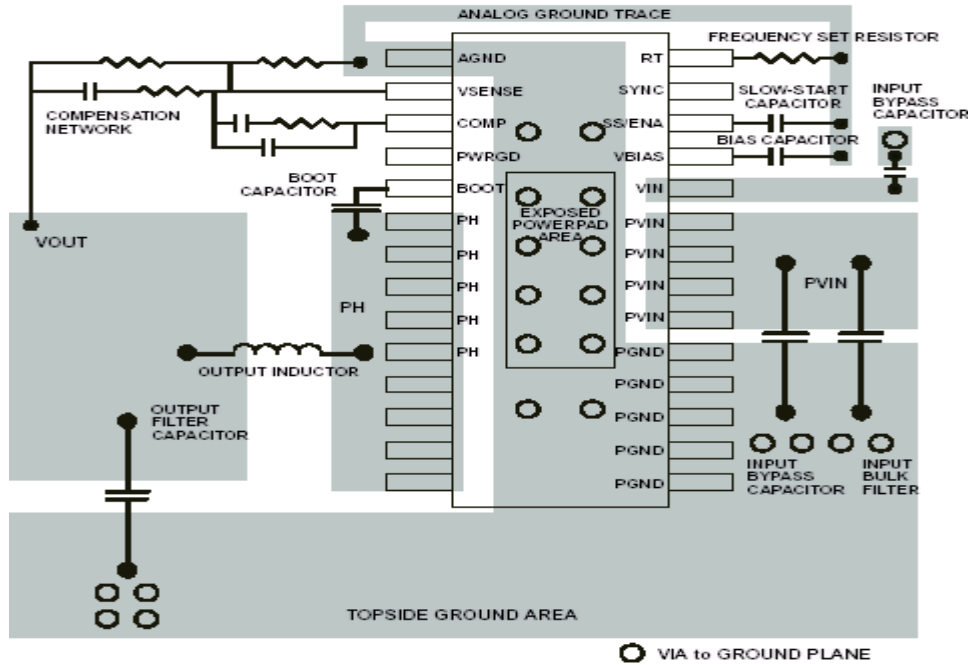


图 10. TPS54010 板面布局

PVIN 引脚在印刷电路板 (PCB) 上连接在一起, 并采用低 ESR 陶瓷旁路电容作为旁路。我们 [a03891178]应当注意尽可能减小由旁路电容连接、PVIN 引脚以及 TPS54010 接地引脚形成的环路区域。建议最小旁路电容为 $10\ \mu\text{F}$ 的陶瓷电容, 且电介质为 X5R 或 X7R。最佳放置位置应尽可能靠近 PVIN 引脚、AGND 与 PGND 引脚。如欲了解电路板布局的示例, 请参见图 10。如果将 VIN 连接至一个独立的供电电源, 那么它通过自身的电容形成旁路。PCB 顶层有接地区域, 直接位于 IC 之下, 有外露区域用于与 PowerPAD 的连接。采用通孔连接这一接地区域至任何内部地平面。可在输入与输出滤波器电容的接地侧使用更多通孔。AGND 与 PGND 引脚连接至器件下面的接地区域, 从而与 PCB 接地相连, 如图 10 所示。用独立的宽线迹 (wide trace) 作为模拟接地信号路径。该模拟接地用作电压设置点分压器、计时电阻 RT、软启动电容以及偏置电容接地。PH 被连接在一起, 并路由至输出电感器。由于 PH 连接为开关节点, 因此电感器靠近 PH 引脚, PCB 导体区域最小化, 以避免电容耦合过大。如图 10 所示连接相位节点与 BOOT 引脚之间的自举电容。自举电容应靠近 IC, 尽可能减小线迹的长度。输出滤波器电容连接于 VOUT 线迹与 PGND 之间。重要的是尽可能缩小 PH 引脚、Lout、Cout 与 PGND 形成的环路。对于从 VOUT 线迹到 VSENSE 和 COMP 引脚的补偿组件而言, 不要使其放置得过于接近 PH 线迹。由于 IC 封装尺寸与器件引脚板面布局的缘故, 其布线必须接近, 但在保持板面布局精简的同时又必须尽可能分开。VBIAS 引脚端的偏置电容通过独立的模拟地线迹连接至模拟地线。如果采用了软启动电容或 RT 电阻, 或者用 SYNC 引脚选择 350 kHz 的工作频率, 那么就应将其连接到此线迹。

对于满额定负载电流的操作情况而言, 模拟接地面必须提供充足的散热区域。我们建议采用长宽均为 3 英寸的 1 盎司铜制层, 不过这并不是必需的要求, 取决于环境温度与气流。大多数应用都提供较大的内部接地面, PowerPAD 必须连接至最大的可用区域。顶层或底层的额外区域也有助于散热, 如果我们需要的操作电流为 6A 乃至更高, 就必须使用所有可用区域。从 PowerPAD 的裸露区域连接至模拟接地层必须采用 0.013 英寸直径的通孔, 以避免焊料通过通孔出现毛细作用。

PowerPAD 区域必须具备 8 个通孔,另外 4 个通孔应位于器件封装下。封装下通孔的大小(不包括裸露的散热片区域)可增至 0.018。如果除建议的 12 个通孔外还要增加通孔以提高散热性能,那么所处位置不得在器件封装之下。

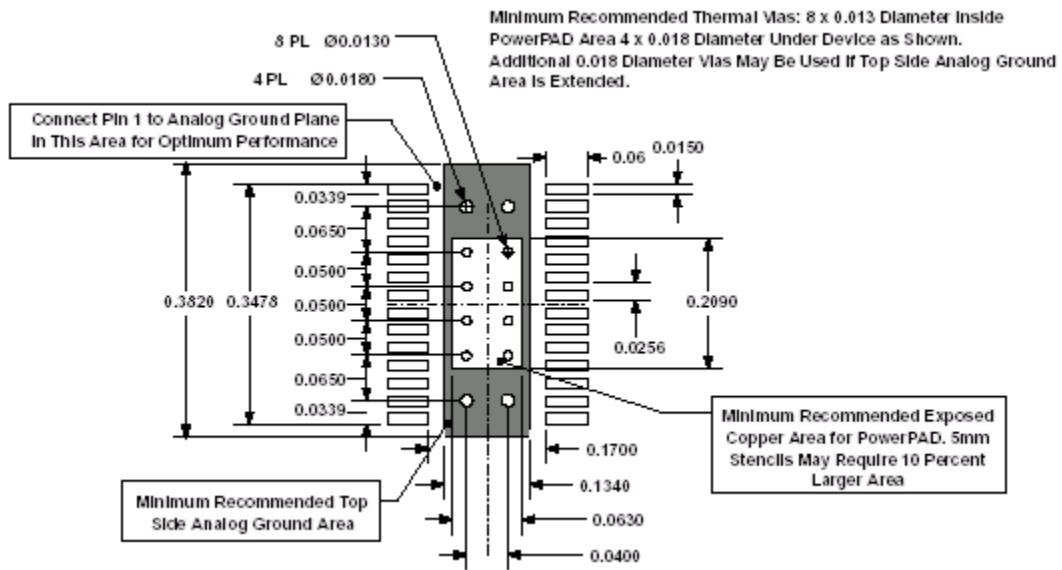


图 11.28 引脚 PWP PowerPAD 的建议连接盘布局

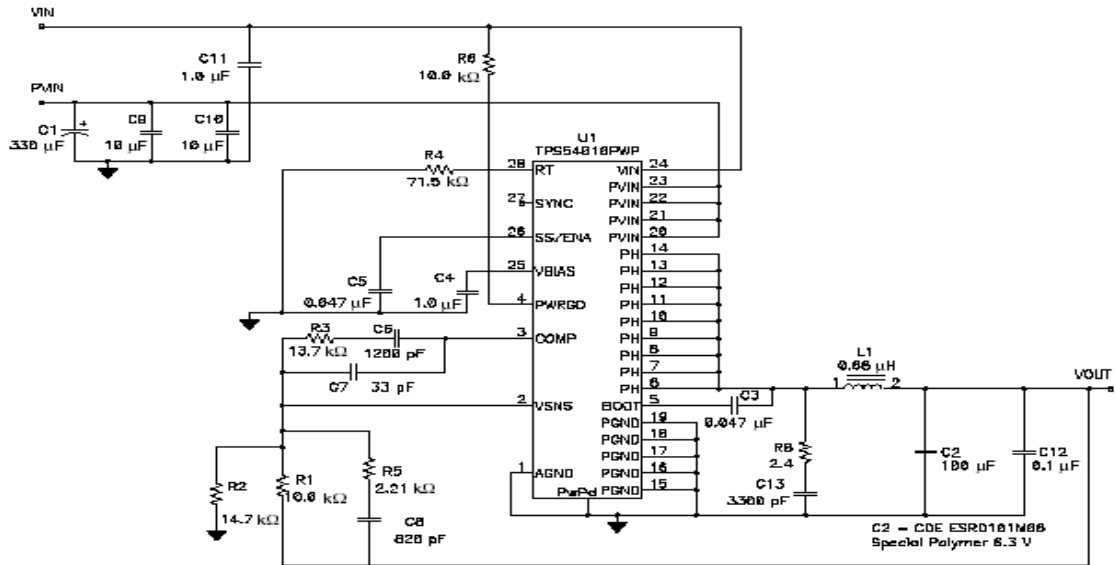


图 12. 应用电路, 2.5 V 至 1.5 V

图 12 显示了 TPS54010 典型应用的示意图。TPS54010 可以 1.5 V 的额定输出电压实现高达 14 A 的输出电流。PVIN 额定输入电压为 2.5 V，VIN 为 3.3 V。为了实现适当的散热性能，器件下方的外露 PowerPAD 必须焊接到印刷电路板。

设计程序

我们可采用以下设计程序来选择 TPS54010 的组件值。此外，我们还可采用 SWIFT 设计软件来生成完整的设计。SWIFT 设计软件采用重复式设计程序，可在生成设计时使用全面的数据库。本部分将简要介绍设计过程。

设计参数

开始设计过程前，必须明确一些参数。设计人员应了解：

- 输入电压范围
- 输出电压
- 输入纹波电压
- 输出纹波电压
- 输出电流额定
- 工作频率

就此处给出的设计示例而言，我们可使用以下输入参数：

设计参数	示例值
输入电压 (VIN)	3.3 V
输入电压范围 (PVIN)	2.2 ~ 3.5 V
输出电压	1.5 V
输入纹波电压	300 mV
输出纹波电压	50 mV
输出电流额定	14 A

开关频率

开关频率可设置为两个内部编程频率之一，也可设为外部编程频率。RT 引脚为开路时，我们将 SYNC 引脚设为 2.5 V 或以上，这就选择了 550 kHz 的操作，如果接地或使 SYNC 引脚悬空，那么就选择了 350 kHz 的操作。对于这里的设计而言，开关频率采用 RT 引脚进行外部编程。我们从 RT 到 AGND 连接电阻 (R4)，因而可设置 250 至 700 kHz 范围内的任何频率。我们用方程式 1 来确定 RT 的合适值。

$$R4(k\Omega) = \frac{500 \text{ kHz}}{f_s(\text{kHz})} \times 100 \text{ k}\Omega \quad (1)$$

在这里给出的示例电路中，R4 经计算后为 71.5 kΩ，而开关频率设为 700 kHz。

输入电容

TPS54010 要求一个去耦电容，此外，根据应用需要，可能还要求较大的输入电容。去耦电容 C9 的最小值为 10 μF。我们建议采用高质量的陶瓷类电容 X5R 或 X7R。电压额定应大于最大输入电压。此外，我们可能还需要较大的电容，尤其当 TPS54010 电路的位置离开输入电压源 2 英寸时更是如此。电容的值并不重要，但其额定应能满足最大输入电压的需要，其中包括纹波电压，此外还应能够过滤输出，以确保输入纹波电压是可接受的。

输入纹波电压可通过方程式 2 求得：

$$\Delta V_{PVIN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{sw}} + (I_{OUT(MAX)} \times ESR_{MAX}) \quad (2)$$

这里的 $I_{OUT(MAX)}$ 是最大负载电流。

TPS54010 会要求一个输入去耦电容，根据应用情况，还会要求较大型的输入电容。 f_{sw} 为开关频率， $C_{(BULK)}$ 为大型电容值，而 ESR_{MAX} 则是大型电容的最大串联电阻。

此外，我们也应检查最大 RMS 纹波电流。对于最差的情况而言，我们可用方程式 3 得出：

$$I_{CIN} = \frac{I_{OUT(MAX)}}{2} \quad (3)$$

在这种情况下，输入纹波电压为 155 mV，而 RMS 纹波电流为 7 A。输入电容的最大电压应为 V_{in} 最大值加上 $V_{in} / 2$ 。我们选择的大型电容为 Sanyo POSCAP 6TPD330M，额定电压为 6.3 V，纹波电流为 4.4 A；我们选择的两个旁路电容为 TDK C3225X5R1C106M，每个额定为 16 V，而纹波电流在工作频率为 700 kHz 的情况下可大于 3A。其能够处理的总纹波电流超过 10.4 A。任何情况下都不得超过最大电压和电流额定值，这点至关重要。

输出滤波器组件

我们应为输出滤波器选择两个组件：L1 和 C2。由于 TPS54010 为外部补偿的器件，因此可支持广泛系列的滤波器类型和值。

电感器选择

我们可采用方程式 4 来计算输出电感器的最小值：

$$L_{MIN} = \frac{V_{OUT} \times (V_{in(MAX)} - V_{OUT})}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times F_{sw}} \quad (4)$$

K_{IND} 是电感器纹波电流相对于最大输出电流的系数。如果设计采用陶瓷电容等 ESR 较低的输

出电容，则 K_{IND} 应等于 0.3。如果输出电容的 ESR 较高，那么让 K_{IND} 等于 0.2 会获得较好结果。

就这里的设计示例而言，我们使 K_{IND} 等于 0.2，以确保电感器纹波电流较小。最小电感器值经计算为 0.44 μH 。

对于输出滤波器电感器而言，不应超出 RMS 电流与饱和电流额定值，这点至关重要。我们可用方程式 5 得出 RMS 电感器电流：

$$I_{L(RMS)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times \left[V_{OUT} \times \frac{(V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{sw} \times 0.8} \right]^2} \quad (5)$$

也可用方程式 6 得出峰值电感器电流：

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{1.6 \times V_{IN(MAX)} \times L_{OUT} \times F_{sw}} \quad (6)$$

针对本设计而言，RMS 电感器电流为 15.4 A，峰值电感器电流为 15.1 A。就本设计而言，输出电感器采用 Vishay IHLP2525CZ-01 型号。满足电流要求的大于 0.44 μH 的最大值为 0.68 μH 。提高电感器值会降低纹波电流及相应的输出纹波电压。如果要求 RMS 电流的容限更大，电感器值可降低。通常，TPS54010 的电感器值范围在 0.47 至 2.2 μH 之间。

电容要求

输出电容的重要设计因素是 dc 电压额定、纹波电流额定以及等效串联电阻 (ESR)。不得超出 dc 电压与纹波电流额定值。ESR 相当重要，因为它与电感器电流一起决定了输出纹波电压的大小。输出电容的实际值并不重要，但也存在某些现实的限制。请考虑设计所需的闭环穿越频率与输出滤波器 LC 转角频率之间的关系。总体说来，我们应让闭环穿越频率小于开关频率的五分之一。如果开关频率较高，如本设计的开关频率高达 500 kHz，那么 TPS54010 的内部电路限制会使实际最大穿越频率约为 70 kHz。为了实现补偿网络的适当相位增益，LC 角频率应比闭环穿越频率约低十倍以下。这就限制了输出滤波器的最小电容值，如下所示：

$$C_{OUT(MIN)} = \frac{1}{L_{OUT}} \times \left(\frac{K}{2\pi f_{CO}} \right)^2 \quad (7)$$

这里的 K 是 f_{LC} 与 f_{CO} 之间展频的倍频值。K 应在 5 到 15 之间，典型如角频率与闭环穿越频率相差为 10 倍频时，K 为 10。如果所需的穿越频率为 100 kHz，电感器为 0.68- μH ，那么输出电容的最小值就是 93 μF ，这时 K 为最小值 5。增加 K 则要求采用更大的电容，因为 100 kHz 逼近了该器件的最大实际闭环穿越频率。所选的输出电容的额定电压必须大于所需的输出电压加上纹波电压一半之和。我们还必须包括进降额的情况。采用方程式 8 可计算出输出电容中的最大 RMS 纹波电流：

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left[\frac{V_{OUT} \times (V_{PVIN(MAX)} - V_{OUT})}{V_{PVIN(MAX)} \times L_{OUT} \times F_{sw}} \right] \quad (8)$$

通过计算得出，输出电容的 RMS 纹波电流为 780 mA。

输出电容的最大 ESR 由最初设计参数所允许的输出纹波大小决定。输出纹波电压是电感器纹波电流乘以输出滤波器 ESR 所得的乘积；因此，我们在电容数据表单中确定的最大 ESR 可

由方程式 9 计算得出：

$$ESR_{MAX} = N_C \times \left[\frac{V_{IN(MAX)} \times L_{OUT} \times F_{sw} \times 0.8}{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})} \right] \times \Delta V_{P-P(MAX)} \quad (9)$$

所需的最大 ESR 为 22.2 mΩ。满足上述条件的电容之一为 Cornell Dubilier Special Polymer (SP) ESRD101M06，额定为 6.3 V，最大 ESR 为 0.015 Ω，纹波电流额定为 2 A。我们另外还使用较小的 0.1 μF 陶瓷旁路电容 C13。

根据应用的需要，其他类型的电容也与 TPS54010 配合良好。

补偿组件

TPS54010 的外部补偿可采用各种输出滤波器配置，支持多种电容值和电介质类型。我们给出的设计示例采用第三类补偿，其中包括 R1、R3、R5、C6、C7 以及 C8。此外，R2 与 R1 形成了分压器网络以设置输出电压。这些组件参考指示符与用于“SWIFT 设计员”软件中的一样。有许多种方法可进行补偿网络的设计。有关过程相对简单，大多数输出滤波器组合都能获得较好结果。如果闭环穿越频率极高，或采用陶瓷电容等低值低 ESR 输出电容，或不确定设计程序，那么我们就采用“SWIFT 设计者”软件进行设计。

在设计 TPS54010 补偿网络时，我们应考虑到许多因素。补偿误差放大器增益不应被开环放大器特性所限制，不应在开关频率上生成过大增益。此外，闭环穿越频率的设置应小于开关频率的五分之一，穿越处的相位裕度必须大于 45 度。这里介绍的一般过程所得的结果与有关要求相一致，但不详细讨论环路补偿的理论细节。

首先，我们采用方程式 10 计算输出滤波器 LC 的角频率：

$$f_{LC} = \frac{1}{2\pi \sqrt{L_{OUT} C_{OUT}}} \quad (10)$$

对于设计示例而言， $f_{LC} = 19.3 \text{ kHz}$ 。

闭环穿越频率的选择应大于 f_{LC} 而小于开关频率的五分之一。此外，穿越频率不应超过 150 kHz，因为误差放大器可能不会提供所需的增益。就本设计而言，我们选择了 100 kHz 的穿越频率。之所以选择该值，是为了获得相对宽的环路带宽，同时又可满足适当的相位裕度，以确保稳定性。

其次，我们用方程式 11 计算输出电压为 1.5 V 时的 R2 电阻值：

$$R2 = \frac{R1 \times 0.891}{V_{OUT} - 0.891} \quad (11)$$

对于任何 TPS54010 设计来说，我们都以 R1 值为 10 kΩ 开始。R2 为 14.7 kΩ。

现在，我们就可计算得出元器件的参数，从而设置补偿网络极点和零点的值。假定 R1 远大于 R5 而 C6 远大于 C7，则我们可用方程式 12 至 18 得出极点和零点：

$$f_{Z1} = \frac{1}{2\pi R3 C6} \quad (12)$$

$$f_{Z2} = \frac{1}{2\pi R1 C8} \quad (13)$$

$$f_{P1} = \frac{1}{2\pi R5 C8} \quad (14)$$

$$f_{P2} = \frac{1}{2\pi R3 C7} \quad (15)$$

此外，起点处也有一极点，单位增益频率如下：

$$f_{INT} = \frac{1}{2\pi R1 C6} \quad (16)$$

该极点用于设置补偿误差放大器的整体增益，并决定着闭环穿越频率。由于 R1 设为 1 kΩ，而穿越频率选择为 100 kHz，因此我们可用方程式 17 得出所需的 fINT：

$$f_{INT} = \frac{f_{CO}}{V_{IN(MAX)} \times 2} \quad (17)$$

我们还可用方程式 18 得出 C6 的值：

$$C6 = \frac{1}{2\pi R1 f_{INT}} \quad (18)$$

第一个零点 f_{Z1} 位于输出滤波器 LC角频率的一半处；因此，我们可采用如下计算得出 R3：

$$R3 = \frac{1}{\pi C6 f_{LC}} \quad (19)$$

第二个零点 f_{Z2} 位于输出滤波器 LC角频率上，因此我们可如下计算得出 C8：

$$C8 = \frac{1}{2\pi R1 f_{LC}} \quad (20)$$

第一个极点 f_{P1} 的位置与输出滤波器 ESR 零点频率相同。该频率可如下计算得出：

$$f_{ESR0} = \frac{1}{2\pi R_{ESR} C_{OUT}} \quad (21)$$

这里的 R_{ESR} 是输出电容的等效串联电阻。

在这种情况下，ESR 零点频率发生在 88.4 kHz 情况下，我们可如下计算得出 R5：

$$R5 = \frac{1}{2\pi C8 f_{ESR}} \quad (22)$$

最后一个极点所处的频率要远高于闭环穿越频率，以免造成穿越频率上相位下降过多，同时仍可实现足够的衰减，以确保开关频率上的增益极低或没有。将本电路的 f_{P2} 极点位置设为闭环穿越频率的 3.5 倍，我们可通过如下计算得出最后的补偿组件值 C7：

$$C7 = \frac{1}{7\pi R3 f_{CO}} \quad (23)$$

请注意，电容提供的标准值有限，因此我们为每个电容只选择了最接近的标准值。针对本设计测量得出的闭环响应见图 5。

偏置与自举电容

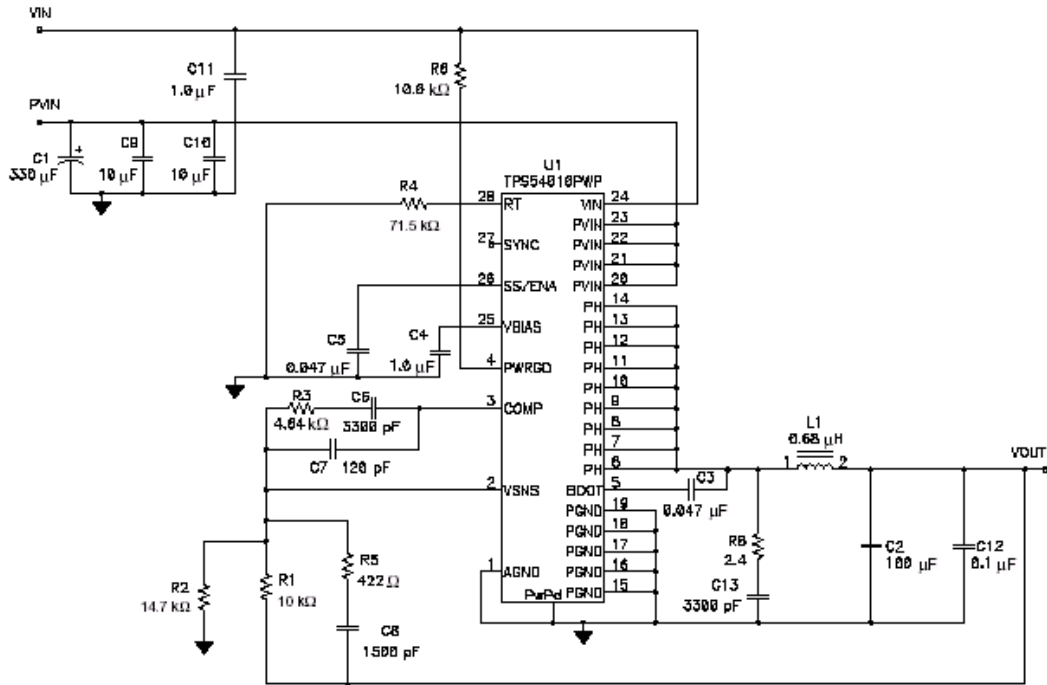
所有 TPS54010 设计都需要自举电容 C3 和偏置电容 C4。自举电容必须为 0.1 μF。自举电容位于 PH 引脚与 BOOT 之间。偏置电容在 VBIAS 引脚与 AGND 之间相连，其值应为 1.0 μF。上述两种电容都应采用高质量的陶瓷型电容，为 X7R 或 X5R 级电介质，确保温度稳定性。电容应尽可能靠近器件的连接引脚。

电源状态良好

TPS54010 带有稳定供电 (power-good) 输出引脚 PWRGD。该输出为漏极开路输出，用于拉升至 3.3 V 或 5 V 的逻辑电源。本应用中 10 kΩ 的上拉电阻即可满足需要。

缓冲电路

应用示意图的 R10 与 C11 组成缓冲电路，在内部高侧 FET 打开时可降低过冲与相位节点的振铃。由于振铃的频率和大小很大程度上取决于寄生效应，因此我们最好根据所有设计板面布局的实测结果选择组件值。如欲了解缓冲电路设计的更详情，敬请参阅 SLVP100 号资料。



以下部件号用于测试目的:

C1 = T520D337M004ASE015 (Kemet)

C2 = TDK C3225X5R0J107M ceramic 6.3 V X5R

L1 = IHLP2525CZ-01 0.68 μH (Vishay Dale)

图 13. 带有陶瓷输出电容的 1.5 V 电源

图 13 显示的应用采用了所有陶瓷电容，其中包括主输出滤波器电容。我们采用 SWIFT 设计者软件来计算补偿网络组件。如欲了解电路的环路响应、性能图以及开关波形，敬请见图 22 至图 30。

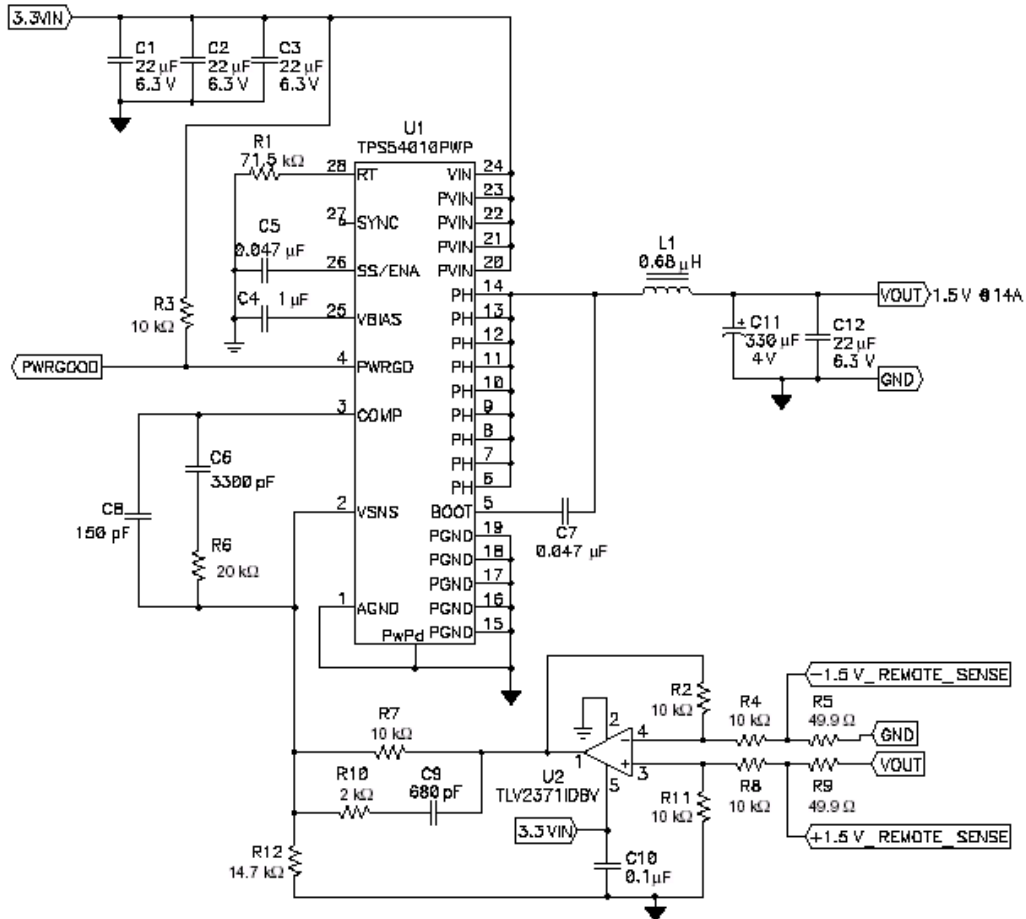


图 14. 具有远程传感的 1.5 V 电源

当输出电流为 14 A 时，如果负载远离 dc / dc 转换器电路，那么我们可以添加远程传感功能，这或许是有用的。图 14 给出了包含差动远程传感功能的电源示例。由于 TPS54010 只有正 VSENSE 输入，因此该电路在输出电压轨和返回 (GND) 上都补偿电压降。U2 差动放大器强制 TPS54010 输出生成一个输出电压，其在 +1.5V_REMOTE_SENSE 与 -1.5V_REMOTE_SENSE 之间始终保持 1.5 V 的差动。

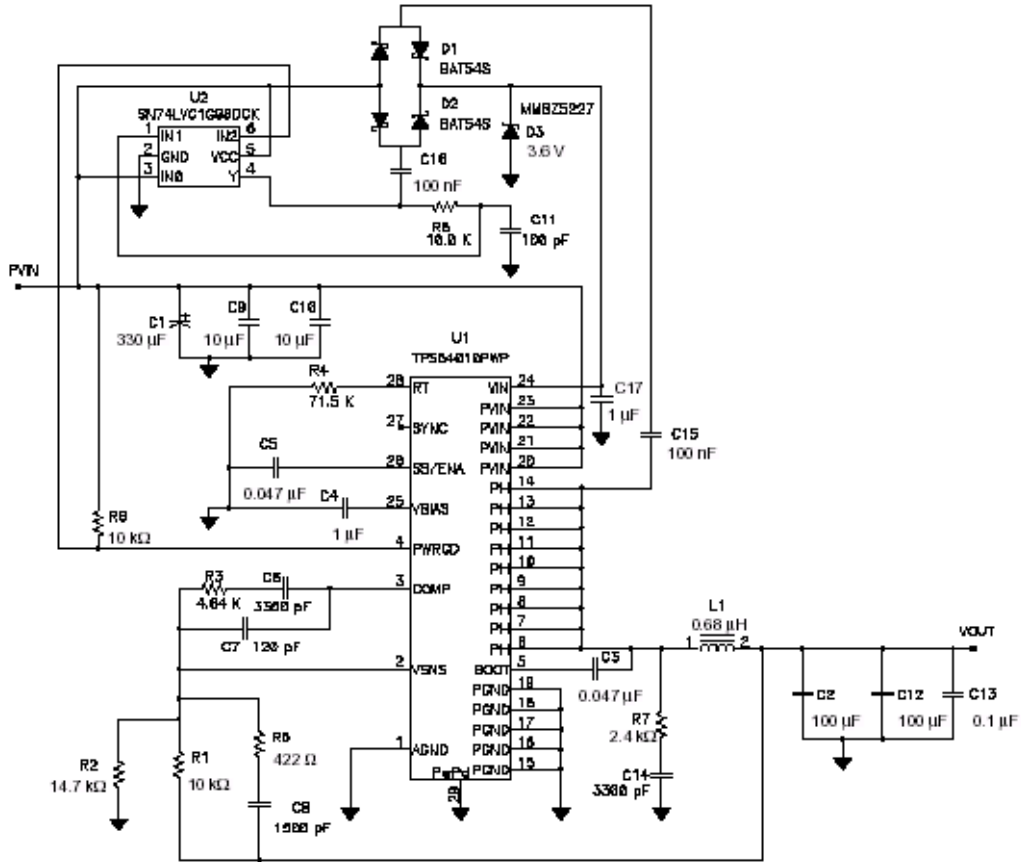
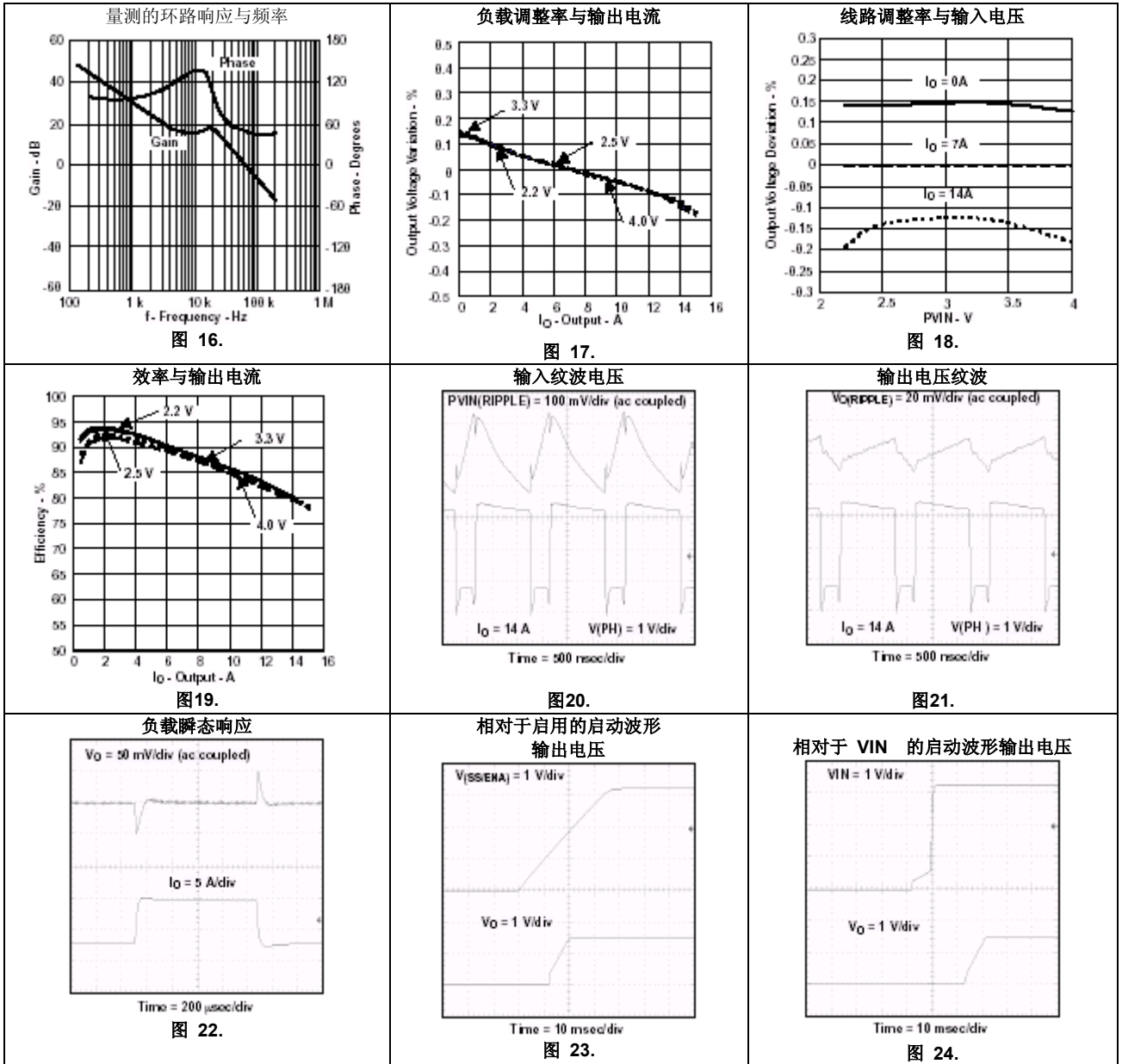


图 15. 带有充电泵的 2.5 V 至 1.5 V 电源

如果不能为 VIN 电源提供适当的 3 V 至 4 V 电源，那么我们可用充电泵来提升 PVIN 电压。在这种电路中，我们可采用充电泵将 2.5 V 电源上升至额定的 3.6 V。

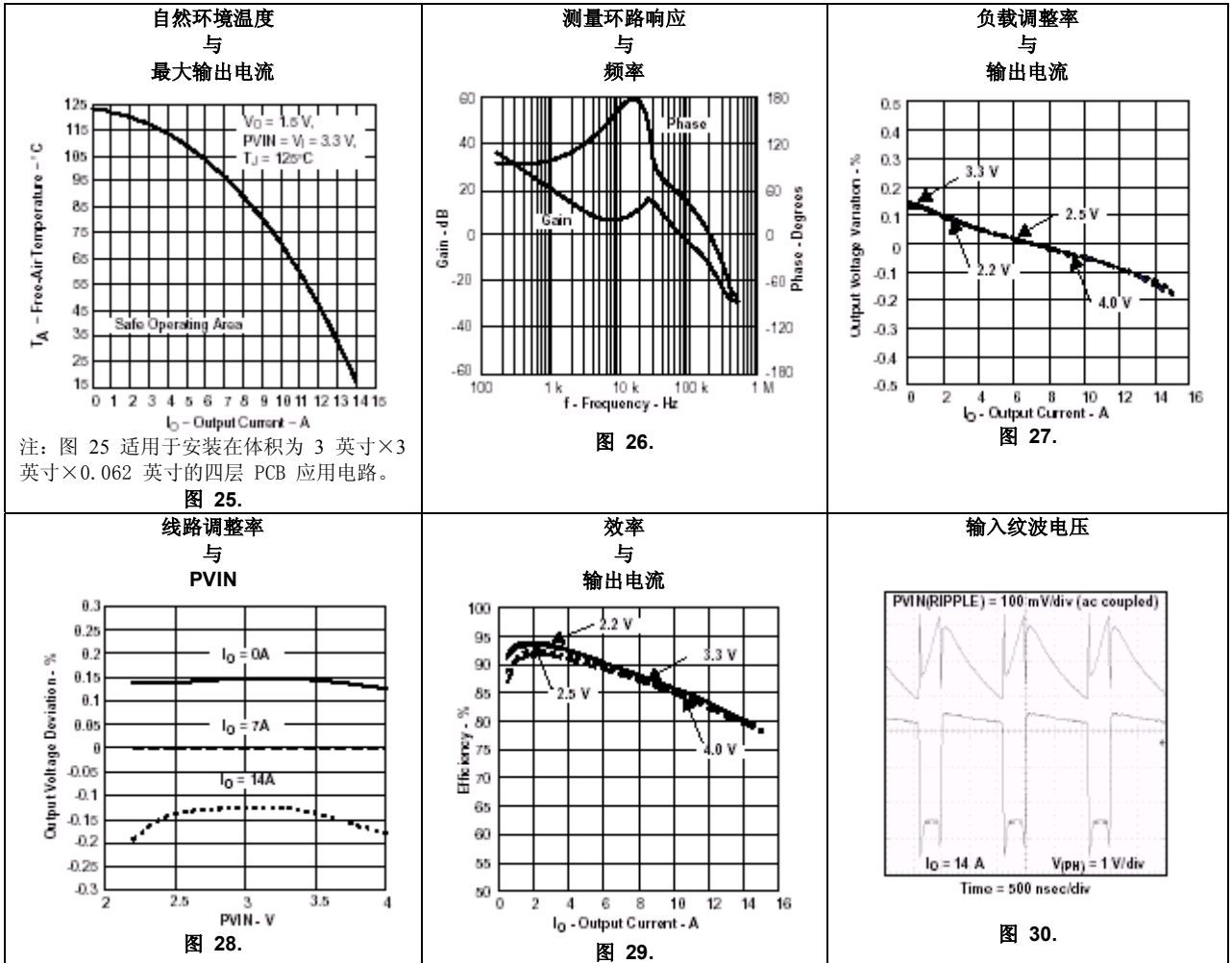
性能示意图

图 16 至图 24 给出的性能数据反映了图 12 所示电路的情况。具体条件为：PVIN = 2.5 V、VIN = 3.3 V、VO = 1.5 V、fs = 700 kHz 且 IO = 7 A、TA = 25°C，另有注明的除外。

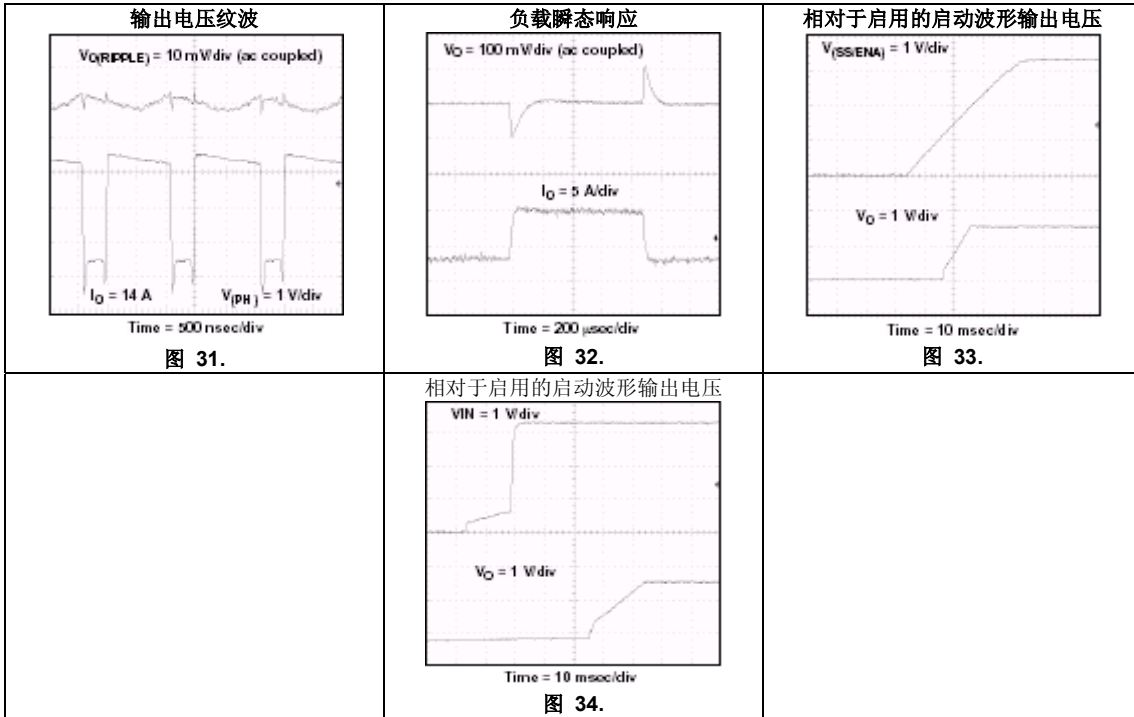


性能示意图

图 25 至图 34 给出的性能数据反映了图 13 所示电路的情况。具体条件为：PVIN = 2.5 V、VIN = 3.3 V、VO = 1.5 V、fs = 700 kHz，以及 IO = 7 A、TA = 25°C，另有注明的除外。



性能示意图 (续)



详细描述

独立 PVIN 下的工作情况

根据设计, TPS54010 与功率级 (MOSFET 高侧与低侧) 协同工作, PVIN 引脚连接至独立于VIN的电源。主要针对的应用使 VIN 连接至 3.3 V 总线, PVIN 连接至 2.5 V 总线。任何这些电压的排序都不能损坏 TPS54010。不过, UVLO (见详细描述部分) 以VIN 输入作为参考。某些情形下可能造成误动作。

如果 VIN 输入较高时 PVIN 不存在, 那么就会进行软启动, 而使 PWM 电路进入最大占空比。当PVIN 输入斜坡上升时, TPS54010 的输出会跟着 PVIN 输入而变化, 直到存在足够的电压来调节到正确的输出值为止。

注释:

如果通过快速总线开关控制 PVIN 输入, 那么就会造成硬启动情况, 进而可能损坏负载 (即连接至TPS54010 的稳压输出部分)。如果 2.5 V 电源不提供“电源状态良好”信号, 我们可采用比较器生成信号, 并使 SS / ENA 引脚保持低电平, 直至 2.5 V 总线电源良好为止。图 35 给出了相关例子。该电路还可用于防止 TPS54010 输出在 PVIN 电源呈斜坡上升时跟随 PVIN 输入。

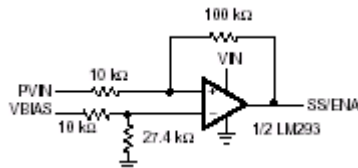


图 35. 采用开集电极或开漏极比较器的 PVIN 欠压锁定电路

3.3 V 总线工作情况下, 可将 PVIN 与 VIN 连接在一起。

最大输出电压

可实现的最大输出电压被 PVIN 引脚的最小电压所限制。TPS54010 中，额定的最大占空比限制为90%；因此，最大输出电压为：

$$V_{O(max)} = PVIN_{(min)} \times 0.9 \quad (24)$$

额定条件会使占空比超过 90%，这时必须密切关注工作情况。负载瞬态会要求占空比瞬间上升。如果所需的占空比超过 90%，则输出可能会超出调节范围之外。

接地与 PowerPAD 布局

TPS54010 带有两个内部接地（模拟与电源）。在 TPS54010 内部，模拟接地连接至所有噪声敏感型信号，而电源接地连接至噪声更大的功率信号。必须将 PowerPAD 直接连接至 AGND。两个接地间插入的噪声会降低 TPS54010 的性能，特别在较高输出电流情况下更是如此。不过，模拟接地面上的接地噪声也会造成一些控制与信号偏移问题。由于上述原因，我们建议采用独立的模拟与电源层。两层必须在 IC 上直接相连，以减小两层之间的噪声。唯一必须直接连接至电源接地层的组件是输入电容、输出电容、输入电压去耦电容以及 TPS54010 的 PGND 引脚。

欠压锁定 (UVLO)

TPS54010 集成了欠压锁定电路，以便在输入电压 (VIN) 不足时对器件进行禁用。在上电情况下，内部电路保持不工作状态，直至 VIN 超出 2.95 V 的额定 UVLO 阈值电压为止。一旦达到 UVLO 启动阈值，器件即开始启动。器件会一直工作，直至 VIN 降至 2.8 V 的额定 UVLO 停止阈值以下为止。UVLO 比较器中的滞后作用以及 2.5 μs 上升与下降前缘抗尖峰脉冲电路可减小器件由于 VIN 噪声而关闭的可能性。UVLO 与 VIN 相关，而与 PVIN 无关，详情请参阅《应用信息》部分。

软启动 / 启用 (SS / ENA)

软启动 / 启用引脚可提供两种功能。首先，该引脚作为启用（关断）控制，在电压超过约 1.2 V 的启动阈值电压之前保持器件处于关闭状态。当 SS / ENA 超过启用阈值情况下，器件开始启动。提供给误差放大器的参考电压呈线性上升，在 3.35 ms 内从 0 V 上升至 0.891 V。与此类似，转换器输出电压也在约 3.35 ms 内实现稳压。电压滞后现象与 2.5 ms 下降边缘抗尖峰脉冲电路减小了由于噪声而触发启用功能的可能性。

SS / ENA 引脚的第二个功能就是提供了用 SS / ENA 与 AGND 之间相连的低值电容来延长软启动时间的外部方法。

向 SS / ENA 引脚添加电容对启动有两种影响。首先，SS / ENA 引脚释放与输出启动之间形成延迟。延迟与软启动电容的值成正比，延迟会一直持续到 SS / ENA 引脚达到启用阈值为止。启动延迟约为：

$$t_d = C_{(SS)} \times \frac{1.2 \text{ V}}{5 \mu\text{A}} \quad (25)$$

第二，当输出工作时，在外部设置的软启动速率实现控制之前，会短暂地以内部软启动控制速率斜坡上升，而输出上升的速率与软启动电容的大小成正比。电容设置的软启动时间可计算如下：

$$t_{(SS)} = C_{(SS)} \times \frac{0.7 \text{ V}}{5 \mu\text{A}} \quad (26)$$

由于初始时短暂地以内置软启速度上升，实际软启动时间有可能低于上述计算所得的值。

VBIAS 调节器 (VBIAS)

VBIAS 调节器提供内部模拟和数字块以电源电压，并且在结温和输入电压变化情况下仍能保持

稳定。VBIAS 引脚上要求低 ESR 的高质量陶瓷旁路电容。我们建议采用 X7R 或 X5R 级电介质，因为其值在不同温度下更为稳定。旁路电容必须置于靠近 VBIAS 处，并返回至 AGND。

VBIAS 上允许外部负载，但要注意内部电路要求最小 VBIAS 为 2.7 V，而带有交流或数字开关噪声的 VBIAS 外部负载可能降低性能。VBIAS 引脚可作为外部电路的参考电压发挥作用。VBIAS 来自 VIN 引脚；请参见本产品说明书的功能原理图。

电压参考

通过缩放温度稳定型带隙电路的输出，电压参考系统可生成精确的 Vref 信号。在制造期间，带隙和缩放电路经调整后可在误差放大器的输出上生成 0.891 V 电压，与电压跟随放大器连接。调节过程提高了 TPS54010 调节的精度，因为这消除了缩放与误差放大器电路中的偏移误差。

振荡器与 PWM 斜坡

将振荡器频率设为内部固定值 350 kHz。可对振荡器频率进行外部调节，从 280 调至 700 kHz 不等，方法是在 RT 引脚与接地之间连接电阻。开关频率由以下方程式得出，这里的 R 是 RT 到 AGND 的电阻：

$$\text{Switching Frequency} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ [kHz]} \quad (27)$$

误差放大器

高性能、高带宽电压误差放大器使 TPS54010 在大多数 dc/dc 转换器中独树一帜。用户可以灵活地使用各种输出 L 和 C 滤波器组件，以适应特定的应用要求。我们可用外部补偿组件来实现类型 2 或类型 3 的补偿方式。

PWM 控制

误差放大器输出、振荡器以及电流限制电路发出的信号均由 PWM 控制逻辑进行处理。如内部结构图所示，控制逻辑包括 PWM 比较器、OR 门、PWM 锁存器以及部分自适应死区时间和控制逻辑块。在低于电流限制阈值的工作稳定状态下，PWM 比较器输出和振荡器脉冲序列交替复位，并设置 PWM 锁存器。一旦设置了 PWM 锁存器，低侧 FET 将保持开通，最短导通时间由振荡器脉宽决定。

在此期间，PWM 斜坡快速下降，达到其谷值电压。当斜坡重新上升时，低侧 FET 关闭，高侧 FET 打开。随着 PWM 斜坡电压超过误差放大器的输出电压，PWM 比较器将复位锁存器，这就关闭了高侧 FET 而打开低侧 FET。低侧 FET 保持打开状态，直至下一次振荡器脉冲 PWM 斜坡放电下降。在瞬态条件下，误差放大器输出可能低于 PWM 斜坡谷值电压或高于其峰值电压。如果误差放大器为高，则 PWM 锁存器永远不会复位，而高侧 FET 会一直保持打开状态，直至振荡器脉冲向控制逻辑发出信号将高侧 FET 关闭、将低侧 FET 打开为止。器件持续以最大占空比工作，直至输出电压上升至稳压设置点为止，这就将 VSENSE 设为与 VREF 的电压大致相等。如果误差放大器输出较低，则 PWM 闭锁器不断复位，而高侧 FET 不打开。低侧 FET 保持打开状态，直到 VSENSE 电压降到一定范围内，允许 PWM 比较器改变状态为止。TPS54010 可持续回灌电流，直到输出达到稳压设置点为止。

如果电流限制比较器跳变超过 100ns，则 PWM 闭锁器在 PWM 斜坡超过误差放大器输出前重置。高侧 FET 关闭，低侧 FET 打开，以降低输出电感器中的能量，从而降低输出电流。只要电流限制比较器实现了跳变，那么每个周期均会重复上述步骤。

死区时间控制与 MOSFET 驱动器

自适应死区时间控制能有效控制 MOSFET 驱动器的打开时间，从而避免开关瞬间在两 N 沟

道功率 MOSFET 中形成短路电流。。高侧驱动器在低侧 FET 栅极电压低于 2V 前不打开，而低侧驱动器在高侧 FET 栅极电压低于 2V 前不打开。

高侧与低侧驱动器具有 300 mA 的驱动以及吸收能力，可快速驱动功率 MOSFET 栅极。低侧驱动器由 VIN 供电，而高侧驱动器则由 BOOT 引脚供电。自举电路采用外部 BOOT 电容和内部 2.5 Ω 自举开关（在 VIN 和 BOOT 引脚间连接）。集成自举开关进一步改进了驱动效率，并降低了外部组件的数量。

过电流保护

我们通过传感流过高侧 MOSFET 的电流并将该信号与预设的过电流阈值相比较来实现逐个周期的电流限制。高侧 MOSFET 在达到电流阈值 200 ns 内关闭。100 ns 的前沿消隐电路可避免电流限制的误跳变。只有为输出滤波器提供电流而当电流从 VIN 流向 PH 时，才发生电流限制检测。在电流吸收运行期间的负载保护由热关断实现。

热关断

如果结温超过 150°C，则器件采用热关断来关闭功率 MOSFET 并禁用控制器。如果结温降至低于热关断跳变点 10°C 以下，则器件自动从关闭状态返回，并开始处于软启动电路的控制之下。

热关断在过载条件持续数毫秒的情况下提供保护。如果故障状态持续，那么器件不断循环；由软启动电路控制启动，因故障条件而过热，达到热关断跳变点时关闭。这一过程不断重复，直至故障状态消除为止。

电源状态良好 (PWRGD)

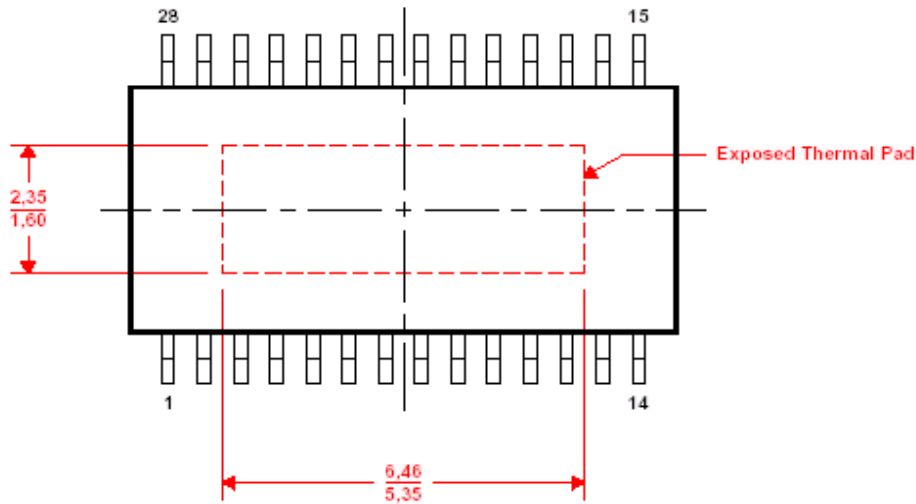
电源良好电路可监视 VSENSE 的欠压情况。如果 VSENSE 上的电压低于参考电压 10%，那么开漏 PWRGD 输出下拉。如果 VIN 低于 UVLO 阈值，或 SS/ENA 较低，则 PWRGD 也下拉。如果 VIN、UVLO 阈值、SS/ENA、启用阈值以及 VSENSE 大于 Vref 的 90%，则 PWRGD 引脚的开漏输出较高。相当于 Vref 的 3% 的滞后电压和 35 μs 的下降沿抗尖峰脉冲电路防止电源良好比较器因高频噪声而跳变。

散热信息

PowerPAD™ 封装包括外露的散热焊盘，其根据设计直接与外部散热片相连。散热焊盘直接焊接于印刷电路板 (PCB) 上，而 PCB 可用作散热片。此外，通过使用散热通孔，散热焊盘可直接连接于设计到 PCB 中的接地层或特殊散热片结构。这种设计优化了集成电路 (IC) 的传热。

如欲了解有关 PowerPAD 封装的更多详情以及如何利用其散热功能，敬请参见技术简介《PowerPAD 散热增强型封装》，TI 资料号 SLMA002，以及应用简介《PowerPAD 一点通》，TI 资料号 SLMA004。您可以网络下载的方式获得上述两篇文档，网址：www.ti.com。

本封装的外露散热焊盘长宽大小见下图：



顶部视图

注释：所有直线长度单位均为毫米。

PPTD032

外露的散热焊盘尺寸

封装信息

可预订的器件	状态 ⁽¹⁾	封装类型	封装图	引脚	封装数量	环保计划 ⁽²⁾	引脚/球精加工	MSL 峰值温度 ⁽³⁾
TPS54010PWP	ACTIVE	HTSSOP	PWP	28	50	TBD	CU NIPDAU	Level-1-220C-UNLIM
TPS54010PWPR	ACTIVE	HTSSOP	PWP	28	2000	TBD	CU NIPDAU	Level-1-220C-UNLIM

(1) 销售状态值定义如下：

ACTIVE: 针对新型设计而推荐的产品器件。

LIFEBUY: TI 已宣布器件停产，停产前购买 (lifetime buy) 仍有效。

NRND: 不推荐用于新型设计。器件的当前生产仅支持现有客户，但 TI 不推荐在新设计中采用此器件。

PREVIEW: 器件已宣布推出，但尚未投产。可能已提供样片，也可能未提供。

OBSOLETE: TI 已停产该器件。

(2) 环保计划——TI 制定了以下环境保护分类计划：无铅 (RoHS) 或绿色 (RoHS & no Sb/Br) 计划，请访问以下网址了解最新的计划信息以及更多的产品详情：<http://www.ti.com/productcontent>。

TBD: 无铅/绿色转换计划尚未明确。

无铅 (RoHS): TI 的“无铅”术语表示半导体产品需符合 RoHS 标准针对所有六种物质规定的要求，其中包括同质材料中铅含量不超过 0.1% 的要求。如果根据设计产品在高温下焊接，那么 TI 的无铅产品适用于指定的无铅工艺。

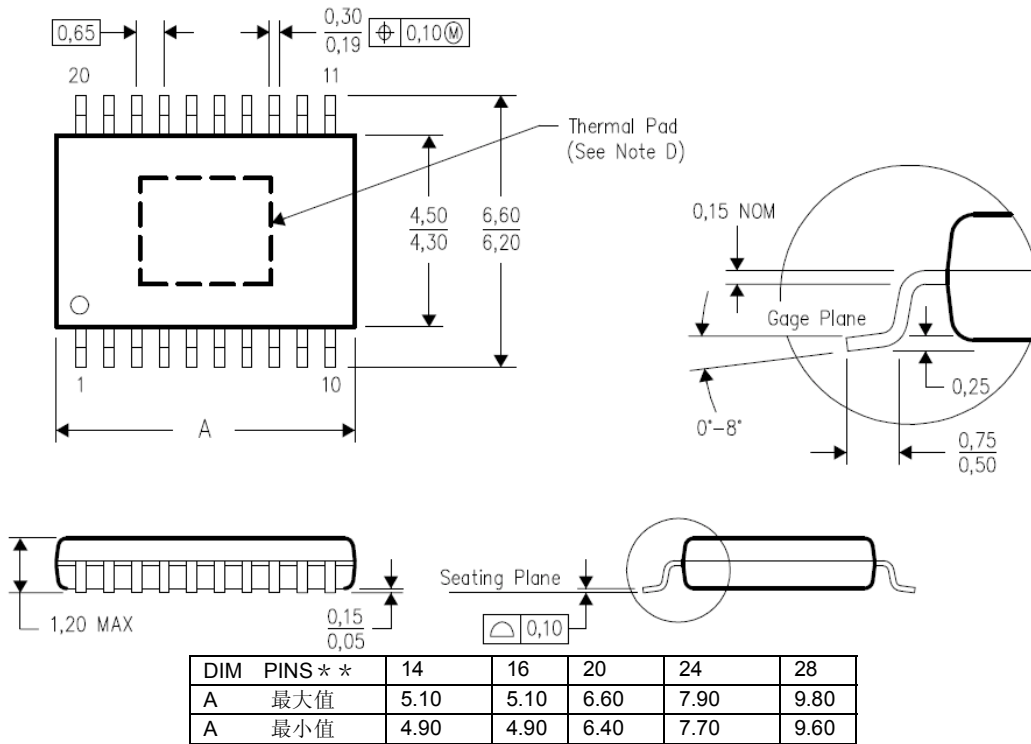
绿色环保 (RoHS & no Sb/Br): TI 的“绿色环保”术语表示无铅（符合 RoHS 标准）且不含带有溴 (Br) 与镉 (Sb) 的阻燃剂 (Br 或 Sb 含量不超过同质材料 0.1%)

(3) MSL 峰值温度——湿度敏感级额定值符合 JEDEC 业界标准分类，也符合峰值焊料温度要求。

重要信息及免责声明: 本页提供的信息仅代表 TI 在信息发布之日对该信息的理解和观点。TI 的信息和观点建立在第三方提供的信息基础之上，对上述信息的准确性不提供担保和保证。我们正努力将第三方信息加以整合。TI 已采取合理步骤并将继续采取有关措施以提供有代表性的正确信息，但并未针对所获取材料和化学品进行高强度测试或化学分析。TI 与 TI 供应商认为某些信息具有专利性，因此 CAS 号及其他限制性信息可能不得发布。

在任何情况下，TI 对上述信息所承担的赔偿责任均不超出本文涉及的、由 TI 向客户每年销售的 TI 部件的总购买额。

PWP (R-PDSO-G**) PowerPAD™ 塑料小外形封装



- 注:
- A. 所有直线单位均为毫米。
 - B. 本图如有变动恕不另行通知。
 - C. 主体尺寸不包括铸型焊瘤 (mold flash) 或突出。
 - D. 本封装根据设计焊接至板上的散热焊盘。如欲了解有关建议板面布局的信息, 敬请参见技术简介《PowerPad 散热增强型封装》, TI 资料号 SUNA002, 请访问以下网站获得本文档: www.ti.com (<http://www.ti.com>)。
 - E. 符合 JEDEC MD-153

重要通知

德州仪器 (TI) 及其子公司保留随时纠正、修改、增强、改进其产品与服务、进行其它变动以及终止任何产品或服务的权利，恕不另行通知。下订单前，客户应了解最新的相关信息，并确保所获取信息的及时性与完整性。所有产品的销售均受在订单确认时 TI 所提供的销售条款与条件的约束。

根据 TI 的标准担保原则，TI 担保其硬件产品的性能符合销售时的适用规范。测试与其它质量控制方法仅适用于 TI 认为符合相关保证原则的范围。除非政府强制要求，无需测试每种产品的任何参数。

TI 不负责提供应用帮助，也不对客户产品设计负责。客户对采用 TI 组件的各自产品与应用负责。为最大限度地降低客户产品及应用相关的风险，客户应提供适当的设计与操作保护。

无论明示或暗示，在其任何专利权、版权、屏蔽作品权 (mask work right) 或与采用了 TI 产品或服务的任何集成、机器或工艺相关的知识产权中，TI 均不担保或表示给予任何许可权。TI 公开的、有关第三方产品或服务的信息不得视为 TI 许可使用这种产品或服务，也不得视为 TI 的任何保证或授权。该信息的使用应需要根据第三方的专利或其它知识产权获得许可，或者需要根据 TI 的专利或其它知识产权获得 TI 的许可。

只要在没有任何改动并且附带全部相关保证、条件、限制及通知的情况下，才能从 TI 的数据文件或数据表中复制信息。在改动情况下复制相关信息是不正当而且是欺骗性商业行为。TI 对修改后的文件不负任何责任。

如果产品或服务的再销售带有 TI 明示无效的、超出产品或服务相关参数的说明，或者附带的说明超出了相关暗示保证，则属不正当的欺骗性商业行为。TI 对此类说明不负任何责任。

您可从以下 URL 获得有关其它 TI 产品与应用解决方案的信息：

	产品		应用范围
放大器	amplifier.ti.com	音频	www.ti.com/audio
数据转换器	dataconverter.ti.com	车载系统	www.ti.com/automotive
DSP	dsp.ti.com	宽带	www.ti.com/broadband
接口产品	interface.ti.com	数控	www.ti.com/digitalcontrol
逻辑产品	logic.ti.com	军事领域	www.ti.com/military
电源管理	power.ti.com	光网络	www.ti.com/opticalnetwork
微控制器	microcontroller.ti.com	安全性	www.ti.com/security
		电话系统	www.ti.com/telephony
		视频与成像	www.ti.com/video
		无线应用	www.ti.com/wireless

通信地址：Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright ©2005, Texas Instruments Incorporated

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		Applications	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265