

勘误表说明

CC1100E

目录

1 RX FIFO	2
2 PLL 锁定检测器输出	3
3 SPI 读取同步问题.....	3
4 短间隔 WOR 定时误差.....	6
5 RXFIFO_OVERFLOW 问题	7
6 TX 中发送的额外字节	9
7 文档历史记录	9

1 RX FIFO

1.1 问题描述与原因

在通过 SPI 接口读取 RX FIFO 中最后一个字节的时候，如果一个接收到的数据字节恰好同时也被写入 RX FIFO，那么 RX FIFO 指针便不会得到正确的更新，并且该最后一个读取的字节将被复制。

1.2 建议变通方案 (workaround)

就小于 64 字节的数据包而言，我们推荐等接收到完整的数据包之后再读取。如果无法实现，或者该数据包长度超过 64 字节，那么建议使用下列变通方案：

可以从状态寄存器 RXBYTES.NUM_RXBYTES 中读取 RX FIFO 中的字节数。为了避免读取 RX FIFO 中末字节的同时接收数据，在接收到数据包末字节以前，您一定不要清空 RX FIFO。由于本勘误表说明中问题 3 的存在，因此在接收数据期间读取 RXBYTES 寄存器时您需要特别小心：

- 1、以至少 2 倍于接收 RF 字节速率的速率反复读取 RXBYTES.NUM_RXBYTES，直到相同的值返回两次为止；将该值存储于 n 中。
- 2、如果 $n <$ 数据包剩余字节数 $\#$ ，则从 RX FIFO 中读取 $n-1$ 个字节。
- 3、重复 1-2，直到 $n =$ 数据包剩余字节数 $\#$
- 4、从 RX FIFO 中读取剩余字节。

伪代码：

```

BYTE n, l, len, *pDataBuf;

// Get length byte in packet (safely)
n = SPI_READ(RXBYTES);
do { l = n; n = SPI_READ(RX_BYTES); } while (n<2 && n!=1);
*pDataBuf++ = len = SPI_READ(RX_FIFO);

// Copy rest of packet (safely)
while (len>1) {
    n = SPI_READ(RXBYTES);
    do { l = n; n = SPI_READ(RX_BYTES); } while (n<2 && n!=1);
    while (n>1) {
        *pDataBuf++ = SPI_READ(RX_FIFO);
        len--; n--;
    }
}
*pDataBuf++ = SPI_READ(RX_FIFO);

```

1.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

2 PLL 锁定检测器输出

2.1 问题描述与原因

PLL 锁定检测器输出并非 100% 可靠，即使 PLL 处于锁定状态也可能触发。如果锁定检测器输出具有一个正转换或恒定逻辑高电平，PLL 则处于锁定状态。如果锁定检测器输出为恒定逻辑低电平，PLL 则处于锁定状态。不建议通过读取 `GDOx_CFG=0x0A` 的 `PKTSTATUS[0]` 或读取 `GDOx_CFG=0x0A` ($x = 0$ 或 2) 的 `PKTSTATUS[2]` 寄存器来检查 PLL 锁定。

2.2 建议变通方案

使用下列方法可对 PLL 锁定进行可靠的检测：

1) 对寄存器 `IOCFGx.GDOx_CFG=0x0A` 编程并将 `GDOx` 引脚上可用的锁定检测器输出用作一个 MCU 中断。`GDOx` 引脚上的正转换意味着 PLL 处于锁定状态。将集成电路从“睡眠”状态唤醒时需要关闭中断，这一点很重要，因为当编程输出锁定检测器时这种唤醒可能会引起 `GDOx` 引脚触发。

或者

2) 读取寄存器 `FSCAL1`。如果该寄存器内容不同于 `0x3F`，则 PLL 为锁定状态。有了上面的两个变通方案，我们就以可使用正确的设置对 `TEST0.VCO_SEL_CAL_EN` 和 `FSCAL2.VCO_CORE_H_EN` 进行 CC1100E PLL 校准。这些设置取决于工作频率，并由 SmartRF® Studio 自动计算得出。

必须注意，`TEST0` 寄存器内容并未保持在 `SLEEP` 状态下，这样一来当从 `SLEEP` 模式返回时就必需对该寄存器进行上述写入操作。

2.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

3 SPI 读取同步问题

影响 SPI 时钟域（使用一个用户提供的 `SCLK`）和内部 26 MHz 时钟域（本文档中为 `XCLK`）之间同步机制的某个故障，有时会导致不断更新的寄存器字段的错误读取值。出现这种情况的频率非常低，本章将列出避免这种问题出现的一些应用设计指南。该问题**不会影响** `RX FIFO` 的数据读取，因为它使用了一种不同且更加稳健的同步机制。这一问题不会影响寄存器和 `TX FIFO` 的数据随时写入。

3.1 问题症状

多位寄存器字段由无线电设备硬件（例如：`MARCSTATE` 或 `TXBYTES` 寄存器）更新，当通过 SPI 接口对其进行读取时，有时候会读取一些无意义或错误的值。

例如，在一个发送长度大于 64 字节 TX FIFO 数据包的应用中，额外数据肯定会在数据包发送期间填满 TX FIFO。假设，将 64 字节数据传输至 TX FIFO，开始发送，然后不断轮询 TXBYTES 以检查何时会有额外字节的空间，最后传输要求的字节数直到数据包末字节，这时便出现 TX FIFO 被额外数据填满的情况。这样，从 TXBYTES 读取值的预计序列为：

64, 64, …… , 63, (写入字节), 64, 64, …… , 63, (写入字节), 64, ……

由于存在 SPI 同步问题，因此我们可能会（很少出现）看到下列情形：

64, 64, …… , 63, (写入字节), 64, 64, …… , 64, **89**, 63, ……

错误值读取以红色标注。寄存器读取值将从 64 (01000000b) 变为 XCLK 时钟上的 63 (00111111b)，与此同时，其值被闭锁至 XCLK 时钟上的 SPI 输出移位寄存器中。如果两个时钟边缘出现的时间足够接近，那么错误同步机制将会闭锁前面寄存器值的一些值，以及后面寄存器值的一些值，从而产生错误值 89 (01011001b)。

3.2 错误描述

在 SPI 读取执行期间，SPI 输出寄存器将 SPI 地址字节中 SCLK 最后下降沿的读取值闭锁。就突发读取操作而言，随后的寄存器值被闭锁在所有前面数据字节末位中 SCLK 的下降沿。

由于存在这种同步问题，在 SCLK 下降沿之后的某个时间段内，如果被读取的寄存器改变了值（与 XCLK 同步），那么该读取值中的部分比特可能来自于前面的值，而一些则来自于后面的值。一般情况下，这种所谓的不确定窗口约为 1.3 ns，在极端条件下（1.8 V VDD，85 °C）会增加到约 2.0 ns。

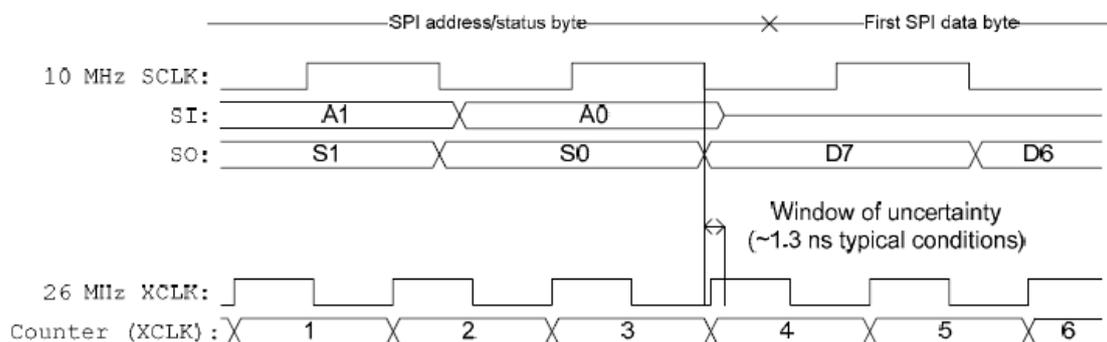


图 1 非确定窗口（未按比例尺绘制）

图 1 显示了 SPI 读取的一个定时图，在对每个 XCLK 内部更新的伪计数器 (fictitious counter) 进行读取时 SPI 读取会失败。由于不确定性窗口中值 3 (011b) 到 4 (100b) 的计数器更新，读取值可以为 0-7 (000b, 001b, 010b, 011b, 100b, 101b, 110b, 111b) 中的任何一个值，具体情况取决于 XCLK 的

正边缘何时适用不确定性窗口。

3.2.1 哪类寄存器字段会受到影响？

该问题不会影响：

- 从 RX FIFO 中随时读取接收到的数据。
- 静态配置寄存器（寄存器 0x00-0x2E）的读取。
- 静态寄存器（PARTNUM 和 VERSION），或那些其值只在数据包接收/发送或 FS 校准完成以后才能被读取的状态寄存器（FREQEST、LQI 和 VCO_VC_DAC）的读取。
- 单比特字段（PKTSTATUS 的所有字段、TXBYTES.TXFIFO_UNDERFLOW 和 RXBYTES.RXFIFO_OVERFLOW）
- 那些其值在读取操作时不会改变的所有寄存器的读取（例如：接收到数据包后对 RXBYTES 或 RSSI 进行读取）。

该问题会影响：

- SPI 状态字节（主机 MCU 提供地址字节时移出）字段 STATE 和 FIFO_BYTES_AVAILABLE。
- 接收机工作时对 FREQEST 或 RSSI 的读取。
- 器件空闲 (IDLE) 以外的任何时候对 MARCSTATE 的读取。
- 接收数据包时对 RXBYTES 的读取，或发送数据包时对 TXBYTES 的读取。
- 任何时候对 WORTIME1 和 WORTIME0 的读取。

3.2.2 该问题破坏读取值的频率如何？

通过读取值改变的频率 f_c 和不确定性窗口的时长 T_{WU} （一般为 1.3 ns），就可以得出读取破损值的概率。两者同时发生以及读取值可能受到破损的概率可由下式得出：

$$P_{\text{corrupt}} = \frac{T_{WU}}{T_c} = T_{WU} f_c$$

在 3.1 章节所述例子中，假设使用了最大数据速率，从 TXBYTES 进行单字节读取出现错误的概率大约为 $P_{\text{corrupt}} = T_{WU} f_c = 1.3 \text{ ns} \cdot (500 \text{ kbps} / 8\text{b}) \approx 80 \text{ ppm}$ 或不到 1/10000 次。许多情况下，通信系统中潜在的接收数据包出错率非常高，因

此此处该问题所引起的任何数据包发送/接收错误都可以忽略不计。

3.3 建议变通方案

在一个典型的无线系统中，应该至少能够容许 1% 的数据包出错率，以确保系统的健稳性。鉴于此，偶尔的错误 FIFO 字节数值的读取或 MARCSTATE 错误无线电状态的读取等带来的少量数据包丢失，在大多数应用中都可能被忽略不计。但是，仍然需要多加注意，以确保错误值读取不会损害到应用。常见的一些例子包括：

- 就长度大于 TX FIFO 的数据包而言，如果有足够的空间来容纳一个新的数据模块（使用 TX FIFO 阈值），则对该器件进行配置以在 GDO 引脚上发送信号。如果由于引脚限制需要轮询 TXBYTES，则反复读取 TXBYTES，直到连续两次返回相同的值为止——通常，该值具有一定的可信度。
- 始终对 RX FIFO 中报告的字节数进行长度检查，以避免复制数据到您的 MCU 时出现缓冲区溢出。缓冲区溢出会使您的固件不稳定或死锁。
- 不要依赖瞬态状态的内部无线状态机（例如 CALIBRATE – SETTLING – TX – IDLE）。但是，等待 MARCSTATE= IDLE，然后再进行发送末端轮询却是十分可靠的。
- 在判定算法中使用数据包以前，通常对若干个数据包的 RSSI 和 LQI 值求平均（例如，FH 信道选择）。
- 避免在数据包发送期间使用 SPI 状态字节 STATE 和 FIFO_BYTES_AVAILABLE 字段。

如果**确保**读取值为未破损值至关重要的话，那么就应该反复读取其中一个受影响的寄存器，直到连续两次返回相同值为止。如果读取寄存器的速率规定为预计寄存器更新速率的两倍，那么要求读数的上限值则为 4，而平均读数则稍大于 2。

相同方法也可以用于确保提供简化无线 FSM 状态及饱和 FIFO 字节计数的 SPI 状态字节字段的正确性。只有当用 SNOP 作为地址轮询状态字节时，这种方法才有意义。

3.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

4 短间隔 WOR 定时误差

4.1 问题描述与原因

无线唤醒定时器是一款极低功耗的定时器。它使用了一个 $f_{xosc}/750$ kHz ($f_{xosc} = 26$ MHz 时为 34.7 kHz) 时钟源，用于定时器和比较逻辑。在断电模式下，该

时钟源被除以 128，以获得用于该定时器的 270.8 Hz 时钟频率（鉴于 f_{xosc} 为 26 MHz）。

在断电模式中，该定时器以 270.8 Hz 运行以节省电力。在达到编程时限值以前的某个时候，该定时器会自动恢复到 34.7 kHz 运行。在进入断电模式以前，通过预增实际定时器值可以达到上述效果，这样便可以让匹配逻辑恢复到 34.7 kHz 定时器运行。

时限小于约 11 ms 时（应用手册 AN047 给出了详细的定时时间），时限太短以至于不能切换到 270.8 Hz 时钟频率方案。由于设计误差，即使器件不切换到 270.8 Hz 时钟频率方案也需要对定时器进行预增加操作，从而有效地将时限缩短一个 270.8 Hz 时钟周期。

4.2 建议变通方案

应用手册 AN047 (swra126) 描述了 WOR 使用情况。

3.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

5 RXFIFO_OVERFLOW 问题

5.1 问题描述与原因

除了具有 64 字节长度的 RX FIFO 以外，在 FIFO 和 SPI 模块之间，CC1100E 还有一个一字节长的预取缓冲器。另外，它还有一些状态寄存器的缓冲器、CRC 字节，以及 FEC 开启时使用的缓冲器。如果在没有读取 RX FIFO 的情况下接收到 65 个以上的字节（FIFO 和预取缓冲器已满），那么该无线电设备将会进入 RXFIFO_OVERFLOW 状态。但是，在一些情况下，无线电设备也会滞留在 RX 状态而非它应该进入的 RXFIFO_OVERFLOW 状态。下表显示了会引起这一问题的一些寄存器设置。APPEND_STATUS 位于 PKTCTRL1 寄存器，CRC_EN 位于 PKTCTRL0 寄存器，而 FEC_EN 则位于 MDMCFG1 寄存器中。IOCFGx=0x06 意味着 RXFIFO 溢出时应使引脚取消置位。在无线电设备滞留在 RX 状态的情况下，GDOx 引脚将不会被取消置位。

当无线电设备滞留在 RX 状态时，它便会像在 RX 状态中一样吸取电流，但是它不能再接收数据。离开这种状态的唯一方法是发送一个 SIDLE 选通脉冲，然后刷新 FIFO (SFRX)。

	# of bytes to be put in RX FIFO	MARCSTATE	RXBYTES		GDOx
			RXFIFO_OVERFLOW	NUM_RXBYTES	
APPEND_STATUS = 1	64	IDLE	0	64	OK
CRC_EN = 0	65	IDLE	0	65	OK
PEC_EN = 1	66	RX	0	65	-
	67	RX	0	65	-
	68	RX	0	65	-
	69	RX	0	65	-
	70	RX	0	65	-
	71	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 1	64	IDLE	0	64	OK
CRC_EN = 1	65	IDLE	0	65	OK
PEC_EN = 1	66	RX	0	65	-
	67	RX	0	65	-
	68	RX	0	65	-
	69	RX	0	65	-
	70	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 0	64	IDLE	0	64	OK
CRC_EN = 0	65	IDLE	0	65	OK
PEC_EN = 1	66	RX	0	65	-
	67	RX	0	65	-
	68	RX	0	65	-
	69	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 0	64	IDLE	0	64	OK
CRC_EN = 1	65	IDLE	0	65	OK
PEC_EN = 1	66	RX	0	65	-
	67	RX	0	65	-
	68	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 1	64	IDLE	0	64	OK
CRC_EN = 1	65	IDLE	0	65	OK
PEC_EN = 0	66	RX	0	65	-
	67	RX	0	65	-
	68	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 0	64	IDLE	0	64	OK
CRC_EN = 1	65	IDLE	0	65	OK
PEC_EN = 0	66	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 1	64	IDLE	0	64	OK
CRC_EN = 0	65	IDLE	0	65	OK
PEC_EN = 0	66	RXFIFO_OVERFLOW	1	65	OK
APPEND_STATUS = 0	64	IDLE	0	64	OK
CRC_EN = 0	65	IDLE	0	65	OK
PEC_EN = 0	66	RXFIFO_OVERFLOW	1	65	OK

5.2 建议变通方案

在一些应用中，数据包的长度较短，能够适合于 RX FIFO，同时您想等接收到全部数据包以后再开始读取该 RX FIFO，那么在可变数据包长度模式（PKTCTRL0.LENGTH_CONFIG=1）下，应该将 PKTLEN 寄存器设置为 61，以确保包括状态字节在内的整个数据包为 64 字节或更小（长度字节（61）+61 个有效负载字节+2 个状态字节=64字节），或在固定数据包长度模式时（PKTCTRL0.LENGTH_CONFIG=0）将 PKTLEN 寄存器设置为 ≤ 62 。在一些数据包不适合 RX FIFO 的应用中，您必须在其达到极限值（64 字节）以前开始读取 RX FIFO。

5.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

6 TX 中发送的额外字节

6.1 问题描述与原因

在任何字节前半部分的发送期间，如果您中止发送（退出 TX 模式），下次发送的首字节就会有副本。该问题由调制器中控制 mod_rd_data 信号的状态机引起的。该信号在每一个完整字节的发送之初断言 (assert)，然后在发送半个字节以后取消断言。如果在一个字节已经开始发送但在发送半个字节之前中止发送，那么该信号就会保持断言，下一次发送中的首字节将被重复。

6.2 建议变通方案

只要使用了 CC1100E 的数据包处理特性，就不会再出现这样的问题，因为该芯片总会在数据包末字节的最后一位发送以后退出 TX 模式。但是，如果您关闭了数据包处理特性（MDMCFG2.SYNC_MODE=0），想通过选通 IDLE 来退出 TX 模式，那么您就应该确保 IDLE 选通脉冲在时钟输出 12 个空白字节之后发出（由于 TX 时延，因此 8 个空白字节是必需的，但由于这意味着在一个字节前半部分便中止了发送，所以加上了 4 个额外字节）。

6.3 适用批次

本勘误表说明适用于该芯片的所有批次和修订版本。

7 文档历史记录

修订	日期	描述/更改
SWRZ029	2009 年 4 月 2 日	首次正式发布

TEXAS INSTRUMENTS NORWAY

Tel. +47-22958544

Fax +47-22958546

www.ti.com

重要声明

德州仪器 (TI) 及其子公司保留随时纠正、修改、增强、改进其产品与服务、进行其它变动以及终止任何产品或服务权利的权利，恕不另行通知。下订单前，客户应了解最新的相关信息，并确保所获取信息的及时性与完整性。所有产品的销售均受在订单确认时 TI 所提供的销售条款与条件的约束。

根据 TI 的标准担保原则，TI 担保其硬件产品的性能符合销售时的适用规范。测试与其它质量控制方法仅适用于 TI 认为符合相关保证原则的范围。除非政府强制要求，无需测试每种产品的任何参数。

TI 不负责提供应用帮助，也不对客户产品设计负责。客户对采用 TI 组件的各自产品与应用负责。为最大限度地降低客户产品及应用相关的风险，客户应提供适当的设计与操作保护。

无论明示或暗示，在其任何专利权、版权、屏蔽作品权 (mask work right) 或与采用了 TI 产品或服务的任何集成、机器或工艺相关的知识产权中，TI 均不担保或表示给予任何许可权。TI 公开的、有关第三方产品或服务的信息不得视为 TI 许可使用这种产品或服务，也不得视为 TI 的任何保证或授权。该信息的使用应根据第三方的专利或其它知识产权获得许可，或者需要根据 TI 的专利或其它知识产权获得 TI 的许可。

只有在没有任何改动并且附带全部相关保证、条件、限制及通知的情况下，才能从 TI 的数据文件或数据表中复制信息。在改动情况下复制相关信息是不正当而且是欺骗性商业行为。TI 对修改后的文件不负任何责任。

如果产品或服务的再销售带有 TI 明示无效的、超出产品或服务相关参数的说明，或者附带的说明超出了相关暗示保证，则属不正当的欺骗性商业行为。TI 对此类说明不负任何责任。

您可从以下 URL 获得有关其它 TI 产品与应用解决方案的信息：

产品	应用范围
放大器 amplifier.ti.com	音频 www.ti.com/audio
数据转换器 dataconverter.ti.com	车载系统 www.ti.com/automotive
DSP dsp.ti.com	宽带 www.ti.com/broadband
接口产品 interface.ti.com	数控 www.ti.com/digitalcontrol
逻辑产品 logic.ti.com	军事领域 www.ti.com/military
电源管理 power.ti.com	光网络 www.ti.com/opticalnetwork
微控制器 microcontroller.ti.com	安全性 www.ti.com/security
	电话系统 www.ti.com/telephony

视频与成像 www.ti.com/video

无线应用 www.ti.com/wireless

通讯地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

版权所有© 2009 年，德州仪器

重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

产品

放大器	http://www.ti.com.cn/amplifiers
数据转换器	http://www.ti.com.cn/dataconverters
DSP	http://www.ti.com.cn/dsp
接口	http://www.ti.com.cn/interface
逻辑	http://www.ti.com.cn/logic
电源管理	http://www.ti.com.cn/power
微控制器	http://www.ti.com.cn/microcontrollers

应用

音频	http://www.ti.com.cn/audio
汽车	http://www.ti.com.cn/automotive
宽带	http://www.ti.com.cn/broadband
数字控制	http://www.ti.com.cn/control
光纤网络	http://www.ti.com.cn/opticalnetwork
安全	http://www.ti.com.cn/security
电话	http://www.ti.com.cn/telecom
视频与成像	http://www.ti.com.cn/video
无线	http://www.ti.com.cn/wireless

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2006, Texas Instruments Incorporated