

## 说明

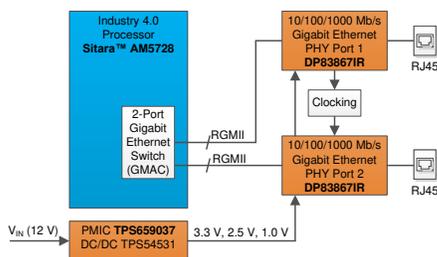
PLC 应用需要高速千兆位以太网接口。这可通过我们的参考设计来实现。该设计在 Sitara™ AM5728 处理器内部的千兆位以太网 MAC 外设模块中实现了 DP83867IR 工业千兆位以太网物理层收发器。

该 TI 设计展示了如何将 DP83867IR 工业千兆位以太网物理层收发器 (PHY) 连接到 Sitara™ AM5728 高性能应用处理器内部的千兆位以太网 MAC (GMAC) 外设模块。硬件设计基于 AM5728 评估模块 (EVM) 的原理图和布局, 但用 TI 的 DP83867IR 千兆位以太网 PHY 取代了两个 KSZ9031 以太网 PHY。与之前的解决方案相比, DP83867IR 解决方案具有许多优势, 包括较小的布板空间、更少的物料清单 (BOM)、更低的功耗以及整体较低的生产成本。该 TI 设计解决了电压电源生成、以太网 PHY 时钟、RGMII 和 MDI 接口等设计难题。它为 DP83867IR PHY 提供有关上电复位生成、自举和寄存器配置的参考实现。

## 资源

|                             |       |
|-----------------------------|-------|
| <a href="#">TIDA-010010</a> | 设计文件夹 |
| <a href="#">DP83867IR</a>   | 产品文件夹 |
| <a href="#">AM5728</a>      | 产品文件夹 |
| <a href="#">TPS659037</a>   | 产品文件夹 |
| <a href="#">TPS54531</a>    | 产品文件夹 |

## 设计图像



咨询我们的 TI E2E™ 支持专家

## 特性

- 集成了 DP83867IR 工业千兆位以太网 PHY, 适合严苛工业环境并采用了 Sitara™ AM5728 高性能应用处理器
- 通过降低电源成本、集成 RGMII 终端电阻器和 PHY 时钟树, 简化了千兆位以太网器件集成物料清单 (BOM)
- DP83867IR 工业以太网 PHY 在满功率运行时的功耗为 457mW (低功耗)
- 集成的 MDI 终端电阻器可减少 BOM 和布板空间, 并简化布局
- DP83867IR PHY 内采用可编程 MII、GMII 和 RGMII 终端阻抗
- DP83867IR PHY 寄存器配置示例带有自举和 MDIO 软件
- 有关上电复位和 PHY 自举的 RGMII 和 MDIO 信号完整性注意事项

## 应用

- 工厂自动化与控制
- 工业驱动产品
- 电网基础设施
- 楼宇自动化



## 1 系统说明

本 TI 设计将 DP83867IR 千兆位以太网 PHY 连接到德州仪器 ( TI ) 的 Sitara AM5728 高性能应用处理器。硬件原理图基于 AM5728 评估模块 ( EVM ) ，但用 DP83867IR 以太网 PHY 取代了 KSZ9031 以太网 PHY。系统设计人员可以利用 DP83867IR 的优势来减少布板空间和 BOM ，并降低 PHY 功耗。本 TI 设计是 DP83867IR 与 AM5728 的硬件参考实现和参考寄存器配置。

本 TI 设计旨在应对系统设计人员面临的挑战，例如 RGMII 和 MDI 信号完整性、DP83867IR 自举配置、基于 MDIO 的寄存器配置、DP83867IR 时钟树和 DP83867IR 电源电压生成。

### 1.1 主要系统规格

表 1-1. 主要系统规格

| 功能                    | 规格   | 注释                                   |
|-----------------------|--|--------------------------------------|
| 以太网端口数                | 2 个端口                                      | 2 × DP83867IR                        |
| MDI                   | 1000BASE-T ( 铜缆 ) 、100BASE-TX、10BASE-Te    | -                                    |
| MAC 接口                | RGMII                                      | -                                    |
| EMAC 及交换机             | 2 端口千兆位以太网 ( GMAC )                        | Sitara AM5728 内部集成了 GMAC             |
| 状态 LED                | 一个以太网端口有 2 个                               | 集成在 RJ45 插孔中                         |
| IEEE 1588v2           | 支持   | 硬件支持但未测试                             |
| 带集成变压器的 RJ45 插孔       | 是  | -                                    |
| 串行管理接口 ( SMI )        | 是  | -                                    |
| 低功耗                   | 1000Base-T ( 铜缆 ) 模式下为 457mW               | -                                    |
| 集成终端电阻                | 是  | 集成在 DP83867IR 中                      |
| RX 和 TX 上的 RGMII 延迟模式 | 可编程延迟                                      | 集成在 DP83867IR 中                      |
| 时钟                    | 25MHz ( <50ppm )                           | -                                    |
| 共享时钟树                 | 是  | PHY 1 为 PHY 2 生成时钟                   |
| 以太网 PHY 电源            | 板载电源管理集成电路 ( PMIC ) 生成 3.3V、2.5V 和 1.0V 电压 | 不需要其他直流/直流转换器或 LDO                   |
| 参考寄存器配置软件             | 是  | 基于 TI 实时操作系统 ( RTOS ) ，源代码可移植到其他操作系统 |

## 2 系统概述

### 2.1 方框图

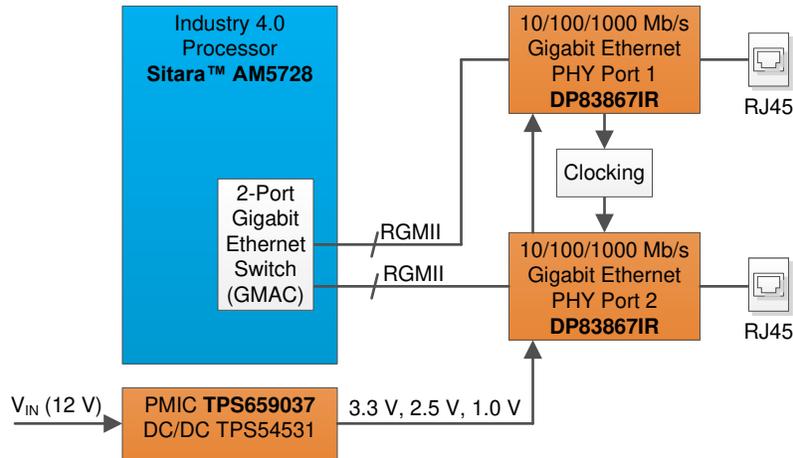


图 2-1. TIDA-010010 方框图

### 2.2 设计注意事项

本 TI 设计将 DP83867IR 千兆位以太网 PHY 连接到 Sitara AM5728 高性能应用处理器。AM5728 EVM (TMDSEVM572X) 使用 KSZ9031 以太网 PHY，与 DP83867IR 千兆位以太网 PHY 解决方案相比有几个缺点。本 TI 设计向工程师展示了如何在 RGMII 接口信号完整性、PHY 自举配置、基于 MDIO 的 PHY 寄存器配置、PHY 时钟、PHY 电源方面迁移到 DP83867IR 千兆位以太网 PHY 解决方案。此外，它还列出了替代电源和时钟选项。

### 2.3 主要产品

#### 2.3.1 DP83867IR 10/100/1000Mbps 千兆位以太网 PHY

- 完全兼容 IEEE 802.3 10BASE-T<sub>e</sub>、100BASE-TX 以及 1000BASE-T 规范
- 工业工作温度范围 -40°C 至 85°C
- 使用一个晶振 (或时钟) 源为附加的 PHY 提供时钟输出
- 8kV IEC 61000-4-2 ESD 保护 (直接接触)
- 支持可编程时钟偏斜的 RGMII 接口
- RGMII 集成端接电阻器
- 低功耗: 457mW
- 低确定性 TX 及 RX 延迟

有关完整的特性说明，请参阅 [《DP83867IR 低功耗耐用型 10/100/1000 以太网物理层收发器》](#) 数据表。

#### 2.3.2 AM5728 Sitara 处理器：双 ARM® Cortex®-A15 和双 DSP

- ARM 双 Cortex-A15 微处理器子系统
- 多达 2 个 C66x™ 浮点 VLIW DSP
- 2 端口千兆位以太网 (GMAC)
- 2 个用于工业以太网的双核可编程实时单元和工业通信子系统 (PRU-ICSS)
- 片上 L3 RAM 高达 2.5MB
- 两个 DDR3、DDR3L 存储器接口 (EMIF) 模块
- 四路 SPI (QSPI)
- 带有两个 5Gbps 通道的 PCI-Express® 2.0 子系统
- 双控制器局域网 (DCAN) 模块

有关完整的特性说明，请参阅 [《AM572x Sitara™ 处理器器件版本 2.0》](#) 数据表。

### 2.3.3 适用于处理器的 TPS659037 电源管理单元 ( PMU )

- 七个降压 *开关模式电源* ( SMPS ) 稳压器
- 七个阶跃为 50mV 的通用低压降稳压器 ( LDO )
- 短路保护
- 电源正常指示 ( 电压和过流指示 )
- 时钟管理 16MHz 晶体振荡器和 32kHz RC 振荡器
- 具有警报唤醒机制的 *实时时钟* ( RTC )
- 具有三个外部输入通道和六个自监控内部通道的 12 位  $\Sigma$ - $\Delta$  通用模数转换器 ( ADC )
- 过热监控：高温警告和热关断
- 欠压锁定

有关完整的特性说明，请参阅 [《适用于处理器的 TPS65903x-Q1 汽车电源管理单元 \( PMU \) 》](#) 数据表。

### 2.3.4 TPS54531 570kHz 降压转换器

- 3.5 至 28 V 输入电压范围
- 可调节输出电压低至 0.8 V
- 使用脉冲跳跃 *Eco-mode* 模式在轻负载条件下实现高效率
- 570kHz 开关频率
- 过压瞬态保护
- 逐周期电流限制、频率折返和热关断保护
- 采用易于使用的耐热增强型 8 引脚 SO PowerPAD 封装

有关完整的特性说明，请参阅 [《具有 \*Eco-mode\*<sup>™</sup> 的 TPS54531 5A、28V 输入、降压 SWIFT<sup>™</sup> 直流/直流转换器》](#) 数据表。

## 2.4 系统设计原理

### 2.4.1 DP83867IR 千兆位以太网 PHY 和 AM5728 EVM 简介

AM5728 EVM 是一个高性能应用处理器评估和开发平台，具有双 ARM Cortex A-15 和两个 C66x DSP。TI 为 TI RTOS ( 实时操作系统 )、Linux ( 高级操作系统，即 HLOS ) 和 Linux RT ( 实时 Linux ) 提供处理器软件开发套件 ( Processor SDK )。在将 DP83867IR 千兆位以太网 PHY 与 AM5728 EVM 连接时，工程师可以再次使用现有的硬件和软件基础架构。

与 KSZ9031 相比，在设计中使用 DP83867IR 有几项优势：

- DP83867IR 支持在严苛的工业环境中使用
- -40°C 至 +85°C 工业温度范围
- 采用外形小巧的 QFN(48) 封装
- 降低系统功耗
- 通过取消用于 PHY 电源生成的大尺寸 FET 使 BOM 简化
- 使用现有的 PMIC 来生成 DP83867IR 电源电压
- 第一个 PHY 为第二个 PHY 生成时钟
- RGMII 和 MDI 接口中集成了端接电阻器，无需外接电阻器

图 2-2 显示了相应的板。

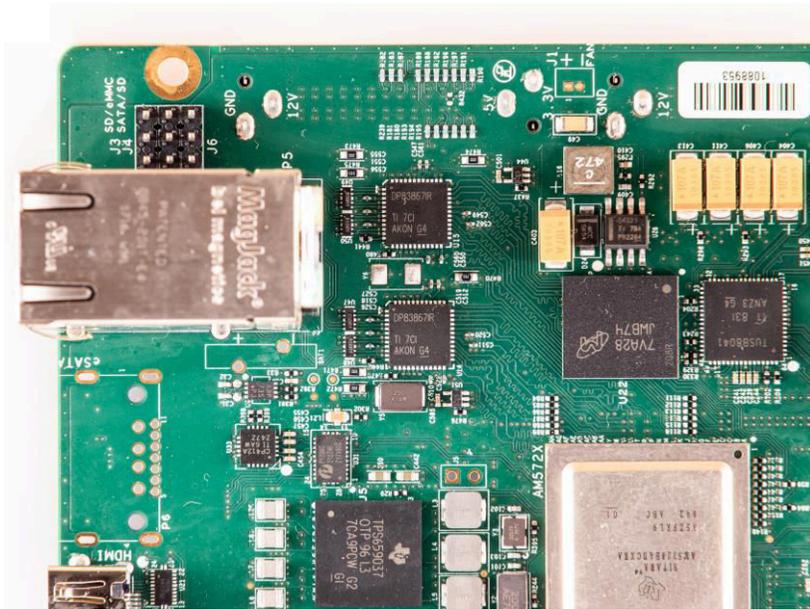


图 2-2. AM5728 EVM 上的 DP83867IR 千兆位以太网 PHY

接下来几个部分将介绍 AM5728 EVM 上的 DP83867IR 集成情况。

#### 2.4.2 DP83867IR 电源生成

DP83867IR 器件支持 2 电源或 3 电源配置。这两种配置之间的区别是 3 电源配置中多了一个 1.8V 电源。为了实现了额外的节能, 2 电源配置中移除了 1.8V 电源。本 TI 设计使用 2 电源配置。更多有关电源的信息, 请参阅《DP83867IR 低功耗耐用型 10/100/1000 以太网物理层收发器》数据表。

DP83867IR 以太网 PHY 在 2 电源配置中需要以下电源电压: QFN48 封装需要 3.3V、2.5V 和 1.0V 电压。

每个电压轨的电流 (典型值) 为:

- 3.3 V : 14mA
- 2.5 V : 137 mA
- 1.0V ( QFN48 封装 ) : 108 mA

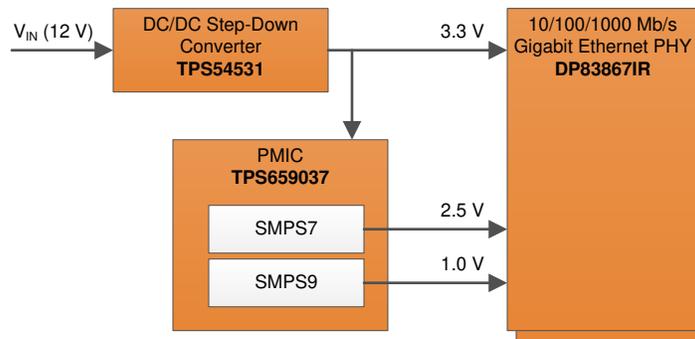


图 2-3. DP83867IR 电源生成

DP83867IR 的 3.3V 电压由 TPS54531 降压转换器生成 (该转换器能够为整个电路板生成 3.3V 电源)。2.5V 和 1.0V 由 TPS659037 内的两个 SMPT 轨生成 (SMPT 轨在 TMDSEVM572X EVM 设计中不使用)。这两个 SMPT 轨通过应用软件进行配置和启用, 因为它们在 PMIC 上电后不存在。请注意, 使用 AM5728 内部引导 ROM 不会启用这些电压, 因此应防止使用内部引导 ROM 从以太网选项进行引导。但是, 任何外部引导加载程序 (例如, MLO、u-boot 等) 都可以启用 PMIC 的 SMPT 电源轨, 从而通过辅助引导加载程序启用以太网引导。

## NOTE

如果系统设计中不允许使用 PMIC 的两个 SMPT 轨，请使用以下替代选项来生成 2.5V 和 1.0V 电源电压。

- 0.35mm 间距的 WCSP 封装选项，可实现更小的 PCB 布板空间
  - 从 5V 或 3.3V 源电压到 2.5V 电源电压：TPS62802 - 当使用 0603 电感器和 0402 电容器时，总解决方案尺寸为 5.7mm<sup>2</sup>。
  - 从 5V、3.3V 或 2.5V 源电压到 1.0V 电源电压：TPS62801 - 当使用 0603 电感器和 0402 电容器时，总解决方案尺寸为 5.7mm<sup>2</sup>。
- QFN 封装选项
  - 从 5V 或 3.3V 电压到 2.5V 电源电压：TPS62230
  - 从 5V、3.3V 或 2.5V 电压到 1.0V 电源电压：TPS62239

## 2.4.3 DP83867IR 时钟生成

TMD5728EVM 使用两个晶振时钟解决方案，即一个晶振为每个 PHY 生成 25MHz 时钟。本 TI 设计利用了 DP83867IR 提供的 CLK\_OUT 信号，即由 PHY 从 XIN 信号生成的 25MHz 时钟信号。使用来自第一个 PHY 的 CLK\_OUT 信号可为第二个 PHY 提供 25MHz 时钟。因此，不需要第二个晶振，可将其从 BOM 中移除。

25MHz 晶振连接到第一个 PHY 的 XIN/XOUT。上电后，第一个 PHY 在 CLK\_OUT 焊盘上输出 25MHz 时钟，然后该时钟馈入第二个 PHY 的 XIN。请注意，这种时钟菊花链需要专用的复位序列，而这是由应用处理器使用 GPIO 进行控制的。

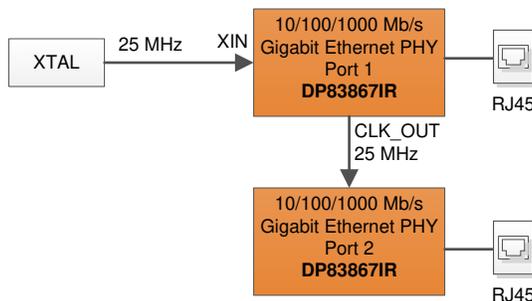


图 2-4. DP83867IR 时钟生成

## 2.4.4 DP83867 复位生成

为了使用菊花链时钟方法，需要在上电后执行特定的 PHY 复位序列。执行该复位序列的原因是，在释放 RESET 信号之前，PHY 上需要存在有效的时钟信号。第一个 PHY 加电后，晶振就开始在 XIN 焊盘上生成 25MHz 时钟。第一个 PHY 上出现 25MHz 时钟后，会释放第一个 PHY 的 RESET 信号。在第一个 PHY 内经过一段特定的时间后，CLK\_OUT 信号会关闭 25MHz 时钟。本 TI 设计使用最坏情况下的延迟时间 201ms。201ms 过后，第二个 PHY 在 XIN 焊盘上将具有 25MHz 时钟，并且可以释放第二个 PHY 的 RESET 信号。

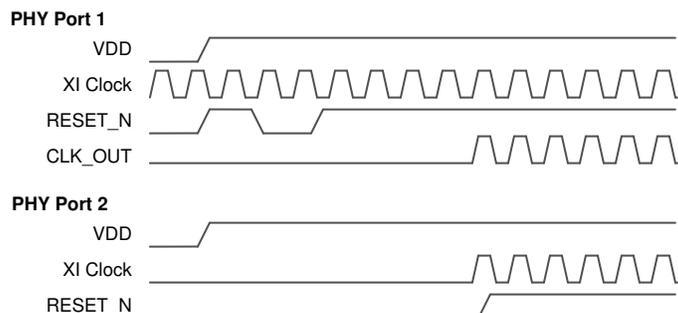


图 2-5. DP83867 复位生成

由于复位序列，PHY 的复位生成过程无法由应用处理器的单个 GPIO 进行控制。因此，本 TI 设计使用了应用处理器的两个专用 GPIO 端口来控制两个 PHY 的 RESET 信号。每个 GPIO 都与 PMIC 的 PORZ 信号的 SN74LVC1G08 AND 门相结合，用于启用通用系统复位。如果处理器只有一个可用的 GPIO 信号，那么设计人员可以选择仅将 PORZ 信号用于第一个 PHY，并仅使用 GPIO 和 PORZ 信号的组合来复位第二个 PHY。

当选择另一个 GPIO 来控制 RESET 信号时，请在处理器上电复位后选择处于低电平的 GPIO，从而使 PHY 保持在复位状态，直到启用电源。

#### 2.4.5 DP83867 和 AM5728 中压电平自举注意事项

DP83867IR 是在上电复位期间通过自举模式进行配置的。在上电复位时，DP83867IR 在一组专用自举输入引脚上锁存用户定义的电压电平。DP83867IR 支持 4 个用于自举配置的电压电平。每个电压电平都会相应设置一个专用的配置模式，例如全双工或半双工运行模式、MDIO 地址配置等。DP83867IR 检测到的电压电平为 0V (模式 1)、1.4V (模式 2)、2.4V (模式 3) 和 3.3V (模式 4)。特别地，1.4V (模式 2) 和 2.4V (模式 3) 在以下说明中称为“中压电平”。

AM5728 处理器存在与中压电平相关的暴露限制，这种暴露会影响通电时间 (POH) 寿命。应避免 AM5728 长时间暴露于中压电平下，并且该电压电平必须保持高于  $V_{hmin}$  或低于  $V_{lmax}$  (按照《AM572x Sitara™ 处理器器件版本 2.0》数据表的规定)。

通常，在器件上电期间，系统中会出现中压电平。由于 AM5728 已将其许多焊盘配置为系统复位后输入，因此在引导加载程序 and 应用程序将这些引脚重新配置为正确的运行模式之前，AM5728 会暴露于中压电平下。

为避免出现中压电平，本 TI 设计仅使用模式 1 或模式 4 作为 DP83867IR PHY 的自举配置模式。自举配置之一是为每个 PHY 配置单独的 MDIO 地址。一旦 PHY 从复位中释放出来，其余所有的 PHY 配置都通过 MDIO 访问执行。借助这种方法，不再需要通过额外的缓冲器将 AM5728 焊盘与 DP83867 焊盘隔离以避免中压电平。

如果系统设计中需要中压电平，则需要使用缓冲器来隔离 AM5728 焊盘中看到的 DP83867IR 自举的中压电平。请参阅 TIDA-00299，了解如何将缓冲器添加到系统设计中。

本 TI 设计涵盖了 MDIO 接口上的 DP83867IR PHY 寄存器配置。

#### 2.4.6 简化千兆位媒体独立接口 (RGMII)

DP83867IR 在 RXD 数据线路 (即 RX\_D0、RX\_D1、RX\_D2、RX\_D3、RX\_CLK 和 RX\_CTRL) 中集成了终端电阻。因此，无需在 DP83867IR 和 AM5728 之间的 PCB 上添加外部线路驱动电阻。DP83867IR 有一些控制寄存器可以调整 RXD 数据线路的驱动强度，从而控制电压下冲和过冲的斜率。

TXD 数据线路 (即 TX\_D0、TX\_D1、TX\_D2、TX\_D3、TX\_CLK 和 TX\_CTRL) 在 DP83867IR 和 AM5728 之间添加了  $22\Omega$  的线路驱动电阻。

RXD 和 TXD 的布线长度必须匹配。更多详细信息，请参阅《DP83867IR 低功耗耐用型 10/100/1000 以太网物理层收发器》数据表以及 TI 设计 TIDA-00204。

TXD 路径中的线路驱动电阻必须尽可能靠近 AM5728 引脚放置才有效。

#### 2.4.7 媒体相关接口 (MDI)

MDI 接口将 DP83867IR 连接到变压器和 RJ45 连接器。由于 DP83867IR 的 MDI 接口已集成终端电阻，因此无需为 MDI 接口放置外部终端电阻。磁性元件可以单独放置，也可以集成到 RJ45 连接器中。

多种 RJ45 连接器都有集成的磁性元件。通常，集成的磁性元件可以有各种不同的电阻器和电容器连接配置。选择磁性元件很重要，因此请确保选择符合 DP83867IR 数据表建议的磁性元件。

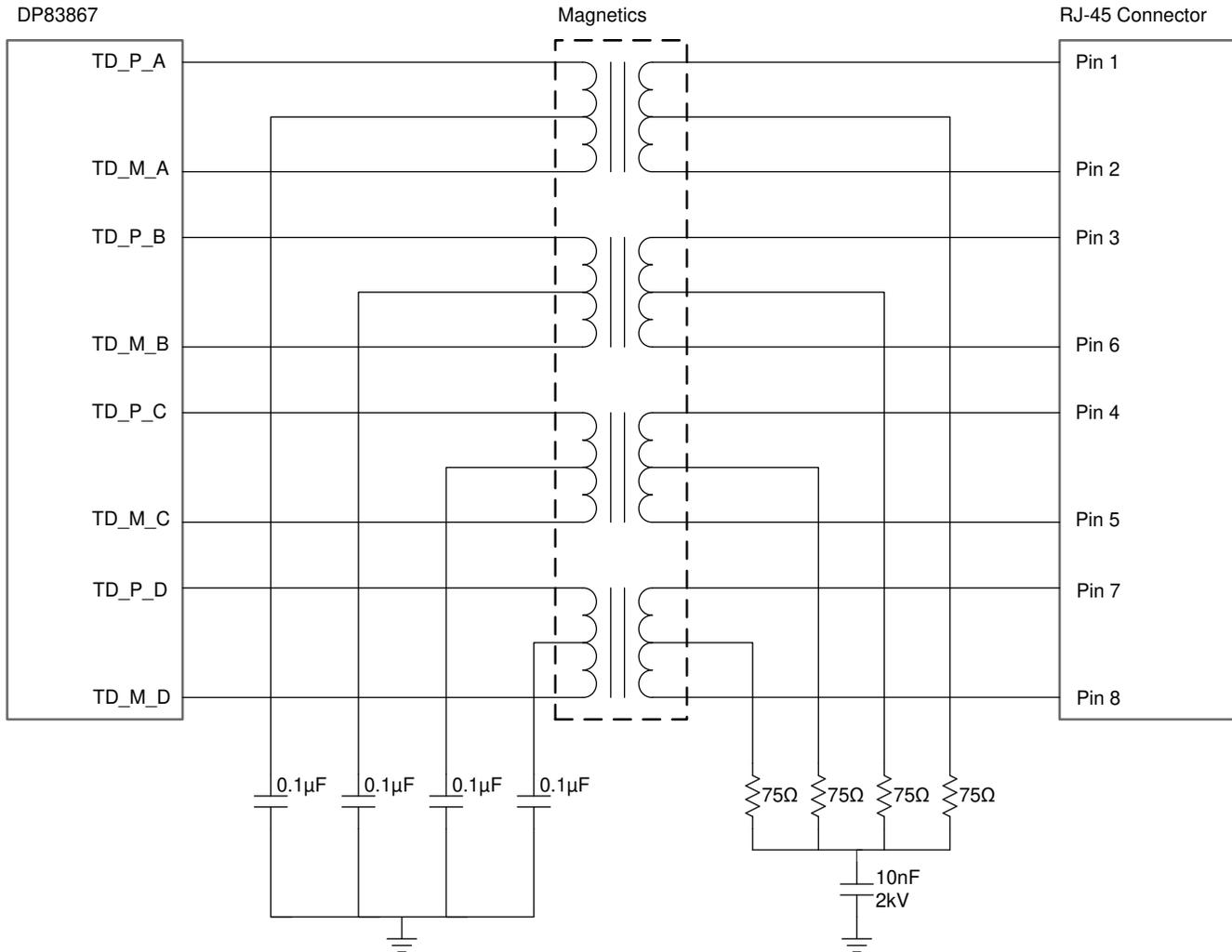


图 2-6. 磁性元件连接

有些解决方案将变压器集成到 RJ45 连接器中，而另一些解决方案则采用单独的变压器和 RJ45 连接器。本 TI 设计使用集成在 RJ45 连接器中的变压器。TIDA-00204 显示了单独变压器的示例。应使用与每个 MDI 相匹配以及与这些对本身匹配的长度。

在 MDI 线路和信号对的布线操作中必须特别小心。PCB 布线的长度必须匹配。

最后，需要在 DP83867IR 和变压器之间添加 ESD 保护器件 TPD1E05U06，以防止 ESD 冲击到达 DP83867IR 器件。

#### 2.4.8 带有集成式磁性元件和状态 LED 的 RJ45 端口

DP83867IR 和 RJ45 端口之间的 MDI 接口上的磁性元件可以是外部元件（需要放置在 DP83867IR 和 RJ45 连接器之间的 PCB 上），也可以集成在 RJ45 连接器中。状态 LED 也有类似的选择，应根据系统需求选择合适的解决方案。外部磁性元件和状态 LED 的好处是具有更高的 EMI 抗扰能力。

本 TI 设计使用集成的磁性元件和状态 LED。如需了解采用外部磁性元件的 TI 参考设计，请参阅 TIDA-00204。

### 2.5 千兆位以太网解决方案比较

本部分将 TI DP83867IR 解决方案与 KSZ9031 解决方案进行比较。

表 2-1. DP83867IR 和 KSZ9031 解决方案比较

| 功能 | DP83867IR      | KSZ9031     | 注释            |
|----|----------------|-------------|---------------|
| 电压 | 3.3V、2.5V、1.0V | 3.3 V/1.2 V | 2 × DP83867IR |

**表 2-1. DP83867IR 和 KSZ9031 解决方案比较 (continued)**

| 功能             | DP83867IR     | KSZ9031                      | 注释                      |
|----------------|---------------|------------------------------|-------------------------|
| 电压生成           | PMIC、直流/直流转换器 | 直流/直流转换器、LDO ( FDT434P )、电感器 | LDO 不节能且占用的布板空间更大       |
| RGMII TX 终端电阻器 | 集成式           | 外部终端电阻                       | 外部电阻需要更多布板空间            |
| 功耗             | 467mW         | 621mW                        | KSZ9031 的 LDO 损耗不在计算范围内 |
| 时钟生成           | 单个 XTAL       | 两个 25MHz 晶振                  | 两个晶振需要更多布板空间            |
| MDI 接口         | 集成型 ESD 保护    | 不适用                          | -                       |
| PHY 自举         | 需要最低自举        | 是                            | -                       |

## 3 硬件、软件、测试要求和测试结果

### 3.1 需要的硬件和软件

#### 3.1.1 硬件

需要使用以下硬件组件来验证以太网功能

- TIDA-010010 - AM5728 EVM 以及两个 DP83867IR 以太网 PHY
- 万用表
- 示波器
- 带有两个千兆位以太网端口的 Windows PC
- 支持 1000Mbps 以太网的 CAT5e 或更高质量的以太网电缆

#### 3.1.2 软件

需要使用以下软件组件来验证以太网功能

- Code Composer Studio 7.4 或更高版本
- 适用于 AM572x 的 Processor SDK RTOS
- 以太网数据包嗅探器 ( 例如, Wireshark )
- 以太网数据包生成器 ( 例如, Colasoft Packet Builder 2.0 )
- 测试应用工程 *EMAC\_DP83867\_evMAM572x*

##### 3.1.2.1 DP83867IR 的电源

DP83867IR 需要 3 个电压 : 3.3V、2.5V 和 1.0V。其中, 3.3V 电压由直流/直流转换器 TPS54531D 在 TPS6590378 PMIC 启用电路板电源后产生。2.5V 和 1.0V 电压由 TPS6590378 PMIC 通过集成的直流/直流转换器 SMPS7 ( 2.5V ) 和 SMPS9 ( 1.0V ) 产生。SMPS7 和 SMPS9 轨需要由应用软件进行配置和启用。

TPS6590378 PMIC 的编程通过 I2C 接口进行。Processor SDK RTOS 提供了一个芯片支持库 ( CSL ), 用于通过 I2C 接口从 PMIC 器件读取和写入。

文件 *phy\_init.c* 中的函数 *dp83867\_pmic\_init()* 可配置并启用 PMIC 中的 2.5V 和 1.0V 电压输出。

```
void dp83867_pmic_init(void)
{
    const pmhalPmicOperations_t *pmicOps;
    uint32_t    retVal;

    /* 将 I2C 函数注册到 PMIC 通信中, 以确保
     * PMIC 能够与 I2C 驱动程序进行通信
     */
    PMHALI2CCommRegister(&gPmicI2cfunc);
    pmicOps = PMHALTps6590378GetPMICOps();
    retVal = PMHALPmicRegister(pmicOps);
    if(retVal != 0)
        return;

    /* 启用 PHY 电源电压 */

    PMHALPmicSetRegulatorVoltage(PMHAL_PRCM_PMIC_REGULATOR_EPHY2V5, 2500, PM_TIMEOUT_INFINITE, FALSE);

    PMHALPmicSetRegulatorVoltage(PMHAL_PRCM_PMIC_REGULATOR_EPHY1V0, 1000, PM_TIMEOUT_INFINITE, FALSE);
    PMHALPmicEnableRegulator(PMHAL_PRCM_PMIC_REGULATOR_EPHY2V5);
    PMHALPmicEnableRegulator(PMHAL_PRCM_PMIC_REGULATOR_EPHY1V0);
}
```

##### 3.1.2.2 DP83867IR 复位序列

两个 DP83867IR 需要此处所述的复位序列。

应用软件可以控制信号 GPIO5\_17 和 GPIO3\_29 来为两个 DP83867IR 执行复位序列。应用软件首先将两个 GPIO 设置为“0”, 从而将两个 DP83867IR 设置为 RESET 状态。1 $\mu$ s 后, 应用软件会释放第一个 DP83867IR 的 RESET 信号。第一个 PHY 在其 CLK\_OUT 引脚上输出 25MHz 时钟大约需要 200ms ( 最坏情况 )。经过这段等待时间之后, 应用软件会释放第二个 DP83867IR 的 RESET 信号。

文件 `phy_init.c` 中的函数 `dp83867_reset_sequence()` 可执行前文所述的复位序列。

```
void dp83867_reset_sequence(void)
{
    uint32_t regVal = 0;
    /* 将 GPIO 配置为输出 */

    /* pinmux */
    /* AM572x EVM GPIO5_17 RESET PHY1 */
    CSL_FINS(regVal, CONTROL_CORE_PAD_IO_PAD_RMII_MHZ_50_CLK_RMII_MHZ_50_CLK_MUXMODE, 0xEU);
    ((CSL_padRegsOvly) CSL_MPU_CORE_PAD_IO_REGISTERS_REGS)->PAD_RMII_MHZ_50_CLK = regVal;

    /* AM572x EVM GPIO3_29 RESET PHY2 */
    CSL_FINS(regVal, CONTROL_CORE_PAD_IO_PAD_VIN2A_DE0_VIN2A_DE0_MUXMODE, 0xEU);
    ((CSL_padRegsOvly) CSL_MPU_CORE_PAD_IO_REGISTERS_REGS)->PAD_VIN2A_DE0 = regVal;

    /* 配置 GPIO */
    GPIO_init();

    /* 复位序列: 声明 1us 复位; 然后在第二个 PHY 退出复位之前, 第一个 PHY 需要等待 201ms */
    GPIO_write(0, 0); /* 将 GPIO5_17 设置为低电平 */
    GPIO_write(1, 0); /* 将 GPIO3_29 设置为低电平 */
    delay(1); /* 等待 8us */
    GPIO_write(0, 1); /* 将 GPIO5_17 设置为高电平 */
    delay(201*125); /* 等待 201ms */
    GPIO_write(1, 1); /* 将 GPIO3_29 设置为高电平 */
}

```

### 3.1.2.3 通过 MDIO 进行 DP83867IR 配置

本 TI 设计仅应用最小自举电阻器来配置 DP83867IR。所有额外的寄存器配置都由应用软件通过 MDIO 接口执行。

初始的 DP83867IR 寄存器配置由文件 `enet_phy.c` 中的函数 `ENETPHY_Init()` 执行。

```
int32_t ENETPHY_Init(ENETPHY_Handle hPhyDev, uint32_t miibase, uint32_t inst, uint32_t PhyMask,
uint32_t MLinkMask, uint32_t MdxMask, uint32_t PhyAddr, uint32_t ResetBit, uint32_t MdioBusFreq,
uint32_t MdioClockFreq, int32_t verbose)
{
    uint32_t *PhyState = &((ENETPHY_DEVICE *) hPhyDev)->PhyState;

    int32_t ret = 0;
    uint32_t phy;

    ((ENETPHY_DEVICE *) hPhyDev)->miibase = miibase;
    ((ENETPHY_DEVICE *) hPhyDev)->inst = inst;
    ((ENETPHY_DEVICE *) hPhyDev)->PhyMask = PhyMask;
    ((ENETPHY_DEVICE *) hPhyDev)->MLinkMask = MLinkMask;
    ((ENETPHY_DEVICE *) hPhyDev)->MdxMask = MdxMask;

    *PhyState &= ~ENETPHY_MDIX_MASK; /* 将初始状态设置为 MDI */

    CSL_MDIO_setClkDivVal((CSL_mdioHandle) ((ENETPHY_DEVICE *) hPhyDev)->miibase, (MdioBusFreq/
MdioClockFreq - 1));
    CSL_MDIO_enableFaultDetect((CSL_mdioHandle) ((ENETPHY_DEVICE *) hPhyDev)->miibase);
    CSL_MDIO_disablePreamble((CSL_mdioHandle) ((ENETPHY_DEVICE *) hPhyDev)->miibase);
    CSL_MDIO_enableStateMachine((CSL_mdioHandle) ((ENETPHY_DEVICE *) hPhyDev)->miibase);

    ENETPHY_UserAccessRead(hPhyDev, ENETPHY_BMCR, PhyAddr, &phy);
    phy |= DP_AUTO_NEGOTIATION_ENABLE | DP_DUPLEX_MODE;
    ENETPHY_UserAccessWrite(hPhyDev, ENETPHY_BMCR, PhyAddr, phy);
    ENETPHY_UserAccessRead(hPhyDev, ENETPHY_ANAR, PhyAddr, &phy);
    phy |= DP_TX_FD | DP_TX | DP_10_FD | DP_10BASE_T_EN;
    ENETPHY_UserAccessWrite(hPhyDev, ENETPHY_ANAR, PhyAddr, phy);
    ENETPHY_UserAccessRead(hPhyDev, ENETPHY_CFG1, PhyAddr, &phy);
    phy |= DP_1000BASE_T_FULL_DUPLEX | DP_1000BASE_T_HALF_DUPLEX;
    ENETPHY_UserAccessWrite(hPhyDev, ENETPHY_CFG1, PhyAddr, phy);

    /* 禁用第二个 PHY 的时钟 */
    if(PhyAddr != 0)
    {
        ENETPHY_UserAccessRead(hPhyDev, ENETPHY_IO_MUX_CFG, PhyAddr, &phy);
        phy &= ~(DP_CLK_O_DISABLE);
        ENETPHY_UserAccessWrite(hPhyDev, ENETPHY_IO_MUX_CFG, PhyAddr, phy);
    }
}

```

```
/* 设置 RGMII 延迟控制寄存器 TX 延迟 */
ENETPHY_UserAccessRead(hPhyDev, ENETPHY_RGMIIIDCTL, PhyAddr, &phy);
phy &= ~(0xF<<4);
phy |= 0x3<<4; /* 将 RGMII_TX_DELAY_CTRL 设置为 1.00ns */
ENETPHY_UserAccessWrite(hPhyDev, ENETPHY_RGMIIIDCTL, PhyAddr, phy);
(void)ResetBit; /* 抑制警告 */

*PhyState=INIT;

return ret;
}/* 函数 ENETPHY_Init 结束 */
```

### 3.1.3.2 端口千兆位以太网 ( GMAC ) 外设

GMAC 是 AM5728 应用处理器内部的一个外设。这是一个 2 端口交换机，带有可连接到两个 DP83867IR 以太网 PHY 的两个物理端口连接器以及一个内部主机端口。主机端口命名为 P0，两个物理端口命名为 P1 和 P2。当应用软件通过端口 P0 向 GMAC 内部发送一个广播以太网帧时，GMAC 将在 P1 和 P2 两个端口上把这个广播以太网帧发送出去。与从端口 P1 或 P2 接收广播帧类似，GMAC 将在 P0 和 P2 或 P1 上把这个帧发送出去。更多有关 GMAC 外设的信息，请参阅 AM5728 技术参考手册 ( TRM )。

应用软件会通过 CSL 库配置 GMAC。带有 DP83867OIR 的 GMAC 示例基于 Processor SDK RTOS 的示例工程 *EMAC\_BasicExample\_evmAM572x\_armBiosExampleProject*。该示例演示了如何在没有任何 TCP/IP 栈的情况下接收和传输以太网帧，非常适合用于 DP83867IR 和 AM5728 解决方案验证。

### 3.2 测试和结果

本设计的测试侧重于以太网帧的接收和发送。测试 PC 会向以太网端口 P1 ( 或 P2 ) 发送广播以太网帧。每个广播帧都由 GMAC 发送到端口 P0 和 P2 ( 或 P1 ) 。应用软件会将任何接收到的以太网帧发送回 P0 ( 以太网应用环回 ) 。从测试 PC 发送的每个帧会在以太网端口 P1 和 P2 上接收到两次，并在主机端口 P0 上接收到一次。为了进行验证，测试 PC 会发出已知数量的广播帧。接收情况由 PC 上的以太网工具 Wireshark 以及通过 GMAC 外设中的 RX/TX 统计信息进行确认。

#### 3.2.1 测试设置

图 3-1 显示了测试设置。

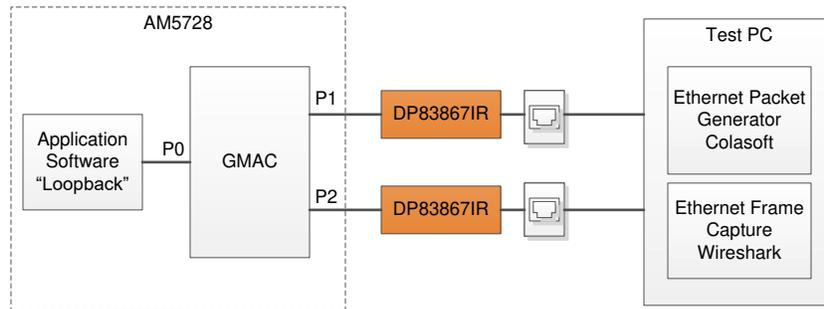


图 3-1. 测试设置

#### 3.2.2 测试结果

##### 3.2.2.1 以太网帧生成

位于测试 PC 1 上的以太网帧生成器可生成 10,000 个以太网帧 ( 大小为 1,500 字节 ) 。图 3-2 显示了相应配置。

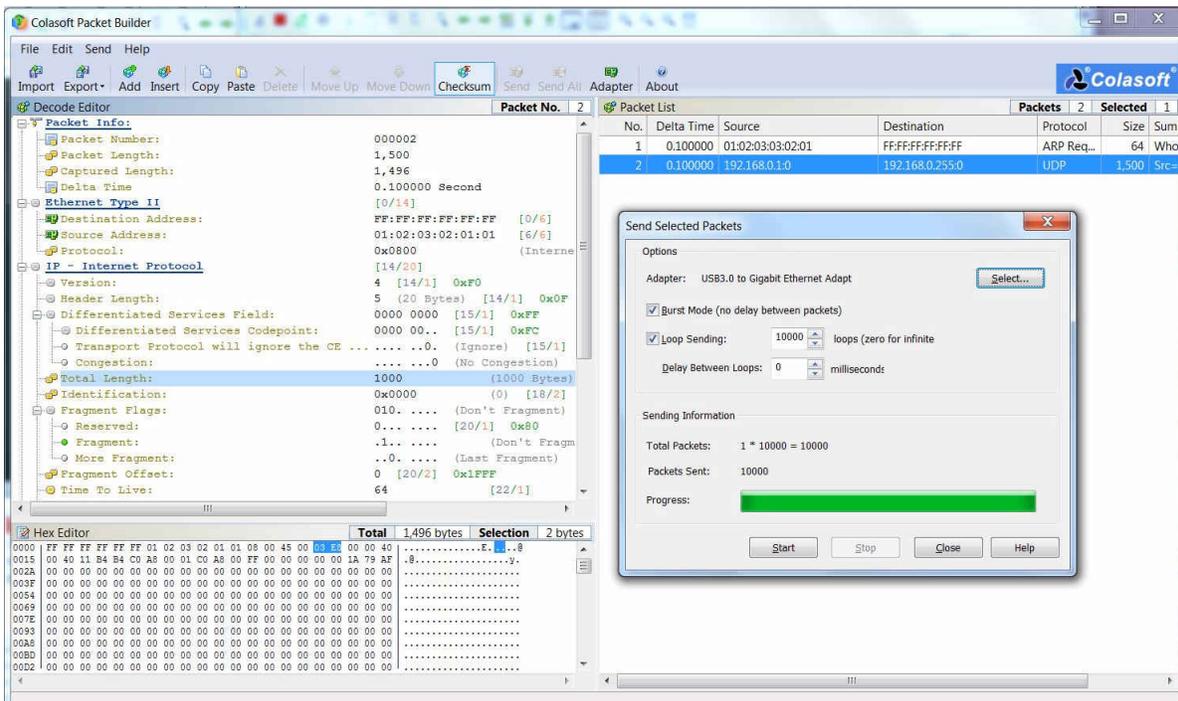


图 3-2. Colasoft® Packet Builder GUI - 配置

### 3.2.2.1.1 GMAC 统计信息寄存器

图 3-3 显示了 RX 统计信息。GMAC 统计信息显示其收到了 10,000 ( 0x2710 十六进制 ) 个正常帧。

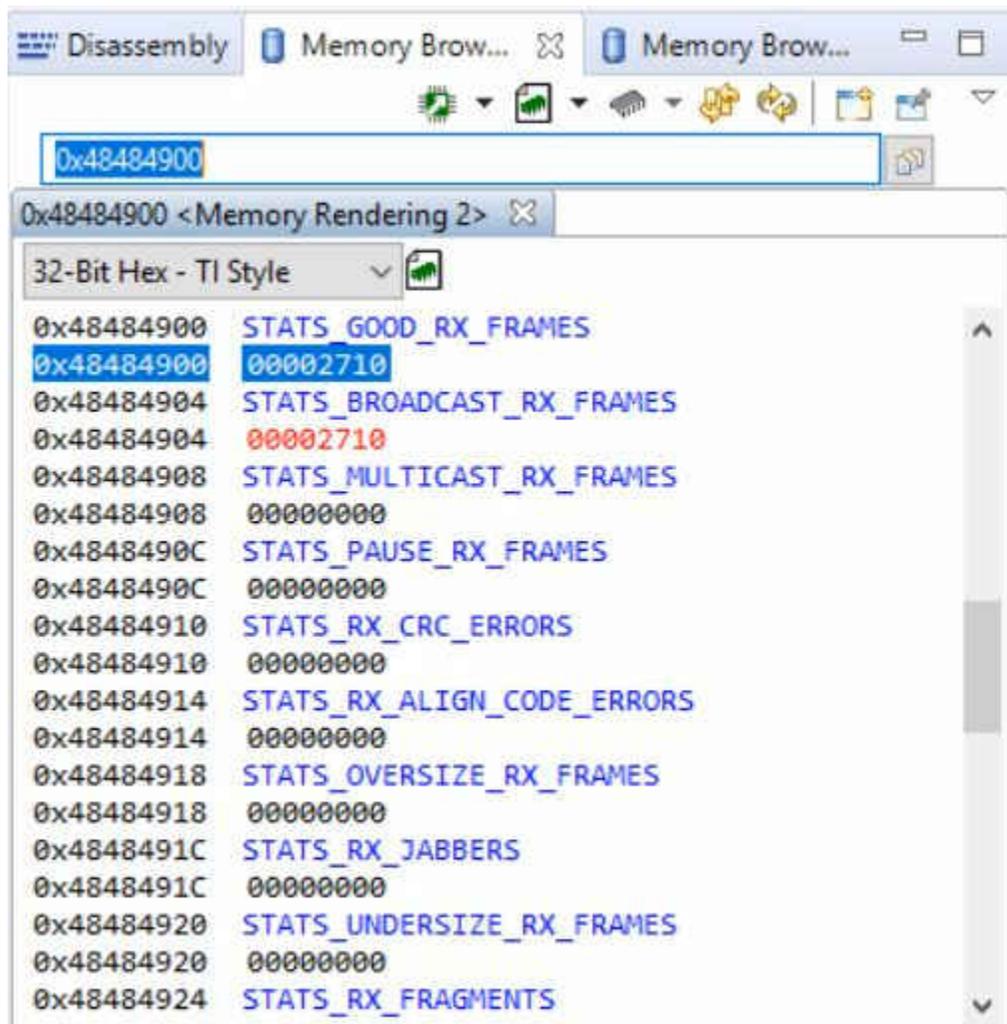


图 3-3. GMAC RX 统计信息

图 3-4 显示了 TX 统计信息。GMAC 统计信息显示其发送了 30,000 ( 0x7530 十六进制 ) 个正常帧。该数量包括端口 P2 发送的从测试 PC 的端口 P1 上接收到的帧，以及端口 P1 和 P2 从应用软件的 P0 上发送的环回帧。

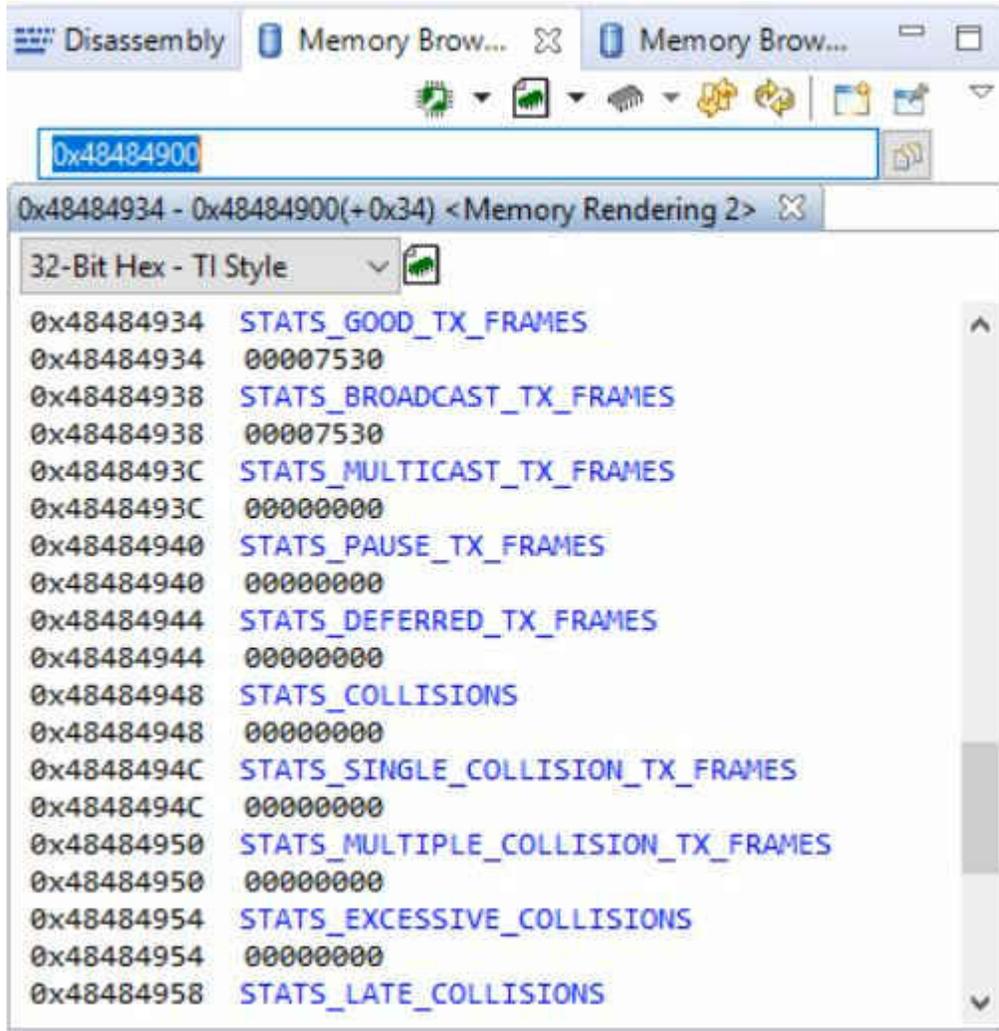


图 3-4. GMAC RX 统计信息

### 3.2.2.2 测试 PC 接收到的帧

图 3-5 显示了在其中一个以太网端口上捕获的以太网帧（总共有 20,000 个以太网帧）。

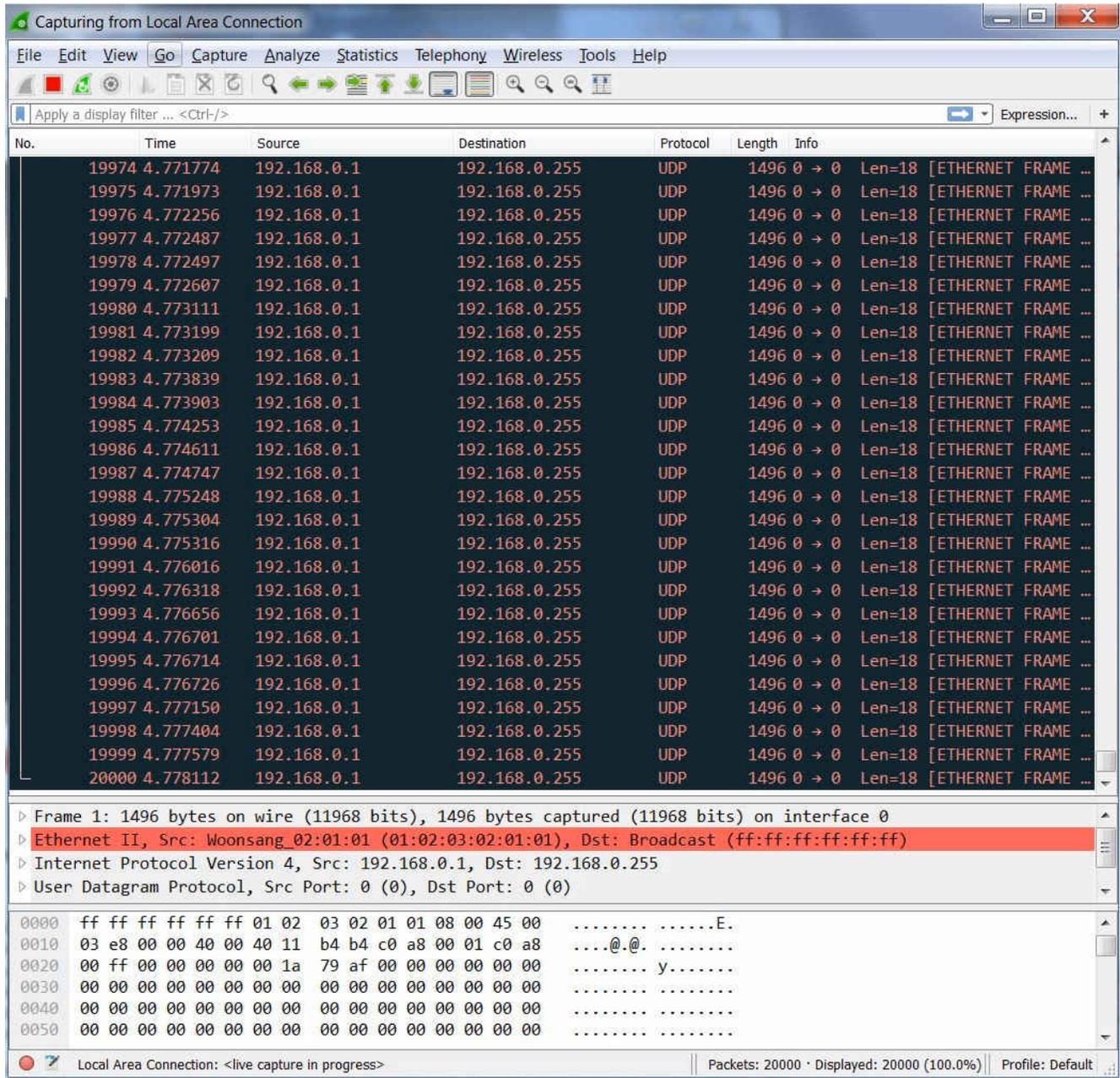


图 3-5. 以太网帧捕获示例

## 4 设计文件

### 4.1 原理图

要下载原理图，请参阅 [TIDA-010010](#) 中的设计文件。

### 4.2 物料清单

要下载物料清单 (BOM)，请参阅 [TIDA-010010](#) 中的设计文件。

### 4.3 PCB 布局建议

#### 4.3.1 布局图

要下载层图，请参阅 [TIDA-010010](#) 中的设计文件。

### 4.4 Altium 工程

要下载 Altium Designer® 工程文件，请参阅 [TIDA-010010](#) 中的设计文件。

### 4.5 Gerber 文件

要下载 Gerber 文件，请参阅 [TIDA-010010](#) 中的设计文件。

### 4.6 装配图

要下载装配图，请参阅 [TIDA-010010](#) 中的设计文件。

## 5 软件文件

要下载软件文件，请参阅 [TIDA-010010](#) 中的设计文件。

## 6 相关文档

1. 德州仪器 (TI)，[《DP83867 故障排除指南》应用报告](#)
2. 德州仪器 (TI)，[《AM572x Sitara 处理器器件版本 2.0、1.1 技术参考手册》](#)

### 6.1 商标

Sitara™, TI E2E™, C66x™ are trademarks of Texas Instruments.

ARM®, Cortex®, are registered trademarks of ARM Limited.

PCI-Express® is a registered trademark of PCI-SIG.

Colasoft® is a registered trademark of Colasoft.

Altium Designer® is a registered trademark of Altium LLC or its affiliated companies.

所有商标均为其各自所有者的财产。

## 7 术语

|              |             |
|--------------|-------------|
| <b>GMAC</b>  | 2 端口千兆位以太网  |
| <b>PHY</b>   | 以太网物理收发器    |
| <b>MAC</b>   | 媒体访问控制器     |
| <b>RGMII</b> | 简化千兆位媒体独立接口 |
| <b>MDI</b>   | 媒体相关接口      |
| <b>EVM</b>   | 评估模块        |
| <b>BOM</b>   | 物料清单        |
| <b>RTOS</b>  | 实时操作系统      |
| <b>HLOS</b>  | 高级操作系统      |
| <b>OS</b>    | 操作系统        |
| <b>CSL</b>   | 芯片支持库       |

## 8 关于作者

**Thomas Mauer** 是德州仪器 ( TI ) 弗莱辛分公司的工厂自动化和控制团队的系统工程师，负责开发面向工业领域的参考设计解决方案。Thomas 将其在工业以太网、现场总线和工业应用等工业通信方面的丰富经验带到了目前的职位上。Thomas 在德国威斯巴登应用科技大学获得了电气工程学位 ( Dipl.Ing.(FH) ) 。

## 9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| <b>Changes from Revision * (December 2018) to Revision A (August 2021)</b> | <b>Page</b> |
|--|-------------|
| • 更新了整个文档中的表格、图和交叉参考的编号格式.....   | <b>1</b>    |

## 重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司