TEXAS INSTRUMENTS
ULN2002A, ULN2003A, ULN2003AI
ULQ2003A, ULN2004A, ULQ2004A
ZHCSK57R – DECEMBER 1976 – REVISED FEBRUARY 2024

ULN200x、ULQ200x 高电压大电流达林顿晶体管阵列

1 特性

- 500mA 额定集电极电流（单输出）
- 高电压输出：50V
- 钳位二极管输出
- 可兼容各类逻辑的输入
- 继电器驱动器应用

2 应用

- 继电器驱动器
- 步进和有刷直流电机驱动器
- 灯驱动器
- 显示屏驱动器（LED 和气体放电元件）
- 线路驱动器
- 逻辑缓冲器

3 说明

ULx200xA 器件为高电压、大电流达林顿晶体管阵列。每款器件均由 7 个 NPN 达林顿对组成，这些达林顿对具有高压输出，带有用于开关感性负载的共阴极钳位二极管。

单个达林顿对的集电极电流额定值为 500mA。将达林顿对并联可以提供更大的电流。应用包括继电器驱动器、电锤驱动器、灯驱动器、显示驱动器（LED 和气体放电）、线路驱动器和逻辑缓冲器。对于 ULx2003A 器件的 100V（其他可互换）版本，请参阅 SN75468 和 SN75469 器件的 SLRS023 数据表。

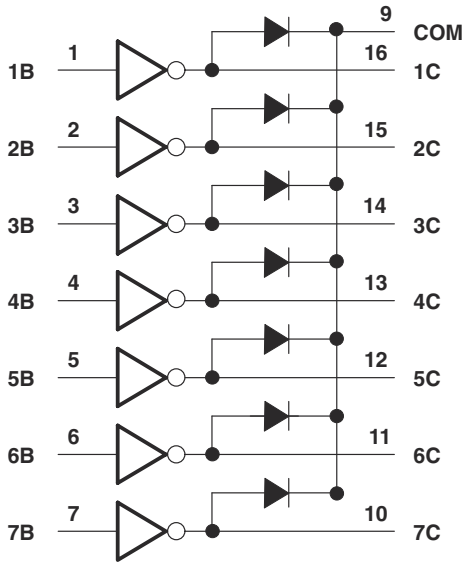
ULN2002A 器件专门设计用于 14V 至 25V PMOS 器件。该器件的每个输入端都有一个串联的齐纳二极管和电阻，可将输入电流控制在安全范围内。ULx2003A 器件的每个达林顿对都具有一个 2.7kΩ 的串联基极电阻，可直接与 TTL 或 5V CMOS 器件一同工作。

ULx2004A 器件具有一个 10.5kΩ 串联基极电阻，允许直接从使用 6V 至 15V 电源电压的 CMOS 器件进行操作。ULx2004A 器件所需的输入电流低于 ULx2003A 器件的输入电流，所需电压小于 ULN2002A 器件的所需电压。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
ULx200xD	SOIC (16)	9.90mm x 3.91mm
ULx200xN	PDIP (16)	19.30mm x 6.35mm
ULN200xNS	SOP (16)	10.30mm × 5.30mm
ULN200xPW	TSSOP (16)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 引脚配置和功能 ... 3
5 规格 ... 4
5.1 绝对最大额定值 ... 4
5.2 ESD 等级 ... 4
5.3 建议运行条件 ... 4
5.4 热性能信息 ... 4
5.5 电气特性：ULN2002A ... 5
5.6 电气特性：ULN2003A 和 ULN2004A ... 5
5.7 电气特性：ULN2003AI ... 6
5.8 电气特性：ULN2003AI ... 6
5.9 电气特性：ULQ2003A 和 ULQ2004A ... 7
5.10 开关特性：ULN2002A、ULN2003A、ULN2004A ... 7
5.11 开关特性：ULN2003AI ... 7
5.12 开关特性：ULN2003AI ... 8
5.13 开关特性：ULQ2003A、ULQ2004A ... 8
5.14 典型特性 ... 8
6 参数测量信息 ... 10
7 详细说明 ... 12
7.1 概述 ... 12
7.2 功能方框图 ... 12
7.3 特性说明 ... 13
7.4 器件功能模式 ... 13
8 应用和实现 ... 14
8.1 应用信息 ... 14
8.2 典型应用 ... 14
8.3 系统示例 ... 17
9 电源相关建议 ... 18
10 布局 ... 18
10.1 布局指南 ... 18
10.2 布局示例 ... 18
11 器件和文档支持 ... 19
11.1 文档支持 ... 19
11.2 相关链接 ... 19
11.3 接收文档更新通知 ... 19
11.4 支持资源 ... 19
11.5 商标 ... 19
11.6 静电放电警告 ... 19
11.7 术语表 ... 19
12 修订历史记录 ... 20
13 机械、封装和可订购信息 ... 20

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

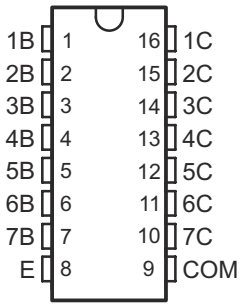


图 4-1. D、N、NS 和 PW 封装 16 引脚 SOIC、PDIP、SO 和 TSSOP 顶视图

表 4-1. 引脚功能

引脚		I/O[1]	说明
名称	编号		
1B	1	I	通道 1 至 7 达林顿基极输入
2B	2		
3B	3		
4B	4		
5B	5		
6B	6		
7B	7		
1C	16	O	通道 1 至 7 达林顿集电极输出
2C	15		
3C	14		
4C	13		
5C	12		
6C	11		
7C	10		
COM	9	—	反激二极管的共阴极节点（用于感性负载）
E	8	—	所有通道共享的共发射极（通常与地面相连）

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在 25°C 的自然通风温度下测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	集电极 - 发射极的电压			50	V
	钳位二极管反向电压(2)			50	V
V_I	输入电压(2)			30	V
	集电极峰值电流，请参阅图 5-4 和图 5-5			500	mA
I_{OK}	输出钳位电流			500	mA
	发射极端子总电流			-2.5	A
T_A	自然通风条件下的工作温度范围	ULN200xA	– 40	70	℃
		ULN200xAI	-40	105	
		ULQ200xA	– 40	85	
		ULQ200xAT	-40	105	
T_J	工作等效结温			150	°C
	距离外壳 1.6mm（1/16 英寸）的引线温度（测量时长 10 秒）			260	°C
T_{stg}	贮存温度		– 65	150	℃

(1) 超出 *绝对最大额定值* 下列出的压力可能会对器件造成永久损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在 *建议运行条件* 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 除非特别说明，否则所有电压值都以发射极/基板端子 E 为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型（HBM），符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型（CDM），符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{CC}	集电极 - 发射极电压（非 V 后缀的器件）	0	50	V
T_J	结温	-40	125	°C

5.4 热性能信息

热指标(1)		ULx200x				单位
		D (SOIC)	N (PDIP)	NS (SO)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	88.6	66.7	95	114.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50.1	54.2	53.3	50.3	°C/W
$R_{\theta JB}$	结至电路板热阻	49.8	46.7	57.2	59.3	°C/W
ψ_{JT}	结至顶部特征参数	12.4	33.7	19.6	9.7	°C/W
ψ_{JB}	结至电路板特征参数	49.3	46.4	56.8	58.9	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告，SPRA953。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性：ULN2002A

T_A = 25°C

参数		测试图	测试条件		ULN2002A 最小值	ULN2002A 典型值	ULN2002A 最大值	单位
$V_{I(on)}$	导通状态输入电压	图 6-6	V_{CE} = 2V，	I_C = 300mA			13	V
V_{OH}	开关后高电平输出电压	图 6-10	V_S = 50V，I_O = 300mA		V_S – 20			mV
$V_{CE(sat)}$	集电极 - 发射极饱和电压	图 6-4	I_I = 250 μA，	I_C = 100mA		0.9	1.1	V
			I_I = 350 μA，	I_C = 200mA		1	1.3	
			I_I = 500 μA，	I_C = 350mA		1.2	1.6	
V_F	钳位正向电压	图 6-7	I_F = 350mA			1.7	2	V
I_{CEX}	集电极截止电流	图 6-1	V_{CE} = 50V，	I_I = 0			50	μA
		图 6-2	V_{CE} = 50V，T_A = 70°C	I_I = 0			100	
				V_I = 6V			500	
$I_{I(off)}$	关断状态输入电流	图 6-2	V_{CE} = 50V，	I_C = 500 μA	50	65		μA
I_I	输入电流	图 6-3	V_I = 17V			0.82	1.25	mA
I_R	钳位反向电流	图 6-6	V_R = 50V	T_A = 70°C			100	μA
			V_R = 50V				50	
C_i	输入电容		V_I = 0，	f = 1MHz			25	pF

5.6 电气特性：ULN2003A 和 ULN2004A

T_A = 25°C

参数		测试图	测试条件		ULN2003A 最小值	ULN2003A 典型值	ULN2003A 最大值	ULN2004A 最小值	ULN2004A 典型值	ULN2004A 最大值	单位
$V_{I(on)}$	导通状态输入电压	图 6-6	V_{CE} = 2V	I_C = 125mA			5			5	V
				I_C = 200mA			6			6	
				I_C = 250mA			7			7	
				I_C = 275mA			7			7	
				I_C = 300mA			8			8	
				I_C = 350mA			8			8	
V_{OH}	开关后高电平输出电压	图 6-10	V_S = 50V，I_O = 300mA		V_S – 20			V_S – 20			mV
$V_{CE(sat)}$	集电极 - 发射极饱和电压	图 6-5	I_I = 250 μA，	I_C = 100mA		0.9	1.1		0.9	1.1	V
			I_I = 350 μA，	I_C = 200mA		1	1.3		1	1.3	
			I_I = 500 μA，	I_C = 350mA		1.2	1.6		1.2	1.6	
I_{CEX}	集电极截止电流	图 6-1	V_{CE} = 50V，	I_I = 0			50			50	μA
		图 6-2	V_{CE} = 50V，T_A = 70°C	I_I = 0			100			100	
				V_I = 6V			500			500	
V_F	钳位正向电压	图 6-8	I_F = 350mA			1.7	2		1.7	2	V
$I_{I(off)}$	关断状态输入电流	图 6-3	V_{CE} = 50V，T_A = 70°C，	I_C = 500 μA	50	65		50	65		μA
I_I	输入电流	图 6-4	V_I = 3.85V			0.93	1.35				mA
			V_I = 5V						0.35	0.5	
			V_I = 12V						1	1.45	
I_R	钳位反向电流	图 6-7	V_R = 50V				50			50	μA
			V_R = 50V	T_A = 70°C			100			100	

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性：ULN2003A 和 ULN2004A （续）

T_A = 25°C

参数		测试图	测试条件		ULN2003A			ULN2004A			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
C_i	输入电容		V_I = 0，	f = 1MHz		15	25		15	25	pF

5.7 电气特性：ULN2003AI

T_A = 25°C

参数		测试图	测试条件		ULN2003AI			单位
					最小值	典型值	最大值	
$V_{I(on)}$	导通状态输入电压	图 6-6	V_{CE} = 2V	I_C = 200mA			2.4	V
				I_C = 250mA			2.7	
				I_C = 300mA			3	
V_{OH}	开关后高电平输出电压	图 6-10	V_S = 50V，I_O = 300mA		V_S – 50			mV
$V_{CE(sat)}$	集电极 - 发射极饱和电压	图 6-5	I_I = 250 μA，	I_C = 100mA		0.9	1.1	V
			I_I = 350 μA，	I_C = 200mA		1	1.3	
			I_I = 500 μA，	I_C = 350mA		1.2	1.6	
I_{CEX}	集电极截止电流	图 6-1	V_{CE} = 50V，	I_I = 0			50	μA
V_F	钳位正向电压	图 6-8	I_F = 350mA			1.7	2	V
$I_{I(off)}$	关断状态输入电流	图 6-3	V_{CE} = 50V，	I_C = 500 μA	50	65		μA
I_I	输入电流	图 6-4	V_I = 3.85V			0.93	1.35	mA
I_R	钳位反向电流	图 6-7	V_R = 50V				50	μA
C_i	输入电容		V_I = 0，	f = 1MHz		15	25	pF

5.8 电气特性：ULN2003AI

T_A = –40°C 至 105°C

参数		测试图	测试条件		ULN2003AI			单位
					最小值	典型值	最大值	
$V_{I(on)}$	导通状态输入电压	图 6-6	V_{CE} = 2V	I_C = 200mA			2.7	V
				I_C = 250mA			2.9	
				I_C = 300mA			3	
V_{OH}	开关后高电平输出电压	图 6-10	V_S = 50V，I_O = 300mA		V_S – 50			mV
$V_{CE(sat)}$	集电极 - 发射极饱和电压	图 6-5	I_I = 250 μA，	I_C = 100mA		0.9	1.2	V
			I_I = 350 μA，	I_C = 200mA		1	1.4	
			I_I = 500 μA，	I_C = 350mA		1.2	1.7	
I_{CEX}	集电极截止电流	图 6-1	V_{CE} = 50V，	I_I = 0			100	μA
V_F	钳位正向电压	图 6-8	I_F = 350mA			1.7	2.2	V
$I_{I(off)}$	关断状态输入电流	图 6-3	V_{CE} = 50V，	I_C = 500 μA	30	65		μA
I_I	输入电流	图 6-4	V_I = 3.85V			0.93	1.35	mA
I_R	钳位反向电流	图 6-7	V_R = 50V				100	μA
C_i	输入电容		V_I = 0，	f = 1MHz		15	25	pF

Copyright © 2024 Texas Instruments Incorporated

5.9 电气特性：ULQ2003A 和 ULQ2004A

在推荐的运行条件下测得（除非额外注明）

参数		测试图	测试条件		ULQ2003A			ULQ2004A			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
$V_{I(on)}$	导通状态输入电压	图 6-6	V_{CE} = 2V	I_C = 125mA						5	V
				I_C = 200mA			2.7			6	
				I_C = 250mA			2.9				
				I_C = 275mA						7	
				I_C = 300mA			3				
				I_C = 350mA						8	
V_{OH}	开关后高电平输出电压	图 6-10	V_S = 50V，I_O = 300mA		V_S – 50			V_S – 50			mV
$V_{CE(sat)}$	集电极 - 发射极饱和电压	图 6-5	I_I = 250 μA，	I_C = 100mA		0.9	1.2		0.9	1.1	V
			I_I = 350 μA，	I_C = 200mA		1	1.4		1	1.3	
			I_I = 500 μA，	I_C = 350mA		1.2	1.7		1.2	1.6	
I_{CEX}	集电极截止电流	图 6-1	V_{CE} = 50V，	I_I = 0			100			50	μA
		图 6-2	V_{CE} = 50V，T_A = 70°C	I_I = 0						100	
				V_I = 6V						500	
V_F	钳位正向电压	图 6-8	I_F = 350mA			1.7	2.3		1.7	2	V
$I_{I(off)}$	关断状态输入电流	图 6-3	V_{CE} = 50V，T_A = 70°C，	I_C = 500 μA		65		50	65		μA
I_I	输入电流	图 6-4	V_I = 3.85V			0.93	1.35				mA
			V_I = 5V						0.35	0.5	
			V_I = 12V						1	1.45	
I_R	钳位反向电流	图 6-7	V_R = 50V	T_A = 25°C			100			50	μA
			V_R = 50V				100			100	
C_i	输入电容		V_I = 0，	f = 1MHz		15	25		15	25	pF

5.10 开关特性：ULN2002A、ULN2003A、ULN2004A

T_A = 25°C

参数		测试条件	ULN2002A、ULN2003A、ULN2004A			单位
			最小值	典型值	最大值	
t_{PLH}	传播延迟时间，低电平到高电平输出	请参阅图 6-9		0.25	1	μs
t_{PHL}	传播延迟时间，高电平到低电平输出	请参阅图 6-9		0.25	1	μs

5.11 开关特性：ULN2003AI

T_A = 25°C

参数		测试条件	ULN2003AI			单位
			最小值	典型值	最大值	
t_{PLH}	传播延迟时间，低电平到高电平输出	请参阅图 6-9		0.25	1	μs
t_{PHL}	传播延迟时间，高电平到低电平输出	请参阅图 6-9		0.25	1	μs

Copyright © 2024 Texas Instruments Incorporated

5.12 开关特性：ULN2003AI

T_A = –40°C 至 105°C

参数		测试条件	ULN2003AI			单位
			最小值	典型值	最大值	
t_{PLH}	传播延迟时间，低电平到高电平输出	请参阅 图 6-9		1	10	μs
t_{PHL}	传播延迟时间，高电平到低电平输出	请参阅 图 6-9		1	10	μs

5.13 开关特性：ULQ2003A、ULQ2004A

在推荐的运行条件下（除非另有说明）

参数		测试条件	ULQ2003A、ULQ2004A			单位
			最小值	典型值	最大值	
t_{PLH}	传播延迟时间，低电平到高电平输出	请参阅 图 6-9		1	10	μs
t_{PHL}	传播延迟时间，高电平到低电平输出	请参阅 图 6-9		1	10	μs

5.14 典型特性

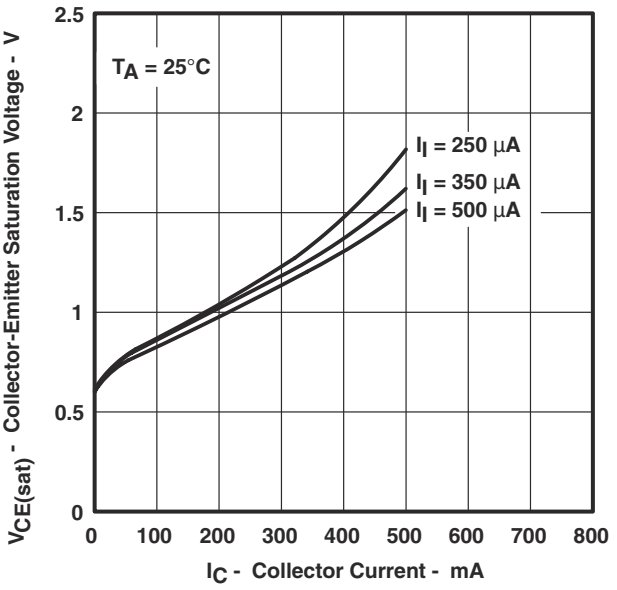


图 5-1. 集电极 - 发射极饱和电压与集电极电流之间的关系（一个达林顿）

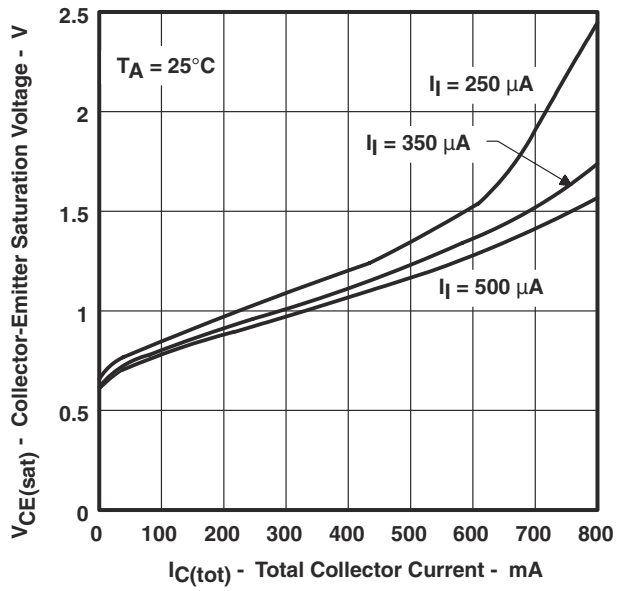


图 5-2. 集电极 - 发射极饱和电压与集电极总电流之间的关系（两个并联的达林顿）

Copyright © 2024 Texas Instruments Incorporated

5.14 典型特性（续）

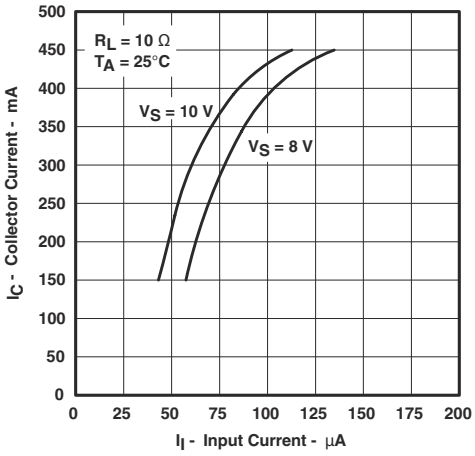


图 5-3. 集电极电流与输入电流之间的关系

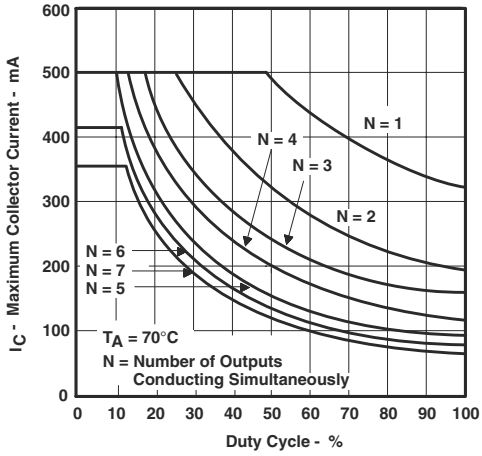


图 5-4. D 封装最大集电极电流与占空比之间的关系

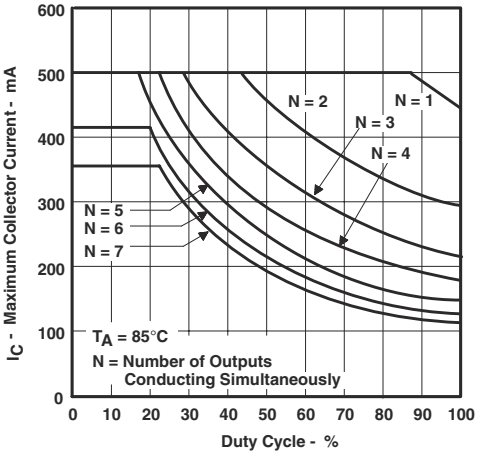


图 5-5. N 封装最大集电极电流与占空比之间的关系

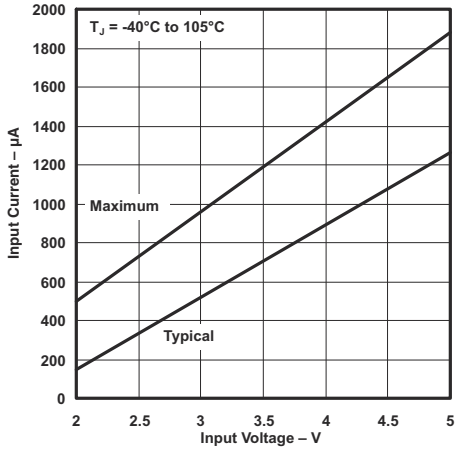


图 5-6. 最大和典型输入电流与输入电压之间的关系

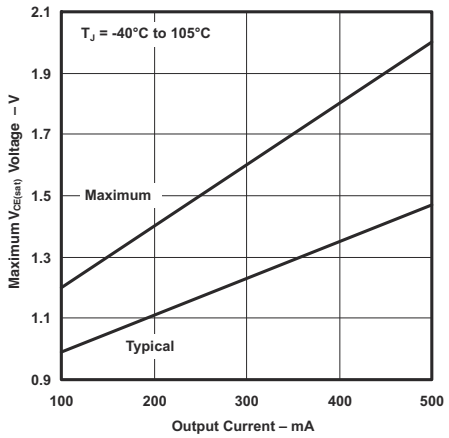


图 5-7. 最大和典型饱和 V_{CE} 与输出电流之间的关系

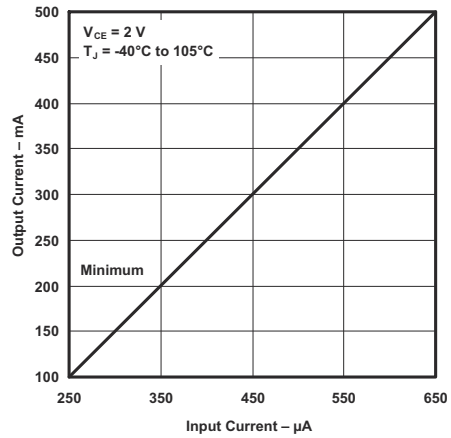


图 5-8. 最小输出电流与输入电流之间的关系

Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

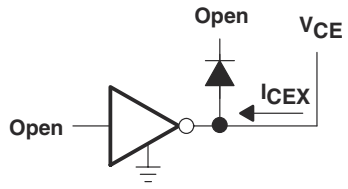


图 6-1. I_{CEX} 测试电路

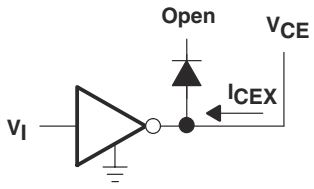


图 6-2. I_{CEX} 测试电路

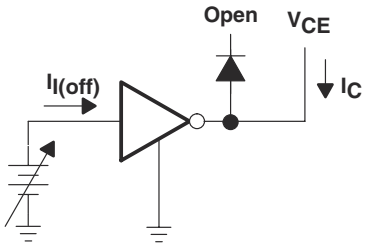


图 6-3. $I_{I(off)}$ 测试电路

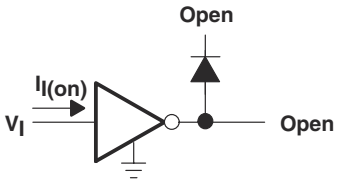
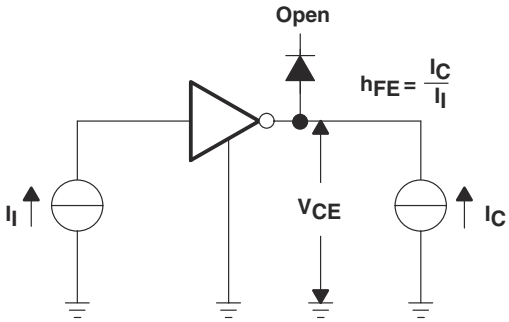


图 6-4. I_I 测试电路



I_I 用于测量 $V_{CE(sat)}$ 时为固定值，用于测量 h_{FE} 时可变。

图 6-5. h_{FE}、$V_{CE(sat)}$ 测试电路

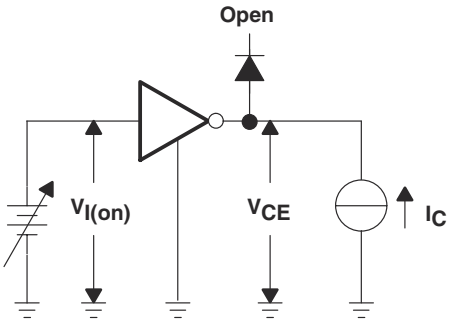


图 6-6. $V_{I(on)}$ 测试电路

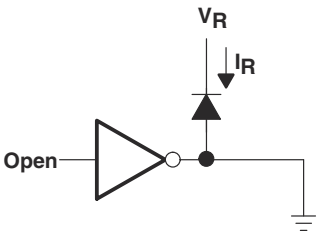


图 6-7. I_R 测试电路

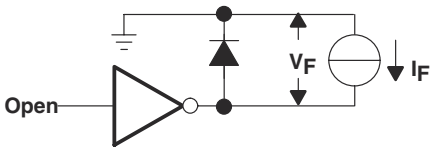


图 6-8. V_F 测试电路

Copyright © 2024 Texas Instruments Incorporated

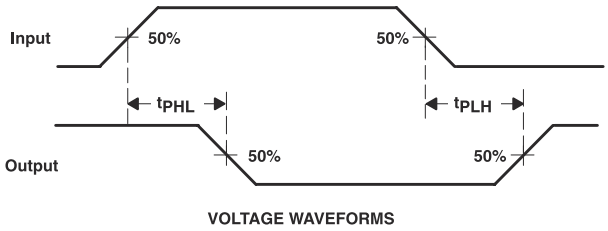
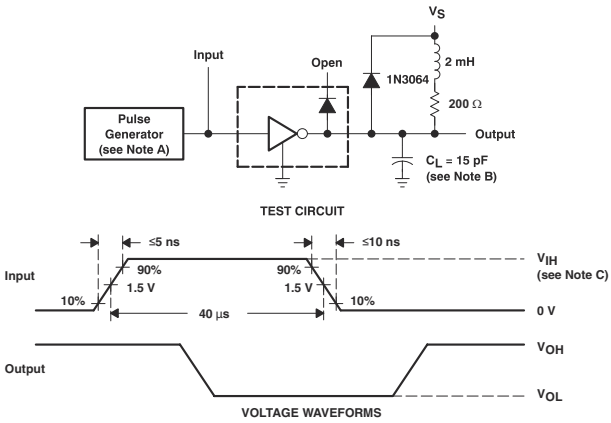


图 6-9. 传播延迟时间波形



脉冲发生器具有以下特性：PRR = 12.5kHz，Z_O = 50Ω。

C_L 包括探头和夹具电容。

测试 ULN2003A 器件、ULN2003AI 器件和 ULQ2003A 器件时，V_{IH} = 3V；测试 ULN2002A 器件时，V_{IH} = 13V；测试 ULN2004A 和 ULQ2004A 器件时，V_{IH} = 8V。

图 6-10. 闩锁测试电路和电压波形

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

此标准器件已经证明可广泛应用于各种应用。这是由于该器件集成了 7 个达林顿晶体管，具有高达 500mA 的灌电流能力和较宽的 GPIO 范围能力。

ULN2003A 器件包括七个高电压大电流 NPN 达林顿晶体管对。所有单元都具有共发射极和集电极开路输出。为了最大限度地发挥其功效，这些单元包含用于感性负载的抑制二极管。ULN2003A 器件的每个达林顿对都有一个串联的基极电阻，因此可以在 5V 或 3.3V 的电源电压下直接使用 TTL 或 CMOS 进行操作。ULN2003A 器件提供了多种解决方案，可满足许多接口需求，包括螺线管、继电器、灯、小型电机和 LED。灌电流要求超出了单个输出能力的应用可以通过并联输出来满足需要。

此器件可在较宽温度范围（ –40°C 至 105°C ）内运行。

7.2 功能方框图

显示的所有电阻值均为标称值。集电极 - 发射极二极管是一种寄生结构，不应用于传导电流。如果集电极电位低于 GND，则应添加一个外部肖特基二极管来钳制负下冲。

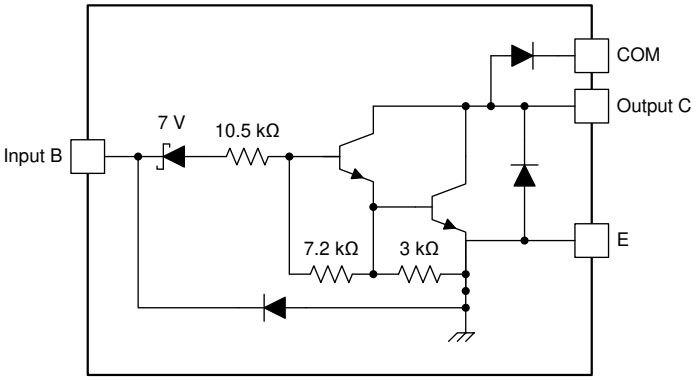


图 7-1. ULN2002A 方框图

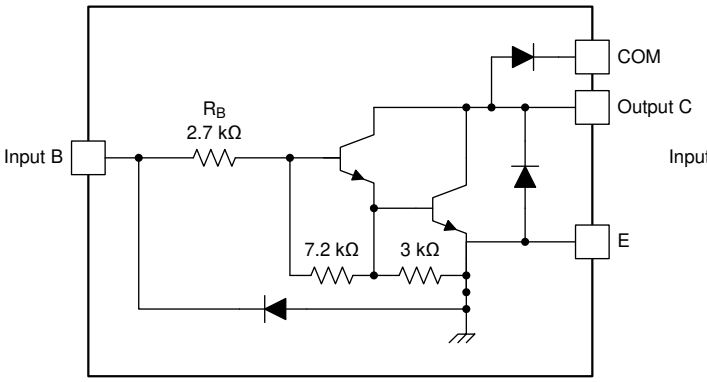


图 7-2. ULN2003A、ULQ2003A 和 ULN2003AI 方框图

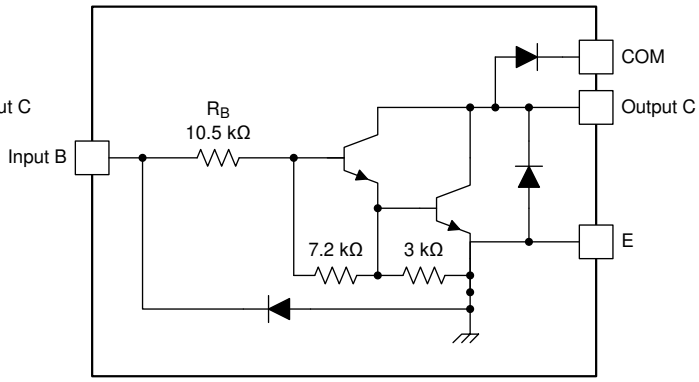


图 7-3. ULN2004A 和 LQ2004A 方框图

Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

ULN2003A 器件的每个通道均由采用达林顿连接的 NPN 晶体管组成。这种连接所产生的效果是单个晶体管具有了非常高的电流增益 (β 2)。在某些电流下，该值可高达 10000A/A。极高的 β 允许以极低的输入电流驱动大输出电流，本质上等同于以低 GPIO 电压工作。

GPIO 电压通过连接在前置驱动器达林顿 NPN 输入和基极之间的 2.7kΩ 电阻转换为基极电流。连接在各个 NPN 的基极和发射极之间的 7.2kΩ 和 3kΩ 电阻用作下拉电阻，并抑制可能在输入端发生的电流泄漏。

连接在输出端和 COM 引脚之间的二极管用于抑制来自感性负载的反冲电压，当 NPN 驱动器关闭（停止灌电流）时会激发该反冲电压，并且线圈中存储的能量导致反向电流通过反冲二极管流入线圈电源。

在正常操作中，基极和发射极引脚到集电极上的二极管将反向偏置。如果这些二极管为正向偏置，则内部寄生 NPN 晶体管将从其他（附近）器件引脚吸收（几乎相等的）电流。

7.4 器件功能模式

7.4.1 感性负载驱动

当 COM 引脚连接到线圈电源电压时，ULN2003A 器件能够驱动感性负载并通过内部续流二极管抑制反冲电压。

7.4.2 阻性负载驱动

在驱动阻性负载时，需要一个上拉电阻，以使 ULN2003A 器件灌入电流并产生逻辑高电平。对于这些应用，COM 引脚可以处于悬空状态。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

通常，ULN2003A 器件可用于驱动不耐受这些条件的 MCU 或逻辑器件的高电压或大电流（或两者）外设。本设计是 ULN2003A 器件驱动感性负载的一个常见应用。这包括电机、电磁阀和继电器。图 8-1 展示了每种负载类型的模型。

8.2 典型应用

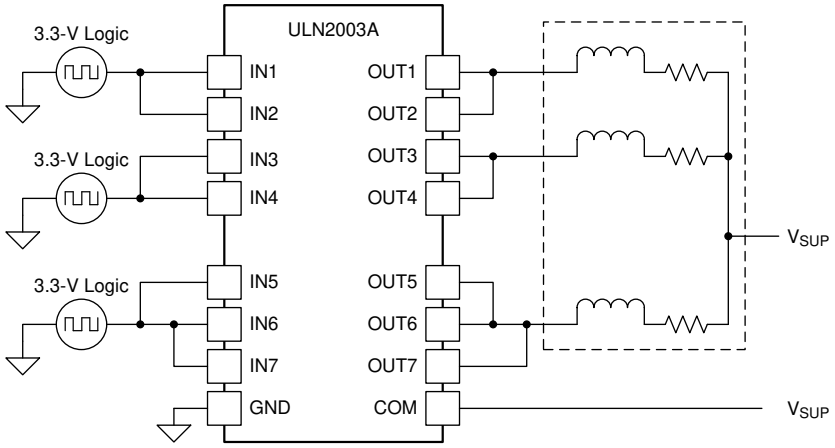


图 8-1. ULN2003A 器件用作感性负载驱动器

8.2.1 设计要求

本设计示例使用表 8-1 中所列的参数作为输入参数。

表 8-1. 设计参数

设计参数	示例值
GPIO 电压	3.3V 或 5V
线圈电源电压	12V 至 48V
通道数量	7
输出电流 (R_{COIL})	每通道 20mA 至 300mA
占空比	100%

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

在将 ULN2003A 器件用于线圈驱动应用时，请确定以下参数：

- 输入电压范围
- 温度范围
- 输出和驱动电流
- 功耗

8.2.2.1 驱动电流

线圈电压 (V_{SUP})、线圈电阻 (R_{COIL}) 和低电平输出电压($V_{CE(SAT)}$ 或 V_{OL}) 确定了线圈电流大小。

$$I_{COIL} = (V_{SUP} - V_{CE(SAT)})/R_{COIL} \quad (1)$$

8.2.2.2 低电平输出电压

低电平输出电压 (V_{OL} 与 $V_{CE(SAT)}$ 相同，可由 图 5-1、图 5-2 或 图 5-7 确定。

8.2.2.3 功耗和温度

驱动的线圈数量取决于线圈电流和片上功耗。驱动的线圈数可以通过 图 5-4 或 图 5-5 确定。

为了更准确地确定可能驱动的线圈数量，请使用以下公式计算 ULN2003A 器件的片上功耗 P_D：

$$P_D = \sum_{i=1}^{N} V_{OLi} \times I_{Li} \quad (2)$$

其中

- N 是一同激活的通道数
- V_{OLi} 是负载电流 I_{Li} 的 OUT_i 引脚电压。该值与 $V_{CE(SAT)}$ 相同

为确保 ULN2003A 器件和系统的可靠性，片上功耗必须低于或等于以下等式方程式 3 规定的最大允许功耗 ($PD_{(MAX)}$)。

$$PD_{(MAX)} = \frac{\left(T_{J(MAX)} - T_A\right)}{\theta_{JA}} \quad (3)$$

其中

- $T_{J(max)}$ 是目标最高结温
- T_A 是工作环境温度
- $R_{\theta JA}$ 是封装结至环境热阻

将 ULN2003A 器件的裸片结温限制在 125°C 以下。IC 结温与片上功耗成正比。

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线

图 8-2 和图 8-3 所示的特性数据是使用 ULN2003A 器件驱动 OMRON G5NB 继电器在以下条件下生成的：V_{IN} = 5V，V_{SUP} = 12V 且 R_{COIL} = 2.8kΩ。

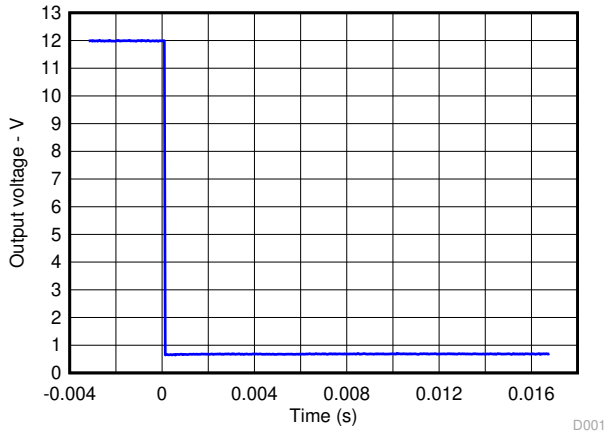


图 8-2. 线圈激活时的输出响应（接通）

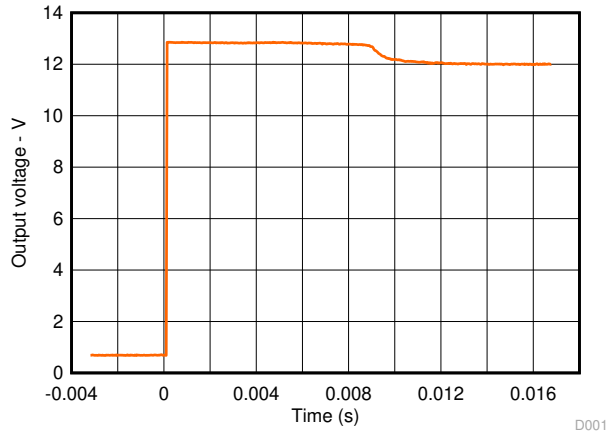


图 8-3. 线圈去激活时的输出响应（关断）

Copyright © 2024 Texas Instruments Incorporated

8.3 系统示例

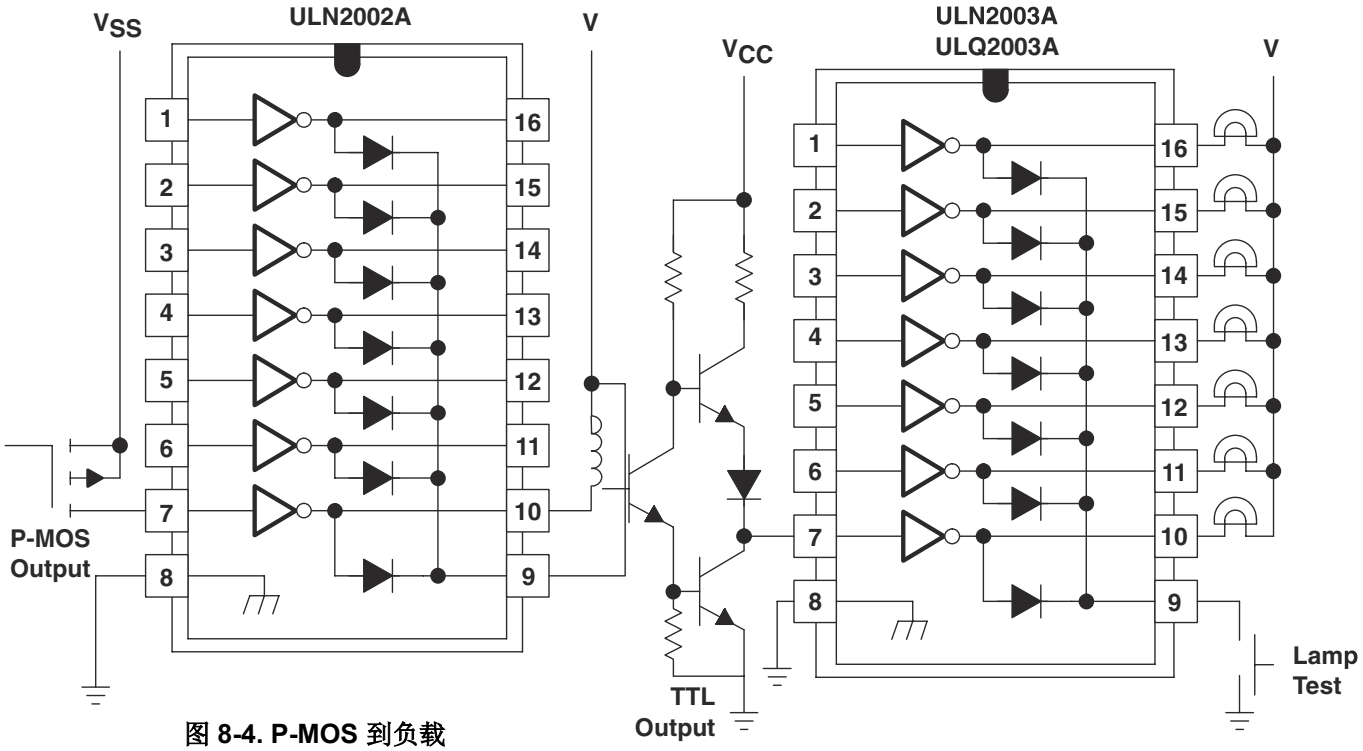


图 8-4. P-MOS 到负载

图 8-5. TTL 到负载

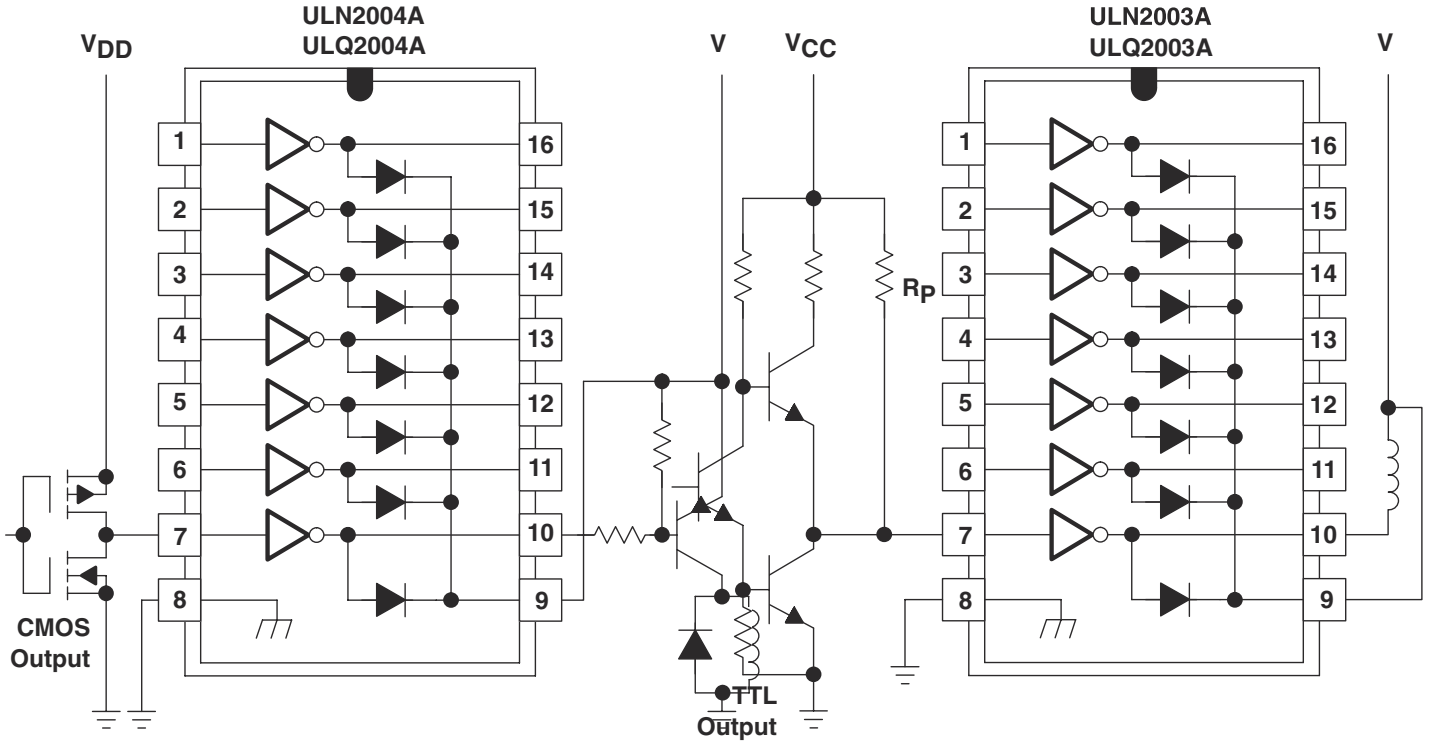


图 8-6. 大电流负载缓冲器

图 8-7. 使用上拉电阻来增加驱动电流

9 电源相关建议

该器件不需要电源。然而，COM 引脚通常与系统电源相连。在这种情况下，确保输出电压不会大幅超过 COM 引脚电压非常重要。这种差异会使反激式二极管实现大幅正向偏置，并导致大电流流入 COM，从而可能损坏片上金属或使器件过热。

10 布局

10.1 布局指南

低电流逻辑通常用于驱动 ULN2003A 器件，因此可以在输入端使用细小的迹线。请注意尽可能地使输入通道相分离，以消除串扰。TI 建议为输出提供较粗的迹线，以驱动任何可能需要的大电流。导线的粗细可以通过迹线材料的电流密度和所需的驱动电流来确定。

所有通道的电流都返回到共发射极，因此最好将迹线宽度设置得非常宽。某些应用要求达到 2.5A。

10.2 布局示例

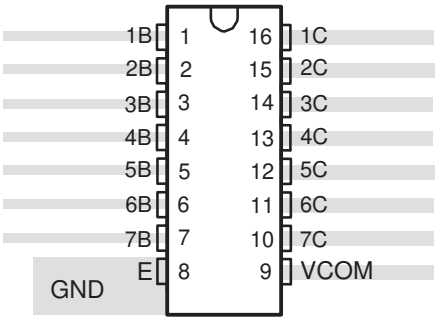


图 10-1. 封装布局

Copyright © 2024 Texas Instruments Incorporated

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

SN7546x 达林顿晶体管阵列，SLRS023

11.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 11-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
ULN2002A	点击此处	点击此处	点击此处	点击此处	点击此处
ULN2003A	点击此处	点击此处	点击此处	点击此处	点击此处
ULN2003AI	点击此处	点击此处	点击此处	点击此处	点击此处
ULN2004A	点击此处	点击此处	点击此处	点击此处	点击此处
ULQ2003A	点击此处	点击此处	点击此处	点击此处	点击此处
ULQ2004A	点击此处	点击此处	点击此处	点击此处	点击此处

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision Q (July 2022) to Revision R (February 2024)	Page
• 更新了*热性能信息* 部分中的所有值	4

Changes from Revision P (August 2019) to Revision Q (July 2022)	Page
• 更新了整个文档中的表格、图和交叉引用的编号格式	1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ULN2002AN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-20 to 70	ULN2002AN	
ULN2002ANE4	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-20 to 70	ULN2002AN	
ULN2003AD	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003ADE4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003ADR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 70	ULN2003A	Samples
ULN2003ADRE4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003ADRG3	LIFEBUY	SOIC	D	16	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003ADRG4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003AID	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	
ULN2003AIDE4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	
ULN2003AIDG4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	
ULN2003AIDR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	Samples
ULN2003AIDRE4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	
ULN2003AIDRG4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	
ULN2003AIN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU | SN	N / A for Pkg Type	-40 to 105	ULN2003AIN	
ULN2003AINE4	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 105	ULN2003AIN	
ULN2003AINSR	ACTIVE	SO	NS	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	ULN2003AI	Samples
ULN2003AIPW	LIFEBUY	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	UN2003AI	
ULN2003AIPWR	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 105	UN2003AI	Samples
ULN2003AIPWRG4	LIFEBUY	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 105	UN2003AI	
ULN2003AN	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU | SN	N / A for Pkg Type	-40 to 70	ULN2003AN	Samples
ULN2003ANE4	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 70	ULN2003AN	
ULN2003ANS	LIFEBUY	SO	NS	16	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	
ULN2003ANSR	ACTIVE	SO	NS	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	Samples
ULN2003ANSRE4	ACTIVE	SO	NS	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ULN2003ANSRG4	ACTIVE	SO	NS	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	ULN2003A	Samples
ULN2003APW	LIFEBUY	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A	
ULN2003APWG4	LIFEBUY	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A	
ULN2003APWR	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 70	UN2003A	Samples
ULN2003APWRG4	LIFEBUY	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 70	UN2003A	
ULN2004AD	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULN2004ADE4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULN2004ADG4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULN2004ADR	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-20 to 70	ULN2004A	Samples
ULN2004ADRE4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULN2004ADRG4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULN2004AN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-20 to 70	ULN2004AN	
ULN2004ANE4	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-20 to 70	ULN2004AN	
ULN2004ANS	LIFEBUY	SO	NS	16	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		ULN2004A	
ULN2004ANSR	LIFEBUY	SO	NS	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-20 to 70	ULN2004A	
ULQ2003AD	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2003A	
ULQ2003ADG4	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		ULQ2003A	
ULQ2003ADR	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2003A	
ULQ2003ADRG4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		ULQ2003A	
ULQ2003AN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	ULQ2003A	
ULQ2004AD	LIFEBUY	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A	
ULQ2004ADR	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ULQ2004A	
ULQ2004ADRG4	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		ULQ2004A	
ULQ2004AN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	ULQ2004AN	

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ULQ2003A, ULQ2004A :

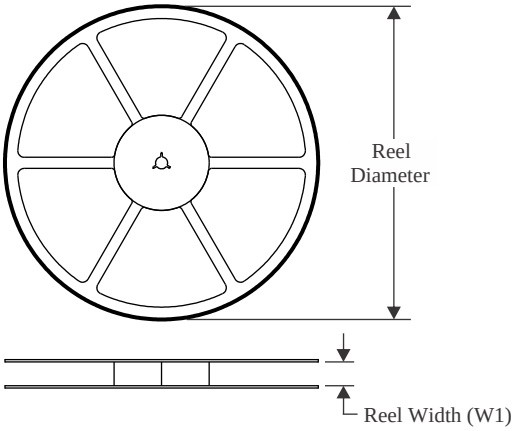
- Automotive : ULQ2003A-Q1, ULQ2004A-Q1

NOTE: Qualified Version Definitions:

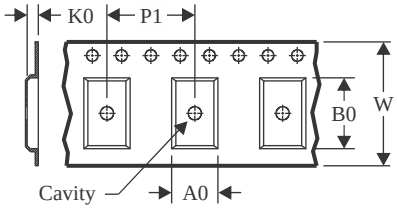
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

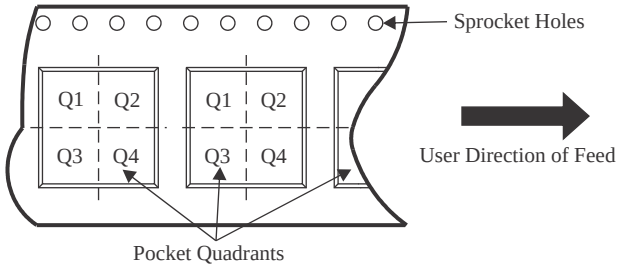


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

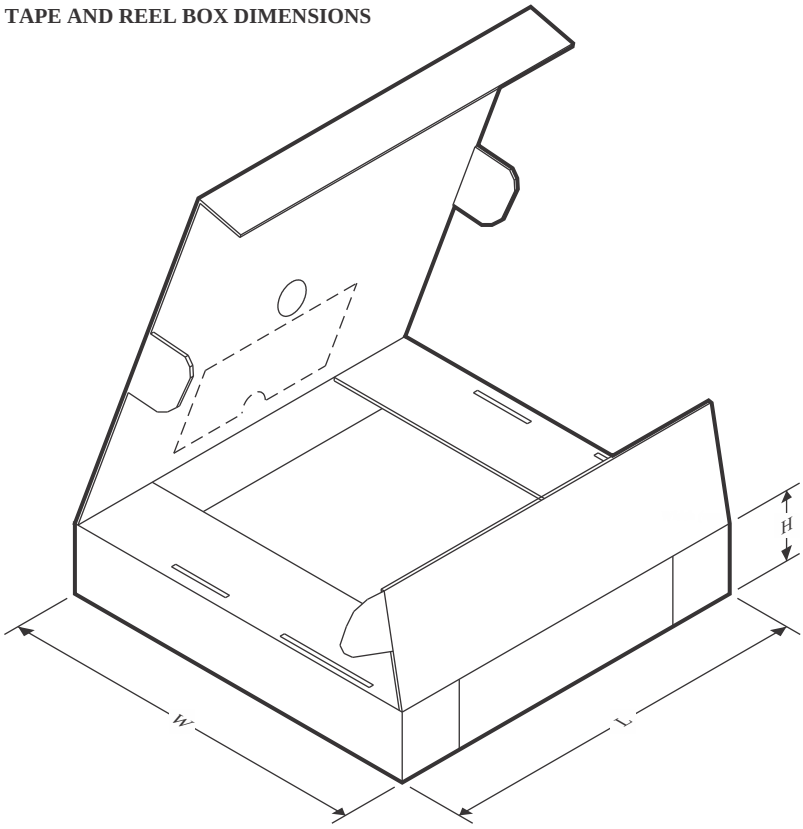


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADRG3	SOIC	D	16	2500	330.0	16.8	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AIDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AIDR	SOIC	D	16	2500	330.0	16.8	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AIDRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2003AINSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULN2003AIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003AIPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003ANSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULN2003APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2003APWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ULN2004ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULN2004ANSR	SO	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
ULQ2003ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
ULQ2003ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

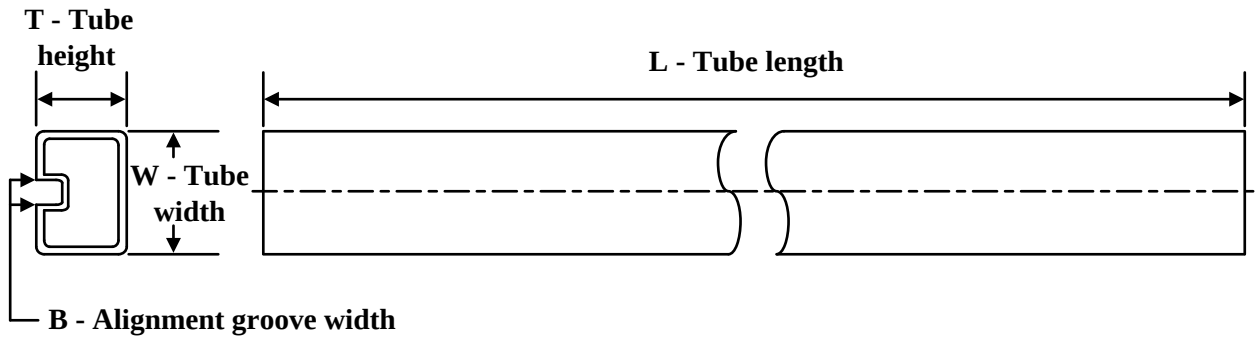


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2003ADR	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003ADR	SOIC	D	16	2500	356.0	356.0	35.0
ULN2003ADRG3	SOIC	D	16	2500	364.0	364.0	27.0
ULN2003ADRG4	SOIC	D	16	2500	367.0	367.0	38.0
ULN2003ADRG4	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003AIDR	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003AIDR	SOIC	D	16	2500	364.0	364.0	27.0
ULN2003AIDRG4	SOIC	D	16	2500	340.5	336.1	32.0
ULN2003AINSR	SO	NS	16	2000	356.0	356.0	35.0
ULN2003AIPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2003AIPWRG4	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2003ANSR	SO	NS	16	2000	356.0	356.0	35.0
ULN2003APWR	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2003APWRG4	TSSOP	PW	16	2000	356.0	356.0	35.0
ULN2004ADR	SOIC	D	16	2500	340.5	336.1	32.0
ULN2004ADR	SOIC	D	16	2500	356.0	356.0	35.0
ULN2004ADRG4	SOIC	D	16	2500	340.5	336.1	32.0
ULN2004ADRG4	SOIC	D	16	2500	356.0	356.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ULN2004ANSR	SO	NS	16	2000	356.0	356.0	35.0
ULQ2003ADR	SOIC	D	16	2500	340.5	336.1	32.0
ULQ2003ADRG4	SOIC	D	16	2500	356.0	356.0	35.0

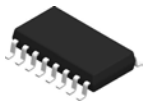
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ULN2002AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2002ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AD	D	SOIC	16	40	506.6	8	3940	4.32
ULN2003AD	D	SOIC	16	40	507	8	3940	4.32
ULN2003ADE4	D	SOIC	16	40	506.6	8	3940	4.32
ULN2003ADE4	D	SOIC	16	40	507	8	3940	4.32
ULN2003AID	D	SOIC	16	40	507	8	3940	4.32
ULN2003AIDE4	D	SOIC	16	40	507	8	3940	4.32
ULN2003AIDG4	D	SOIC	16	40	507	8	3940	4.32
ULN2003AIN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AIN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AIN	N	PDIP	16	25	506.1	9	600	5.4
ULN2003AINE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AINE4	N	PDIP	16	25	506.1	9	600	5.4
ULN2003AINE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AIPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ULN2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003AN	N	PDIP	16	25	506.1	9	600	5.4
ULN2003ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2003ANS	NS	SOP	16	50	530	10.5	4000	4.1
ULN2003APW	PW	TSSOP	16	90	530	10.2	3600	3.5
ULN2003APWG4	PW	TSSOP	16	90	530	10.2	3600	3.5
ULN2004AD	D	SOIC	16	40	506.6	8	3940	4.32
ULN2004AD	D	SOIC	16	40	507	8	3940	4.32
ULN2004ADE4	D	SOIC	16	40	506.6	8	3940	4.32
ULN2004ADE4	D	SOIC	16	40	507	8	3940	4.32
ULN2004ADG4	D	SOIC	16	40	506.6	8	3940	4.32
ULN2004ADG4	D	SOIC	16	40	507	8	3940	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ULN2004AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004AN	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004ANE4	N	PDIP	16	25	506	13.97	11230	4.32
ULN2004ANS	NS	SOP	16	50	530	10.5	4000	4.1
ULQ2003AD	D	SOIC	16	40	506.6	8	3940	4.32
ULQ2003AD	D	SOIC	16	40	507	8	3940	4.32
ULQ2003ADG4	D	SOIC	16	40	506.6	8	3940	4.32
ULQ2003ADG4	D	SOIC	16	40	507	8	3940	4.32
ULQ2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2003AN	N	PDIP	16	25	506	13.97	11230	4.32
ULQ2004AD	D	SOIC	16	40	507	8	3940	4.32
ULQ2004AN	N	PDIP	16	25	506	13.97	11230	4.32

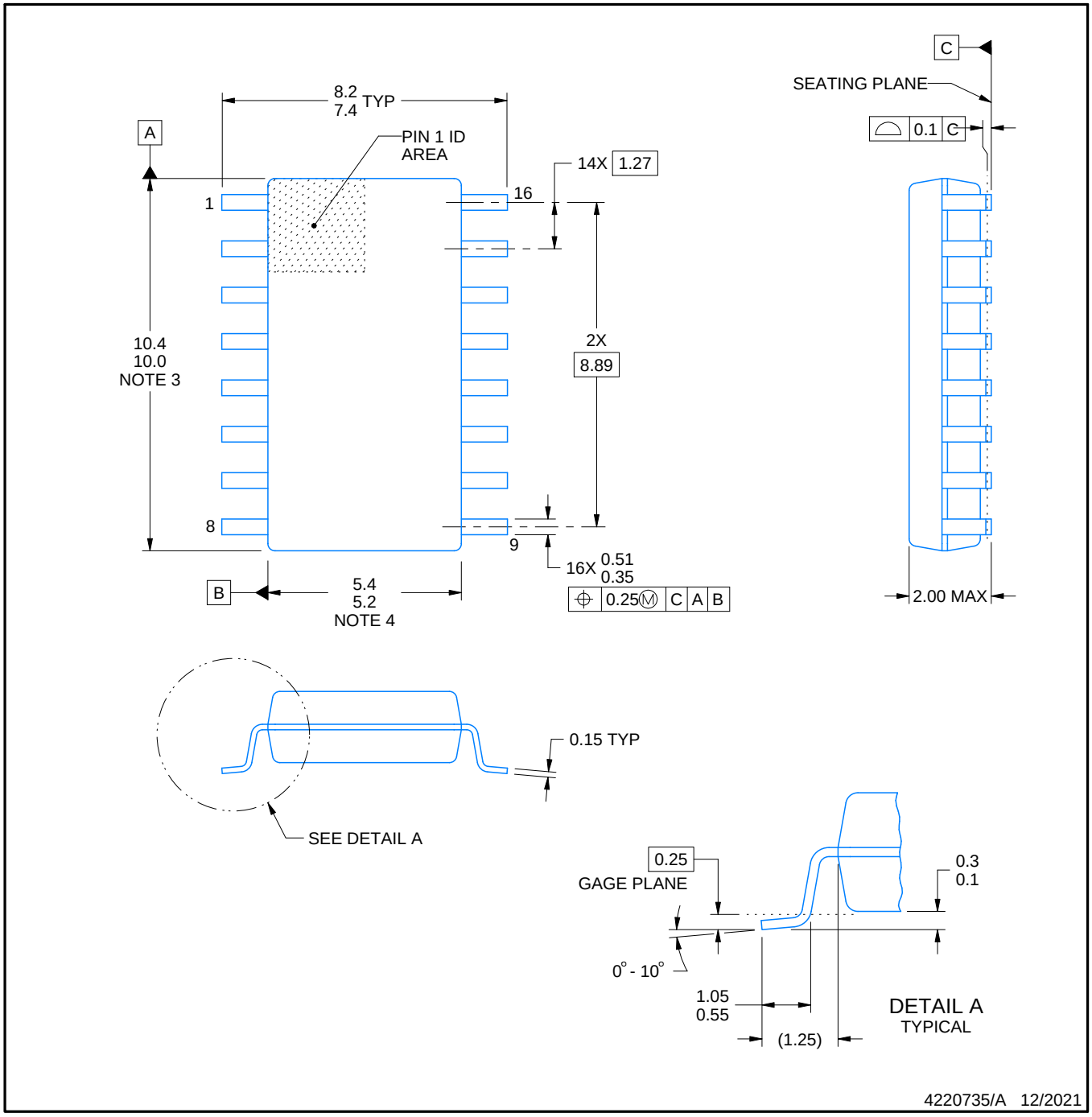


PACKAGE OUTLINE

NS0016A

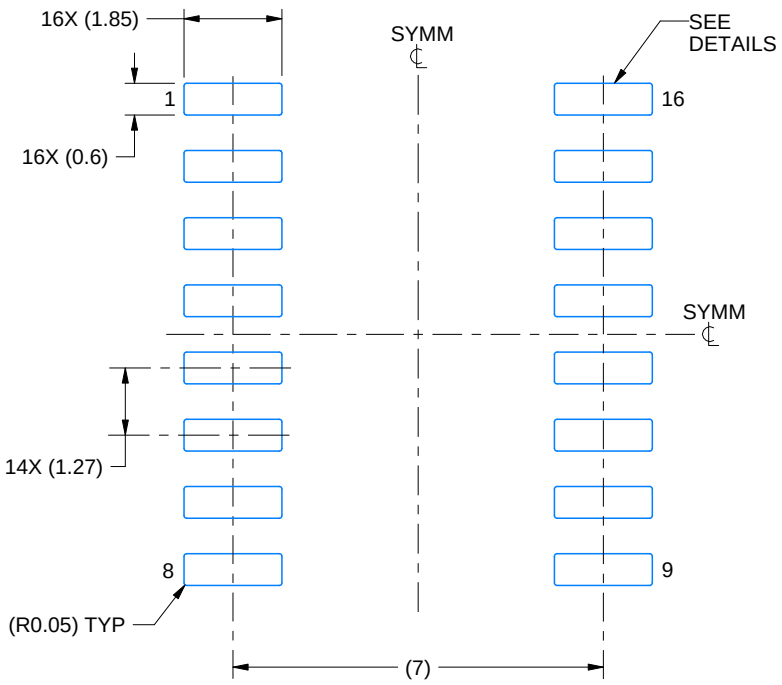
SOP - 2.00 mm max height

SOP

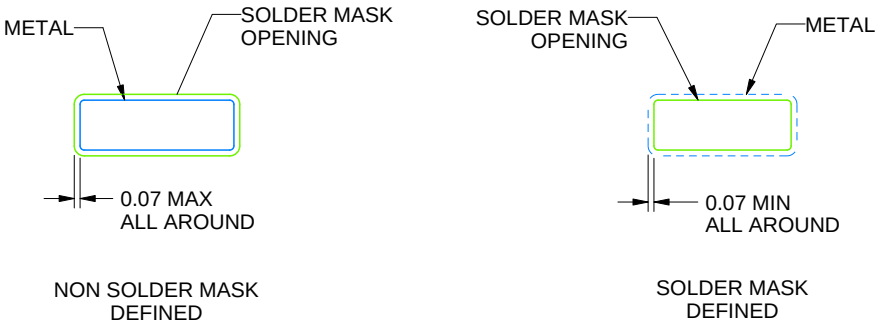


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

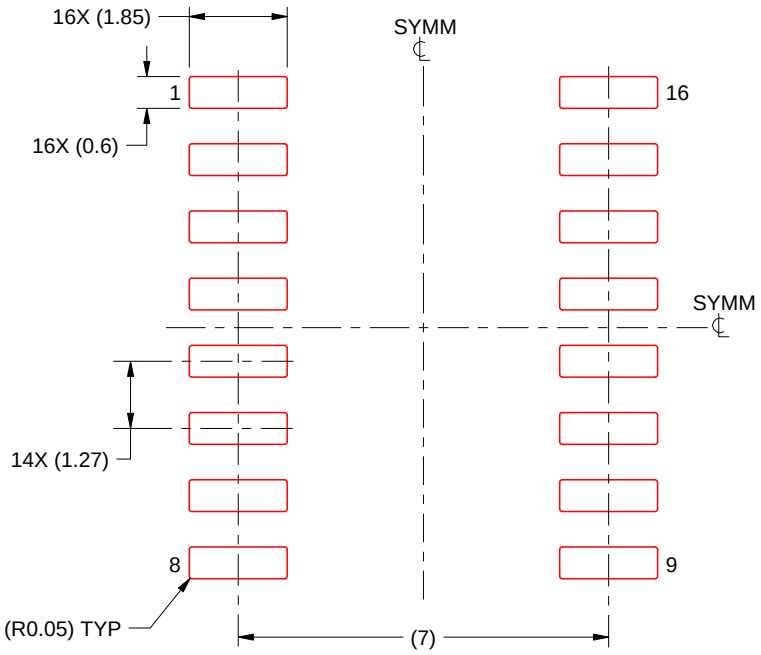
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



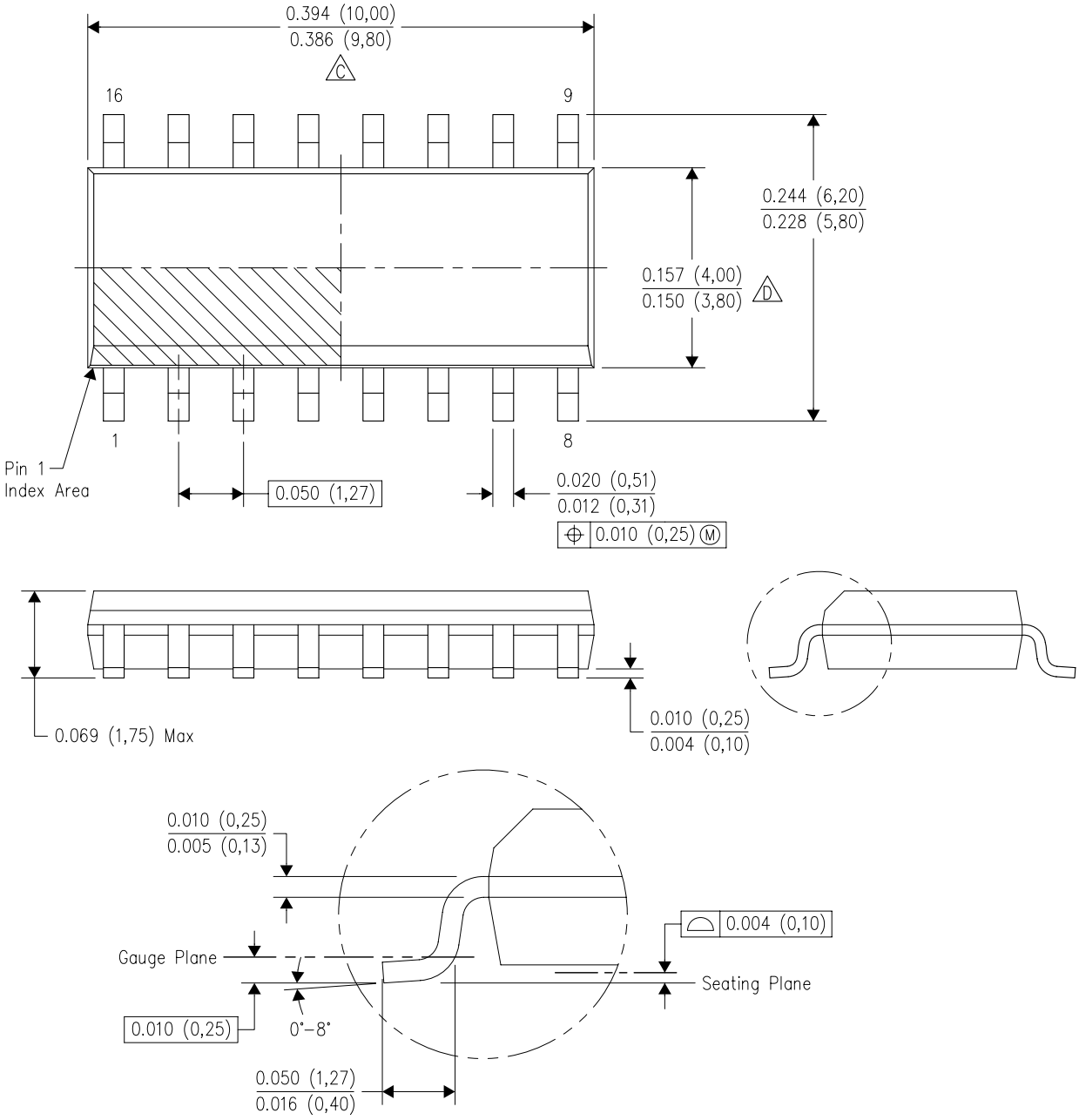
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

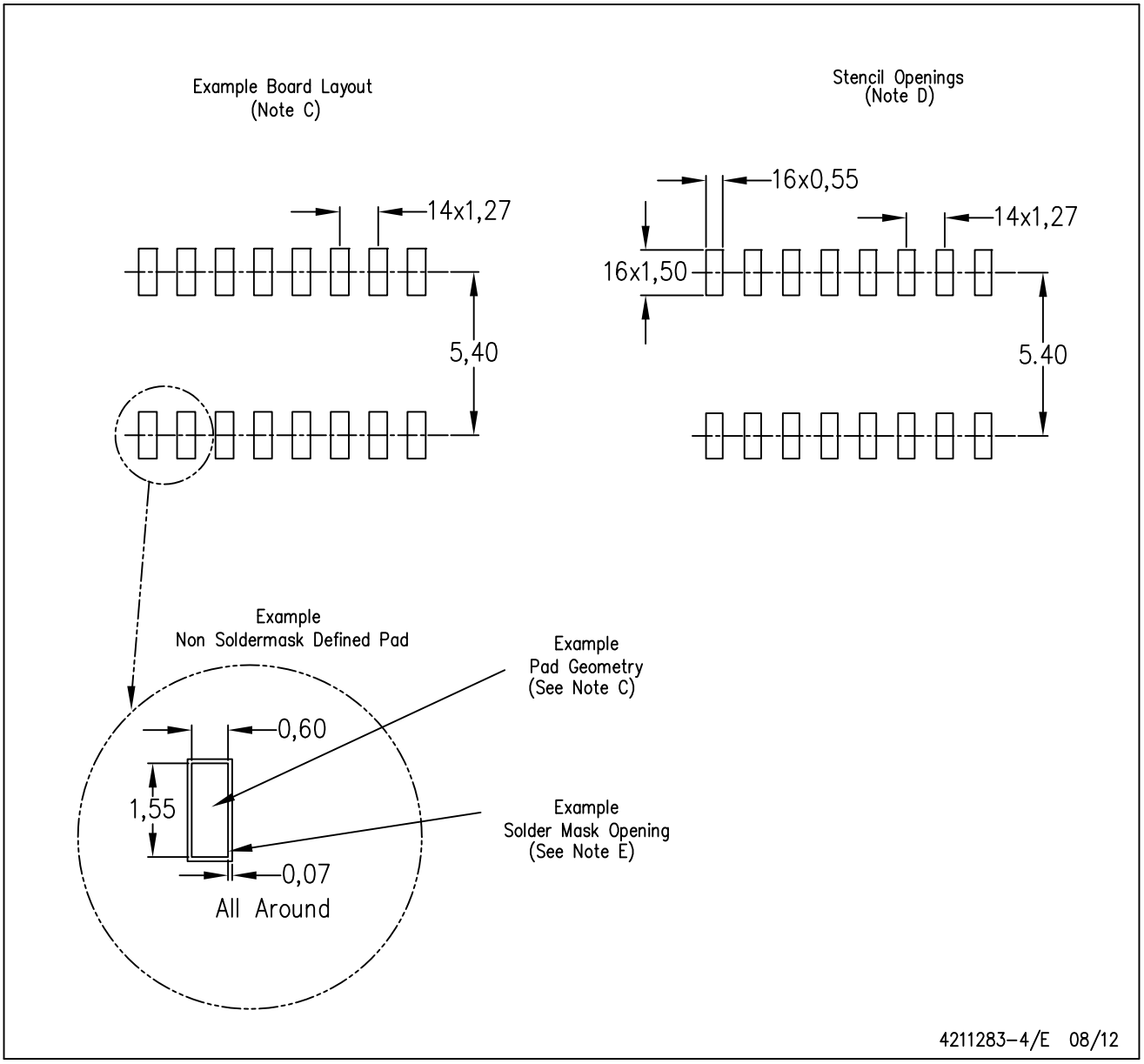
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



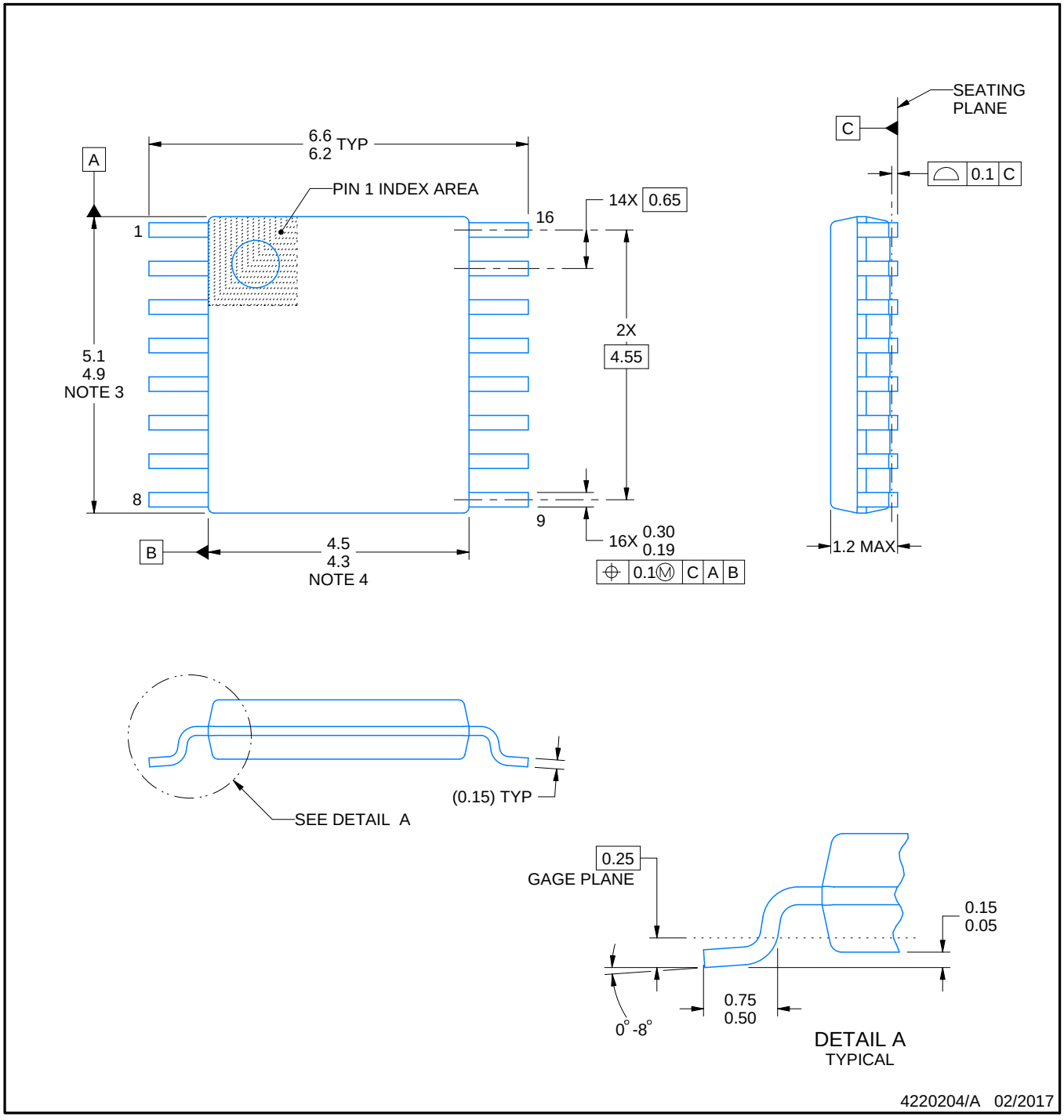
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

PW0016A

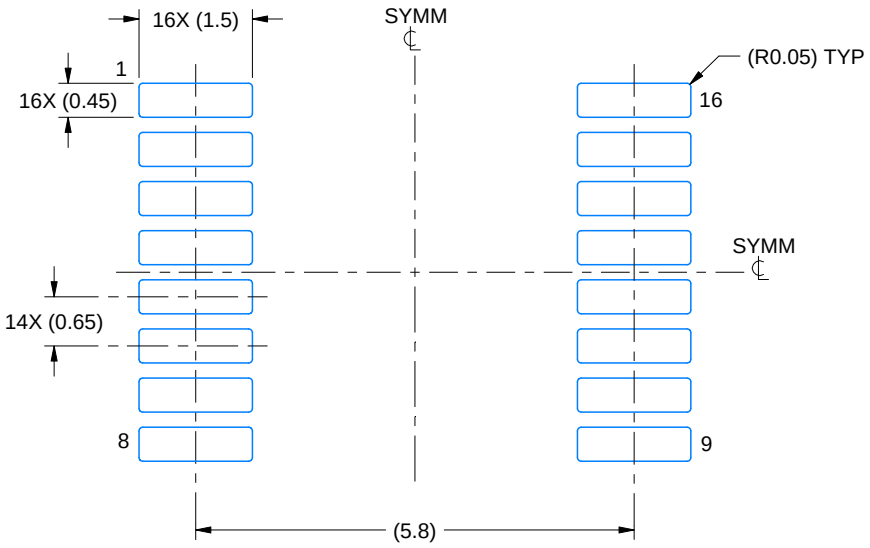
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

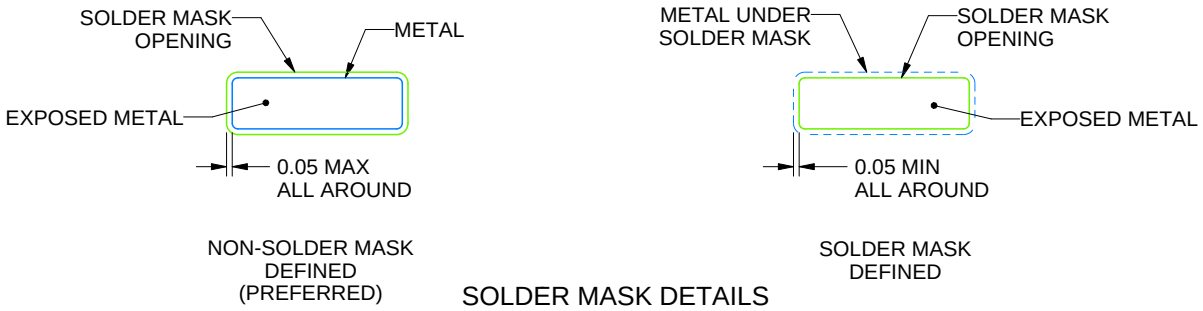


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

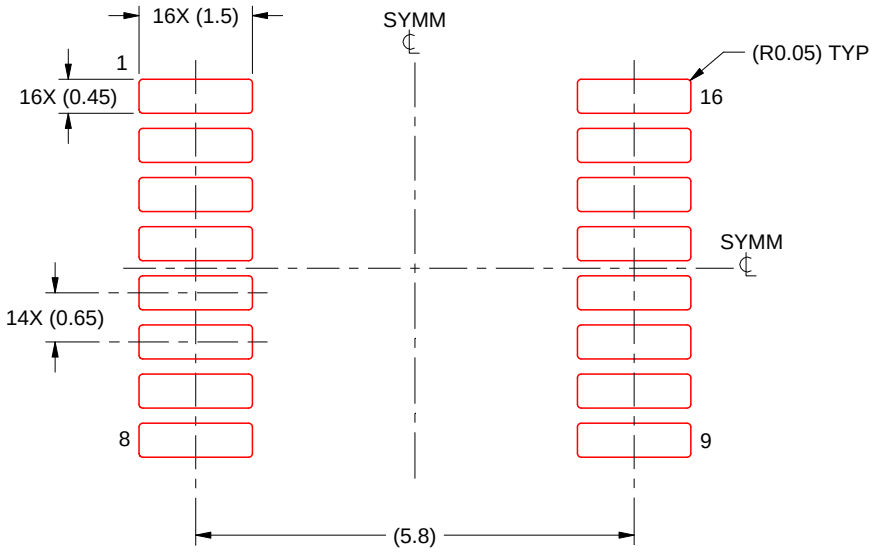


SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

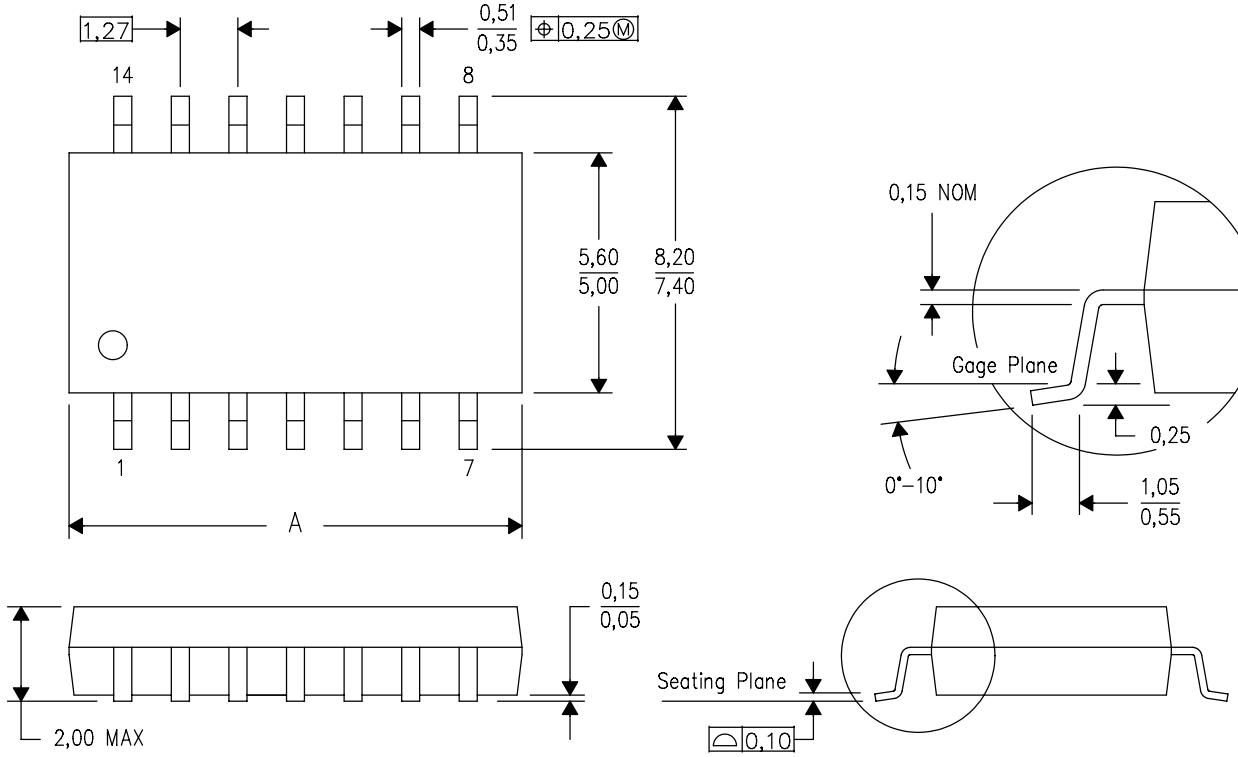
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

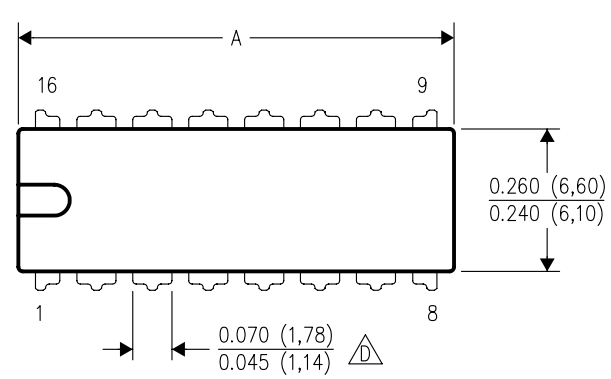
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

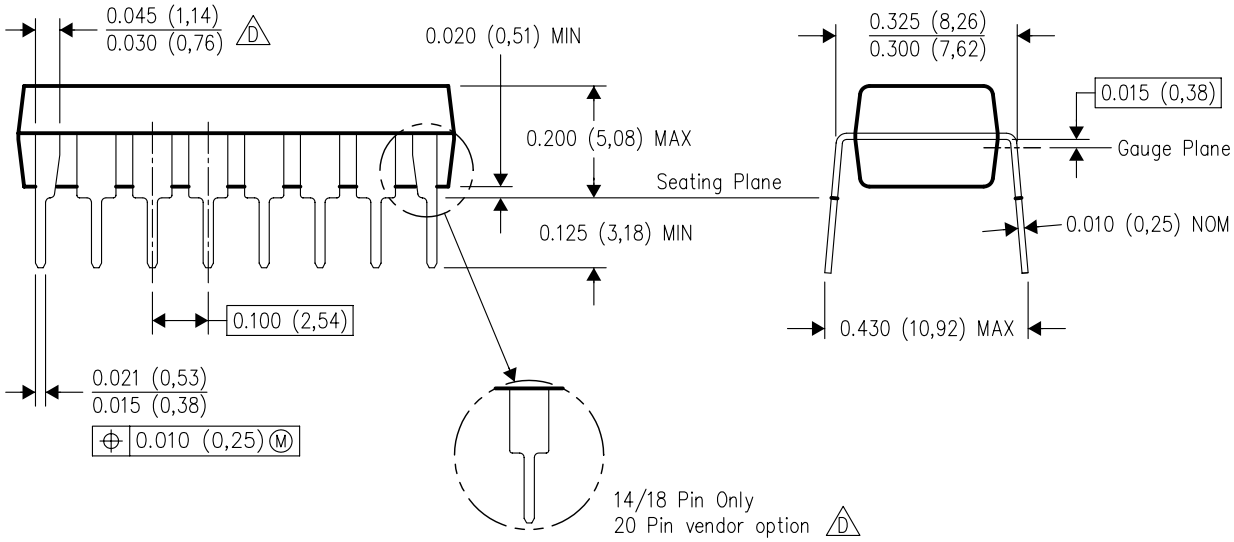
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司