如何进行 TI PCIe Gen5 转接驱动器调优



Nasser Mohammadi, Evan Su

摘要

PCI-Express(或 PCIe)5.0 链路在 16GHz 时提供 36dB 的总损耗预算。通常情况下,很多系统的 PCIe 链路会超出损耗预算,要么虽然能减少可用损耗预算但实现方案不甚理想,要么找不到可减少损耗预算的理想方案。具有集成信号调节功能的 TI PCIe Gen5 转接驱动器可以降低通道损耗引起的确定性抖动,增加损耗预算,并最终将 PCIe 5.0 链路的覆盖范围提高多达 45%。本应用手册提供了有关使用 DS320PR810 和 DS320PR1601 提高信号完整性和扩覆盖范围展的指导。它还适用于分别具有集成多路复用器和解复用器的 SN75LVPE5421 和 SN75LVPE5412 等相关器件。

内容

1 引言	2
2 器件概述	
2.1 接收器均衡	4
2.2 转接驱动器线性度	5
2.3 带有线性转接驱动器的 PCIe 链路	5
2.4 转接驱动器 EQ 调优	7
3 优化 CTLE 和增益选择的通用指南	12
4 总结	
5 参考文献	12
插图清单	
图 2-1. DS320PR810 方框图	2
图 2-2. DS320PR1601 方框图	
图 2-3. PCIe 链路图	5
图 2-4. 具有 20dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例	6
图 2-5. 具有 30dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例	7
图 2-6. 具有 35dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例	
图 2-7. PCI-SIG AIC RX 校准规范	8
图 2-8. PCI-SIG 系统 RX 校准规范	8
图 2-9. PCle Gen5 SI、CBB 和 CLB 电路板	9
图 2-10. RX 合规性方框图	9
图 2-11. AIC 测试概述	10
表格清单	
表 2-1. TI PCIe Gen5 转接驱动器的通用 EQ 指数增强	4
表 2-2. 转接驱动器前后的 PCle TX 预设值	5
表 2-3. 前置通道和后置通道损耗的器件性能	10
英仁	
所有商标均为其各自所有者的财产。	

引言 www.ti.com.cn

1引言

在设计基于线性转接驱动器的线路卡时,调优 PCle Gen5 线性转接驱动器是主要任务之一。线性 特性很重要。 PCIe 协商需要链路训练,以便在前置转接驱动器和后置转接驱动器(前置或后置通道损耗)曲线中实现适当的信 令条件。为了实现这一目标,根复合体 (RC)和端点 (EP)之间会交换不同级别的预冲和后冲(或去加重),从而 补偿整体通道损耗曲线。线性转接驱动器必须充当无缝实体,并在其线性区域中工作,以增强高频内容而又不会 压缩信号。不正确的调优会压缩或过度均衡这些信号,从而导致性能下降和/或难以进行链路训练。由于该器件采 用线性方式工作,因此转接驱动器两侧的连续时间线性均衡(CTLE)和决策反馈均衡(DFE)可以正常进行训练。

本应用手册讨论了转接驱动器与 PCle 协商相关的主要特性,并提供了前置和后置通道损耗分析,以帮助微调和简 化转接驱动器 CTLE 设置。本文档包含验证和系统级结果,提供了转接驱动器放置建议,概述了可能的 PCIe 链 路扩展,并使用真实系统示例提供了转接驱动器分步调优说明。全面了解转接驱动器的功能、限制和调优步骤 后,系统设计人员可更好地使用线性转接驱动器来扩展 PCle 5.0 链路的覆盖范围。

2器件概述

DS320PR810、DS320PR1601 和其他 PCIe Gen5 转接驱动器会放大受 ISI (符号间干扰)影响的传入信号的高 频内容。这种放大是在增加极小 RMS 抖动的情况下完成的。PCle Gen5 转接驱动器也支持 Gen4 和更低的速 率。此外,这些器件与协议无关,可用于 SAS 和其他应用。

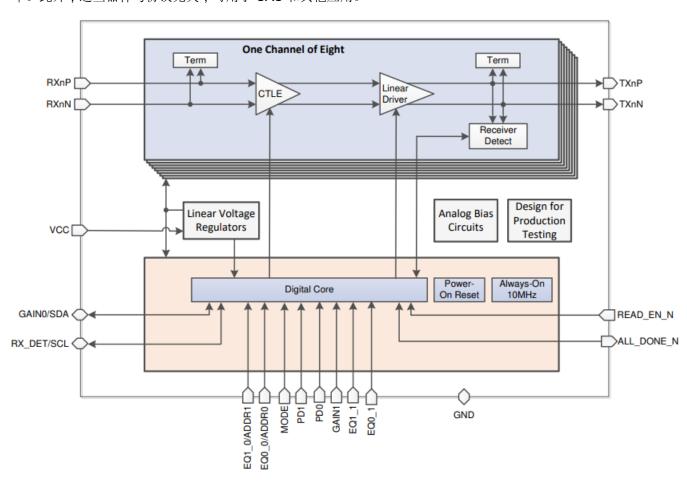


图 2-1. DS320PR810 方框图



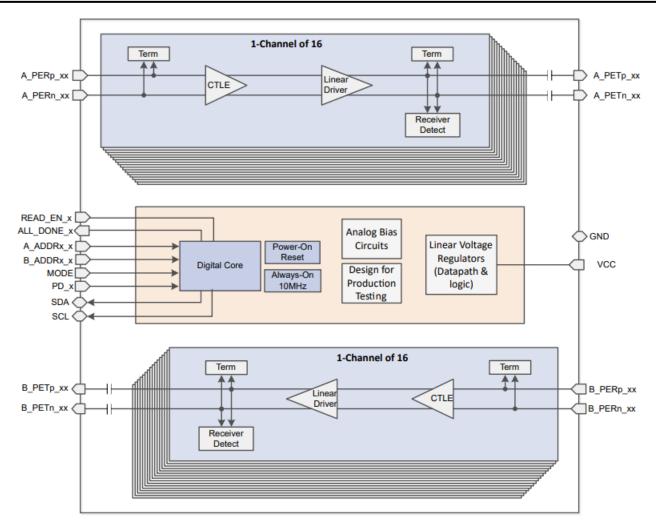


图 2-2. DS320PR1601 方框图



2.1 接收器均衡

PCIe Gen5 转接驱动器具有一个连续时间线性均衡器 (CTLE),它运用高频增强和低频衰减功能来帮助均衡无源通道的频率制约型插入损耗。该器件具有 20 种均衡 (EQ) 升压和 5 种增益设置。增益设置为*平坦增益*,在整个带宽范围内均匀地增加信号强度。整体数据路径平坦增益(直流和交流)可以通过 SMBus/I2C 寄存器编程。大多数系统的默认建议为 0dB。设置转接驱动器的平坦增益和均衡时,必须确保直流和高频下的输出信号摆幅分别不超过器件的直流和交流线性范围。有关更多详细信息,请参阅编程指南。

表 2-1 介绍了 TI 的 PCle Gen5 转接驱动器架构带来的 EQ 增强。每个 EQ 指数设置的实际增强(以 dB 为单位)相似,但不同的 PCle Gen5 转接驱动器之间并不相同。有关完整的详细信息,请参阅各个器件数据表的特性说明中的表格。

表 2-1 仅用于说明;进行设计时,请参阅器件数据表。

表 2-1. TI PCIe Gen5 转接驱动器的通用 EQ 指数增强

均衡选择	典型EQ增强		
EQ 指数	8GHz 时的增益 (dB)	16GHz 时的增益 (dB)	
0	2.0	3.0	
1	3.5	5.0	
2	5.0	7.0	
3	7.0	9.0	
4	8.0	12.0	
5	9.0	16.0	
6	9.8	17.0	
7	10.2	18.0	
8	10.8	18.5	
9	11.2	19.0	
10	11.8	19.5	
11	12.2	20.0	
12	12.8	20.5	
13	13.2	21.0	
14	13.8	21.5	
15	14.2	22.0	
16	14.8	22.5	
17	15.2	23.0	
18	15.6	23.5	
19	16.0	24.0	

www.ti.com.cn 器件概述

2.2 转接驱动器线性度

数据路径的线性度经过专门设计,可在保持接收器均衡有效的同时保留任何传输均衡。它能够实现无障碍的 PCle 5.0 链路训练,可自动优化链路根复合体和端点侧的 PCle TX 和 RX 均衡功能。表 2-2 所示为在通过转接驱动器传递预设之前和 PCle TX 预设被重新驱动之后的典型 PCle TX 预设值(预冲和去加重等级)。该数据是在遵循 PCl-Express 5.0 Base 规范的情况下测得的。请注意,预冲和后冲都完全在所需限值范围内。

预设	PCIe 预设限值		在转接驱动器之后测量的典型值	
	推荐的预冲	推荐的后冲	预冲 (dB)	后冲 (dB)
P0	0	-6 ± 1.5	0	-5.69
P1	0	-3.5 ± 1.0	0	-3.34
P2	0	-4.4 ± 1.5	0	-3.9
P3	0	-2.5 ± 1.0	0	-2.41
P4	0	0	0	0
P5	1.9 ± 1.0	0	1.97	0
P6	2.5 ± 1.5	0	2.42	0
P7	3.5 ± 1.0	-6.0 ± 1.5	3.43	-5.36
P8	3.5 ± 1.0	-3.5 ± 1.0	3.37	-3.36
P9	3.5 ± 1.0	0	3.36	0

表 2-2. 转接驱动器前后的 PCIe TX 预设值

2.3 带有线性转接驱动器的 PCIe 链路

PCI-Express (PCIe) 链路通常具有 4 通道 (x4)、8 通道 (x8) 和 16 通道 (x16) 等宽度类型。PCIe 根复合体 (RC) 和 PCIe 端点 (EP) 之间的双向通信通过下游(从 RC 到 EP) 和上游(从 EP 到 RC)通道进行。

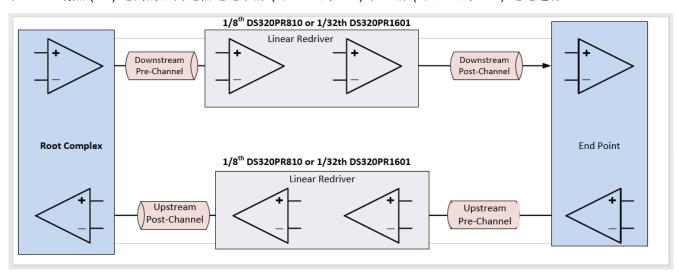


图 2-3. PCIe 链路图

PCIe 发送器 (TX) 和转接驱动器之间的传输介质是*前置通道*,而转接驱动器和 PCIe 接收器 (RX) 之间的通道是*后置通道*,这说明了通道相对于转接驱动器的位置。需要注意的是,前置通道损耗补偿通过 PCIe TX 均衡和转接驱动器 CTLE 实现。



为了检查 RX EQ 合规性,这里使用 Phoenix 实用程序进行后处理,以检查眼图裕度是否符合 PCIe Gen5 要求。该后处理涉及 PCIe Gen5 RX 封装补偿、行为 CTLE/DFE 和 CDR 实现。这需要 15mV 的垂直眼图张开度和至少为 0.3UI 或 9.375ps 的水平眼图张开度。这里使用具有 P9 预设和 800mVpp 振幅的 BERT 进行了一系列测试,以展示转接驱动器 ISI 或 DJ 补偿功能。这些测试中使用了不同的前置通道和后置通道损耗。

如图 2-3 所示,当前置通道和后置通道损耗为 20dB 时,CTLE 设置为 0 的 Gen5 转接驱动器可以满足 PCI-SIG 要求。

备注

- 1. 前置通道损耗包括根复合体或端点封装损耗加上器件之前的 PCB 迹线损耗。
- 2. 在第二种情况下,我们使用相同的前置通道损耗,但使用了更高的 CTLE(EQ 指数 6)来补偿 25dB 的后置通道损耗。后置通道损耗通常由 PCle 接收器通过自适应 CTLE、DFE 和协商 TX 均衡 功能来处理。在这种情况下,额外的增益可提供过均衡来补偿更高的 25dB 后置通道损耗。

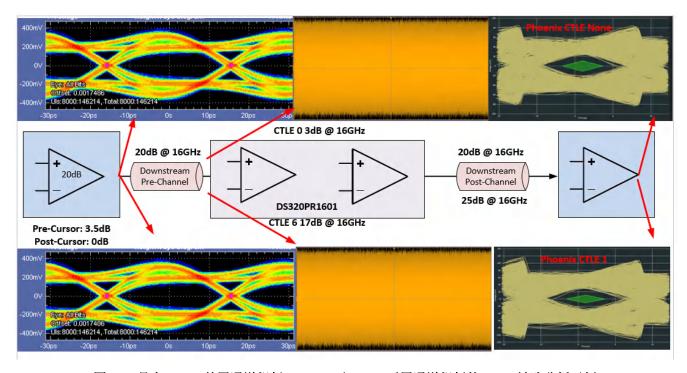


图 2-4. 具有 20dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例

在图 2-5 和图 2-6 中,我们使用更高的前置通道损耗 (30dB),而后置通道损耗变化范围则与之前相同。转接驱动器主要补偿前置通道损耗,并可执行边际过补偿以解决前置通道损耗增加问题。

www.ti.com.cn 器件概述

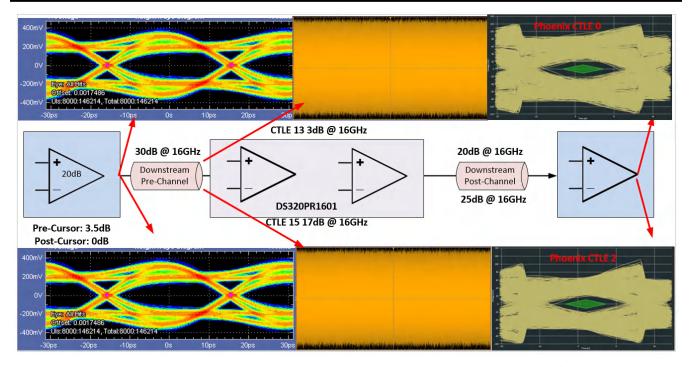


图 2-5. 具有 30dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例

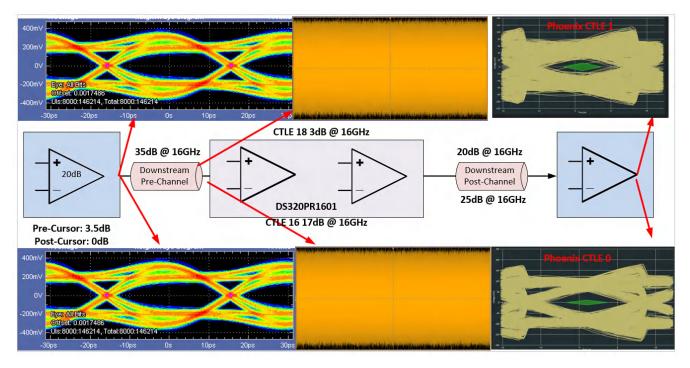


图 2-6. 具有 35dB 前置通道损耗、20dB 至 25dB 后置通道损耗的 PCle 链路分析示例

如图所示,转接驱动器会补偿输入上因传输介质低通滤波效应而导致的 ISI (符号间干扰)。RC 或 EP 都可以补偿其他因素导致的应力眼图:随机抖动 (RJ)、正弦抖动 (SJ)、阻抗不连续性引起的反射、布线长度不匹配引起的偏斜以及差模和共模干扰。

2.4 转接驱动器 EQ 调优

在大多数情况下,PCIe Gen5 转接驱动器需要进行 CTLE 设置调优,才能提供令人满意的眼图张开度。建议将直流增益保留为默认设置 0dB。有关直流增益和均衡设置的直接影响,请参阅*采用 DS320PR810 进行 PCI Express 合规性测试*。



接收器链路均衡合规性在系统或插件卡上完成,以验证应力条件下 1E-12 处的互操作性。首先,执行不同的参数校准,以便为不同的系统或 AIC 应用提供相同的环境。以下设置用于满足 RX EQ 合规性。图像由 PCI-SIG 提供。

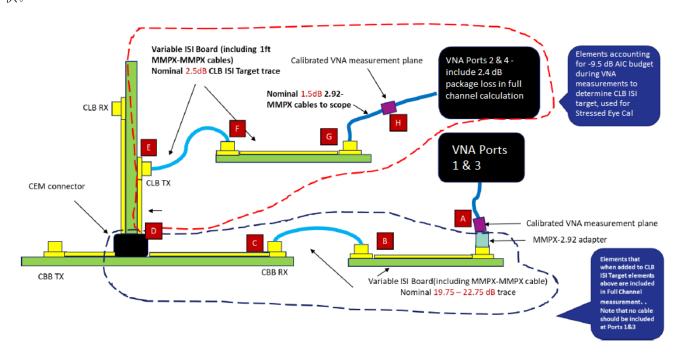


图 2-7. PCI-SIG AIC RX 校准规范

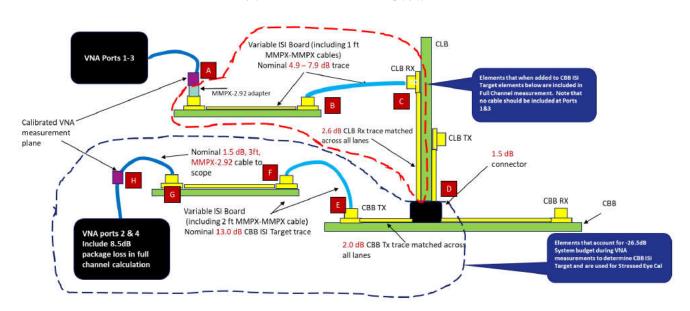


图 2-8. PCI-SIG 系统 RX 校准规范

备注

无论是在系统还是 AIC 场景中, PCIe 感知 BERT 都会使用 VNA 端口 1 和 3 以及该块来通过协议将链路伙伴的一个信道置于环回模式。使用经过校准的应力眼图,需要实现 1E-12 BER 一个或更少错误。



图 2-9. PCIe Gen5 SI、CBB 和 CLB 电路板

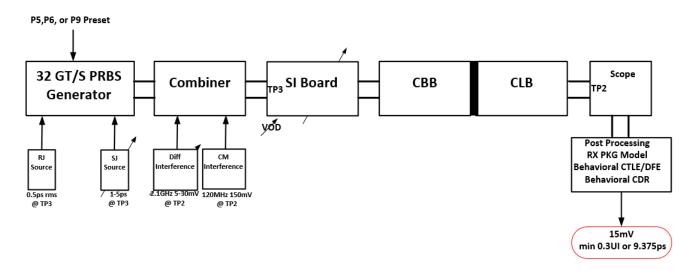


图 2-10. RX 合规性方框图

2.4.1 参数校准的详细说明

1. 振幅或 VOD 校准:振幅校准是在 TP3 处使用混合时钟和低频模式以 32Gbps 来完成的。在这种情况下,必 须使用 P1 至 P9 预设来确认 PCle Gen5 合规性。

- 2. RJ 校准在 TP3 处执行。P4 处使用 PCIe 校准模式以及 SigTest Phoenix 5.1.04 RJ_SJ_CAL 模板来分析 RJ。TP3 处的目标 RJ 为 0.5ps rms。
- 3. SJ 校准与 RJ 相似,目标值为 1ps 至 5ps。
- 4. 插入损耗校准在 TP2 处执行。图 2-7 和图 2-8 展示了信号路径内不同元件的损耗目标以及 CBB/CLB 和 ISI 损耗电路板设置。
- 5. AIC DMI (差模干扰) 在 TP2 处执行, TP2 处的总通道损耗为 31.8dB。Phoenix 使用 4.2dB 来表示 AIC 封装 损耗。P4 预设和用 2.1GHz 信号调制的 DMI/CMI 模式用于在 TP2 处实现目标 5mV 至 30mV DMI。
- 6. CMI 与 DMI 相同, 也在 TP2 处执行。使用 120MHz CMI 来实现 150mV 的目标值。
- 7. TX EQ 校准:BERT 根据噪声值进行校准。使用 P5/6/8/9 预设,以可在 TP2 处产生最佳眼图面积为依据,来 选择最佳 CTLE 和预设。
- 8. 插入损耗从 36dB 开始以 0.5dB 为步长递减, DMI 以 3mV 为增量递增, SJ 以 10mUI 为增量递增, SJ 以 10mV 为增量递增, 而器件 CTLE 增益范围为 7 到 12, 以实现最佳眼高 (EH) 和眼宽 (EW)。

表 2-3 中的 DS320PR1601 性能矩阵展示了使用刚刚讨论的 RX 均衡方法时各种前置通道和后置通道组合的器件性能。

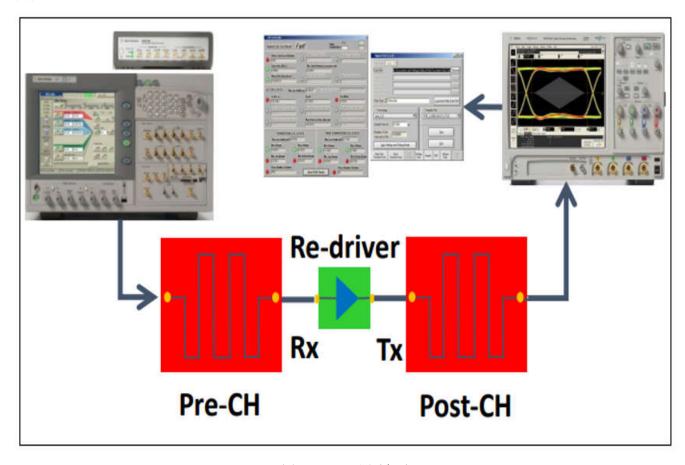


图 2-11. AIC 测试概述

表 2-3 展示了完成校准并在 AIC 模式下运行后,使用 PCle Gen5 RX 均衡方法时各种前置通道和后置通道组合的 器件性能

表 2-3. 前置通道和后置通道损耗的器件性能

前置通道损耗 (dB)	后置通道损耗 (dB)	EQ 指数/直流增益/预设	眼宽 (UI)	眼高 (mV)
10	32	2/L2/P6	0.39	35.74
14	26	2/L2/P6	0.41	46
14	32	7/L2/P6	0.35	36.83
18	22	2/L4/P6	0.4	72.5
18	26	3/L2/P6	0.4	48.21

表 2-3. 前置通道和后置通道损耗的器件性能 (continued)

前置通道损耗 (dB)	后置通道损耗 (dB)	EQ 指数/直流增益/预设	眼宽 (UI)	眼高 (mV)
22	18	1/L2/P6	0.44	67.7
22	22	3/L2/P6	0.39	40.91
22	26	7/L2/P6	0.43	48
26	18	3/L2/P5	0.37	33.1
26	22	4/L2/P6	0.4	39.7
26	26	4/L2/P6	0.36	28.4
29	18	4/L2/P6	0.35	39.7
29	22	4/L2/P6	0.34	29.59



3 优化 CTLE 和增益选择的通用指南

以下步骤提供了有关选择转接驱动器 CTLE 设置的一般指导:

- 1. 非常需要使用实际介质、连接器、通孔、根复合体、端点和转接驱动器 S 参数模型来执行信号完整性分析。 其目的是提供裕度以满足误码率和眼图尺寸的高要求。
- 2. 了解整体通道介质损耗曲线。温度、湿度、信噪比和串扰都需要额外的裕度才能实现稳定运行。
- 3. 每个端点或根复合体都需要一定的 IO 裕度。最好增加裕度,以确保在 PVT 范围内无差错运行。
- **4**. 转接驱动器主要在其输入端提供升压以补偿信号损失。另一方面,它的输出信号调节受到限制。当其输出存在高损耗(后置通道损耗)时,边际信号调节有两种选项:
 - a. 以1至2个步长对输入信号进行过均衡,这样输入信号就不会被压缩。
 - b. 提供平坦增益以增加眼高。
- 5. 在了解前置通道和后置通道损耗后,使用表 2-3 来选择起始 CTLE 设置。不同的根复合体、端点或 BIOS 版本在性能上可能有所不同。因此,可能需要在表 2-3 中所示的推荐值上进行微调。
- 6. 表 2-3 是使用 PCIe 推荐的 SI 电路板测量的。实际应用可能具有不同的损耗曲线。因此,该表中提到的 CTLE 索引可用作实际应用的良好起点。
- 7. 验证下游转接驱动器的 CTLE 设置。如果测试实际系统,从最初选择的 CTLE 设置(同时保持最初选择的上游转接器的 CTLE 设置)上下扫描下游转接驱动器的 CTLE 设置,以确定允许系统成功连接的 CTLE 设置范围,或者在执行系统仿真或测量眼图时满足预定义的最低眼图波罩标准。
- 8. 验证上游转接驱动器的 CTLE 设置。从最初选择的 CTLE 设置(同时保持下游转接器之前所选的 CTLE 设置)上下扫描上游转接驱动器的 CTLE 设置,以确定允许系统成功连接的 CTLE 设置范围,或者满足预定义的最低眼图波罩标准。
- 9. 另一种通用的系统调优方法如下:
 - a. 确定转接驱动器用例是系统格式还是 AIC 格式。这可以确定转接驱动器与 PCIe 链路的哪一端 (根复合体或端点)最相关,目前称为*主链路伙伴*。
 - b. 在主链路伙伴的下游方向执行 TX 合规性测试。目标是让下游转接驱动器补偿前置通道损耗:其直接输出需要尽可能精确地再现主链路伙伴最初传输的信号。实现这一点后,下游转接驱动器的 CTLE 设置就可以被冻结。
 - c. 接下来,在上游方向执行 IOMT 或通道裕度测试。目标是对上游转接驱动器进行调优,使主链路伙伴接收到的信号具有可接受的质量。此过程可以使用不同的工具和标准。成功的上游调优需要使接收到的信号不仅符合所有要求,而且具有足够的裕度来补偿某些水平的噪声、应力和其他不可预见的影响。
 - d. 由于物理或软件限制,这种整体方法并非总是可行,但它是最全面的转接驱动器调优方法,如果可能,建 议您使用。

4 总结

PCIe Gen5 转接驱动器需要进行调优才能成功集成到新系统中。在创建测试设置和接收器性能评估方法时必须小心谨慎,但是这些过程也有既定的指导原则、硬件和实用程序。测试开始后,大多数应用都可以通过仅调整 EQ 指数来实现成功调优,直到结果令人满意且符合 PCIe 标准。本文档中提供的数据有助于在总体损耗曲线中选择转接驱动器的位置,并从起始 CTLE 设置开始测试,从而缩短所需的时间和精力。调优完成后,PCIe Gen5 转接驱动器即可发挥其预期作用,成为扩展 PCIe 链路覆盖范围并维持其质量的简单方法。

5 参考文献

- 德州仪器 (TI), DS320PR810 用于 PCIe 5.0、CXL 1.1 的八通道线性转接驱动器 数据表。
- 德州仪器 (TI), DS320PR1601 32Gbps、16 通道、PCIe® 5.0、CXL 2.0 线性转接驱动器数据表。
- 德州仪器 (TI), SN75LVPE5412 具有 1:2 多路信号分离器的 PCle® 5.0 32Gbps 4 通道线性转接驱动器 数据 表。
- 德州仪器 (TI), SN75LVPE5421 具有 2:1 多路复用器的 PCIe® 5.0 32Gbps 4 通道线性转接驱动器 数据表。
- 德州仪器 (TI), *采用 DS320PR810 进行 PCI Express 合规性测试* 应用手册。

重要声明和免责声明

TI"按原样"提供技术和可靠性数据(包括数据表)、设计资源(包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源,不保证没有瑕疵且不做出任何明示或暗示的担保,包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任:(1) 针对您的应用选择合适的 TI 产品,(2) 设计、验证并测试您的应用,(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更,恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务,TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2023,德州仪器 (TI) 公司