

Devin Cottier

摘要

高速多路复用模数转换器 (ADC)，例如 C2000™ 系列微控制器上的那些 ADC，可在实时控制应用中快速检测多个反馈信号。这些反馈信号的信号调节电路应经过精心设计和评估，以便确保能够在分配给 ADC 采样保持 (S+H) 的时间内实现充分的稳定。如果在信号调节电路的硬件设计中未能实现充分的稳定，系统中可能会出现存储器串扰问题。本应用报告介绍了存储器串扰的原因和特征，然后给出了两种缓解存储器串扰错误的可能策略：使用专用 ADC 来处理受影响的信号（仅导致自串扰），在受影响信号之前对地进行采样（将存储器串扰转换为增益误差，随后可通过校准从系统中消除该误差）。

本文档所述的工程配套资料可从以下 URL 下载：<https://www.ti.com/cn/lit/zip/spracw9>。

内容

1 引言.....	3
1.1 存储器串扰挑战.....	3
1.2 信号调节电路设计资源.....	3
2 ADC 输入趋稳综述.....	4
2.1 ADC 输入趋稳的机制.....	5
2.2 稳定不足的症状.....	5
2.3 C2000 ADC 架构.....	7
3 问题说明.....	8
3.1 示例系统.....	8
3.2 S+H 趋稳分析.....	10
3.3 电荷共享分析.....	11
3.4 问题总结.....	12
4 专用 ADC 采样.....	13
4.1 专用 ADC 概念.....	13
4.2 专用 ADC 的趋稳机制.....	14
4.3 专用 ADC 的设计流程.....	15
4.4 专用 ADC 电路的稳定性能仿真.....	15
5 预采样 VREFLO.....	19
5.1 VREFLO 采样概念.....	19
5.2 VREFLO 采样方法误差的属性.....	20
5.3 增益误差补偿.....	20
5.4 VREFLO 采样设计流程.....	21
5.5 讨论 VREFLO 采样序列.....	22
6 总结.....	23
7 参考文献.....	23
8 修订历史记录.....	23

插图清单

图 2-1. ADC S+H 电容器的趋稳.....	5
图 2-2. 两次转换之间保持 C_H 的采样序列.....	6
图 2-3. 两次转换之间 C_H 放电的采样序列.....	6
图 2-4. 多路复用采样序列.....	7
图 3-1. 示例系统时序.....	8

图 3-2. V2 的示例系统原理图.....	9
图 3-3. 具有 100ns S+H 的 V2 电路的趋稳仿真.....	11
图 3-4. 示例系统存储器串扰.....	12
图 4-1. 专用 ADC 方法的时序.....	13
图 4-2. 专用 ADC 上 V2 的仿真原理图.....	14
图 4-3. 专用 ADC 上 V2 电路的趋稳仿真.....	15
图 4-4. 专用 ADC 的交流仿真原理图.....	16
图 4-5. 60Hz 交流输入的趋稳仿真.....	17
图 4-6. 6kHz 交流输入的趋稳仿真.....	18
图 5-1. VREFLO 采样方法的时序.....	19
图 5-2. VREFLO 采样仿真原理图.....	20
图 5-3. 所有通道的 VREFLO 采样时序.....	22

表格清单

表 3-1. V2 电路的稳定时间.....	10
表 5-1. 采样电压与具有 VREFLO 串扰的 Vin 间的关系.....	20

商标

C2000™ and TINA-TI™ are trademarks of Texas Instruments.

PSPICE® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

1 引言

正确设计和评估驱动 ADC 输入的信号调节电路是确保良好 ADC 性能的关键步骤。首先要考虑的是稳定性能：驱动 ADC 输入的电路能否在分配的 S+H 时间内将 ADC 的采样保持 (S+H) 电路充电到要检测的电压的可接受容差范围内？否则，检测到的电压将会有一些误差。此外，在 ADC 通过多个要采样的多路复用输入进行扫描的系统中（实时控制应用中的常见用例），此误差将显示为存储器串扰：采样序列中上一次转换的值将影响在 S+H 稳定不足时采样的信号所对应的结果。

1.1 存储器串扰挑战

由于存储器串扰的性质，误差可能表现为系统性（如果上一个转换结果与出现该误差的转换结果相关）或随机的（如果上一个转换结果相对于出现串扰的信号异步变化）。如果上一次转换的通道变化不是很快，那么该误差也可能表现为恒定。

由于该误差可能以多种不同的方式表现出来，因此很难在系统中进行诊断。此外，很难对存储器串扰进行补偿：过采样和求平均值在减小幅度方面不是很有效，因为该误差不是完全随机的，但该误差通常也不足以像固定增益或偏移误差一样系统地进行校准。

1.2 信号调节电路设计资源

由于存储器串扰误差很难识别且难以解决，因此在设计 ADC 驱动电路时应注意确保良好的稳定性能。此外，在实时控制系统中观察到未知 ADC 性能问题时，首先要做的检查之一是评估输入趋稳。

值得庆幸的是，有许多很好的资源可帮助设计和评估 ADC 驱动电路来确保 C2000 MCU S+H 的稳定性能：

1.2.1 TI 精密实验室 - SAR ADC 输入驱动器设计系列

TI 高精度实验室提供了一个由七个部分组成的出色视频系列，该视频系列演示了如何设计 SAR ADC 的输入驱动器。

视频培训系列链接：[TI 高精度实验室 - SAR ADC 输入驱动器设计](#)

1.2.2 模拟工程师计算器

模拟工程师的计算器工具提供了各种非常有用的基于 GUI 的计算选项卡，可协助完成常见的模拟电路设计任务。TI 高精度实验室方法利用“Data Converters”→“ADC SAR Drive”计算器。

工具文件夹链接：[模拟工程师计算器](#)

1.2.3 相关应用报告

TI 提供了多个与 C2000 实时 MCU 器件上 ADC 输入电路的设计和评估相关的应用报告。这些应用报告与简要说明一起列出。

应用报告标题	原理图捕获和仿真工具	用途
C2000 MCU 的 ADC 输入电路评估 (TINA-TI)	TINA-TI	介绍了如何设计和评估传统高速 ADC 驱动电路。输入电路包含一个运算放大器。适用于在 ADC 的最大采样率附近对高带宽信号进行采样。
C2000 MCU 的 ADC 输入电路评估 (PSpice for TI)	PSpice for TI	
C2000 ADC 的电荷共享驱动电路 (TINA-TI)	TINA-TI	介绍了如何设计和评估电荷共享 ADC 驱动电路。输入电路可能包含也可能不包含运算放大器。适用于对带宽和采样率足够低的信号进行采样。
C2000 ADC 的电荷共享驱动电路 (PSpice for TI)	PSpice for TI	
缓解 ADC 存储器串扰的方法	TINA-TI	介绍了在输入电路设计未实现足够稳定时减少存储器串扰误差的策略。适用于特殊情况。

1.2.4 TINA-TI 基于 SPICE 的模拟仿真程序

TI 为 TI 客户提供 TINA-TI™ 应用程序，以便轻松对利用 TI 产品的电路进行基于 SPICE 的仿真。TI 高精度实验室输入趋稳设计方法使用 TINA-TI 来执行大量仿真，从而优化和验证输入电路设计以实现适当的趋稳。

工具文件夹链接：[TINA-TI](#)

1.2.5 PSpice for TI

TI 还提供了 PSpice® for TI 工具，来支持对利用 TI 产品的电路进行基于 SPICE 的仿真。如果需要，可以将其用作 TINA-TI 的替代方案来进行输入趋稳仿真。

工具文件夹链接：[PSpice for TI](#)

1.2.6 C2000 MCU 的 ADC 输入电路评估

[C2000 MCU 的 ADC 输入电路评估](#) 专门针对 C2000 系列 MCU 调整了 TI 高精度实验室 SAR ADC 输入驱动器视频系列。除了 C2000 特有的输入电路设计和评估方法外，还包含许多 C2000 器件的预制 TINA-TI 模型。

1.2.7 C2000 ADC 的电荷共享驱动电路

[C2000 ADC 的电荷共享驱动电路](#) 提供了另一种 ADC 输入驱动电路设计方法。电荷共享方法使用更大的输入电容器来消除输入设计中对高速驱动运算放大器的需求。这种简化的代价是电荷共享设计支持较低的 ADC 采样率和较低的信号带宽。

2 ADC 输入趋稳综述

以下各节讨论了评估 ADC 中输入趋稳的需求，以及在未实现适当输入趋稳时可能出现的误差。

2.1 ADC 输入趋稳的机制

要将检测到的模拟电压转换为数字转换结果，ADC 必须首先准确地将施加的输入电压捕获到其采样保持电路 (S+H) 中。如图 2-1 所示，这需要在配置的采集窗口时间 (也称为 S+H 时间) 内，将内部 ADC S+H 电容器 (C_H) 充电至所施加电压的某个可接受容差 (通常为 0.5LSB) 范围内。

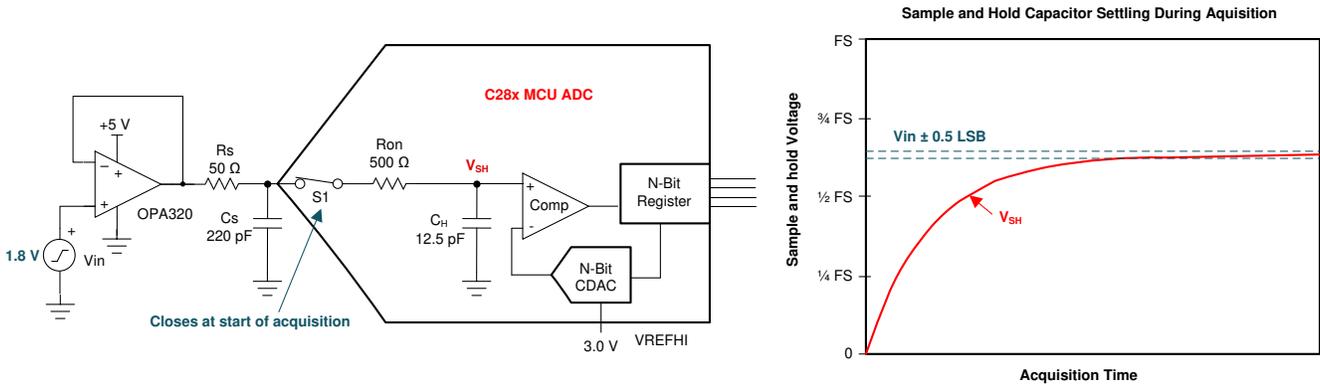


图 2-1. ADC S+H 电容器的趋稳

考虑到外部 ADC 驱动器电路的有限带宽和稳定时间以及内部 ADC S+H 电路的稳定时间，快速将 C_H 充电至所施加电压的过程会变得复杂。在图 2-1 中，驱动器显示为具有有限带宽的运算放大器 (OPA320)，驱动器电路也有意放置了源电阻 (R_s) 并有意放置了源电容 (C_s)，其有限的稳定时间由 RC 时间常数决定。请注意，其他电路拓扑可用于驱动 ADC，这些电路可能具有额外的元件，需要对这些元件进行建模以确保适当的稳定时间。这些元件可能包括无意寄生效应，例如传感器的输出阻抗或分压器的有效源电阻。从图 2-1 还可以看到，ADC 具有内部寄生开关电阻 (R_{on})。这与 C_H 一起提供了一个会限制稳定速度的额外 RC 时间常数。

2.2 稳定不足的症状

一旦将电压捕获到 S+H 电容器中，ADC 就会在转换阶段将该电压转换为数字转换结果。然后，CPU 可以使用该结果来控制或监测系统。但是，如果由于稳定误差而导致捕获的电压不能准确地表示施加的电压，那么即使 ADC 转换过程一切顺利，最终转换结果也会存在误差。

这些稳定误差的表现形式各不相同，具体取决于 ADC 是重复对同一通道进行采样还是按顺序扫描多个通道。稳定误差的表现形式也会因采集阶段开始时 S+H 电容器上的起始电压而有所不同。一些 ADC 架构实现方案的起始 S+H 电压接近上一次采样的电压，而另一些架构通常在采集阶段开始时使用已经过放电的 S+H 电容器。

2.2.1 失真

在 ADC 对同一信号重复采样的情况下，建立误差通常表现为输入信号失真。在 S+H 电压开始接近上一次采样电压的架构中，输入信号的缓慢移动部分比快速移动部分的建立效果更佳。图 2-2 展示了一种架构，其中序列采样从上一次转换中采样和保持的电压开始建立。

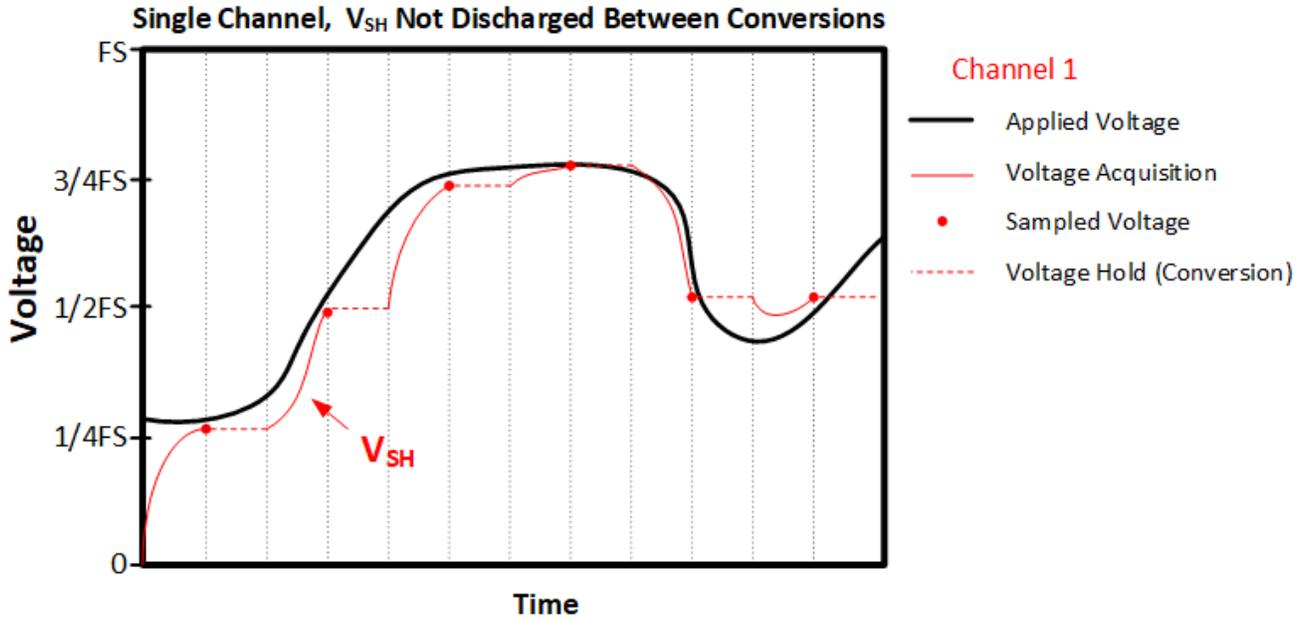


图 2-2. 两次转换之间保持 C_H 的采样序列

对于 S+H 电容器在放电状态下开始每个采集阶段的架构，较高输入电压的建立性能较差，从而导致信号调节失真。图 2-3 展示了一种架构，其中序列采样总是从接近零标度的地方开始建立。

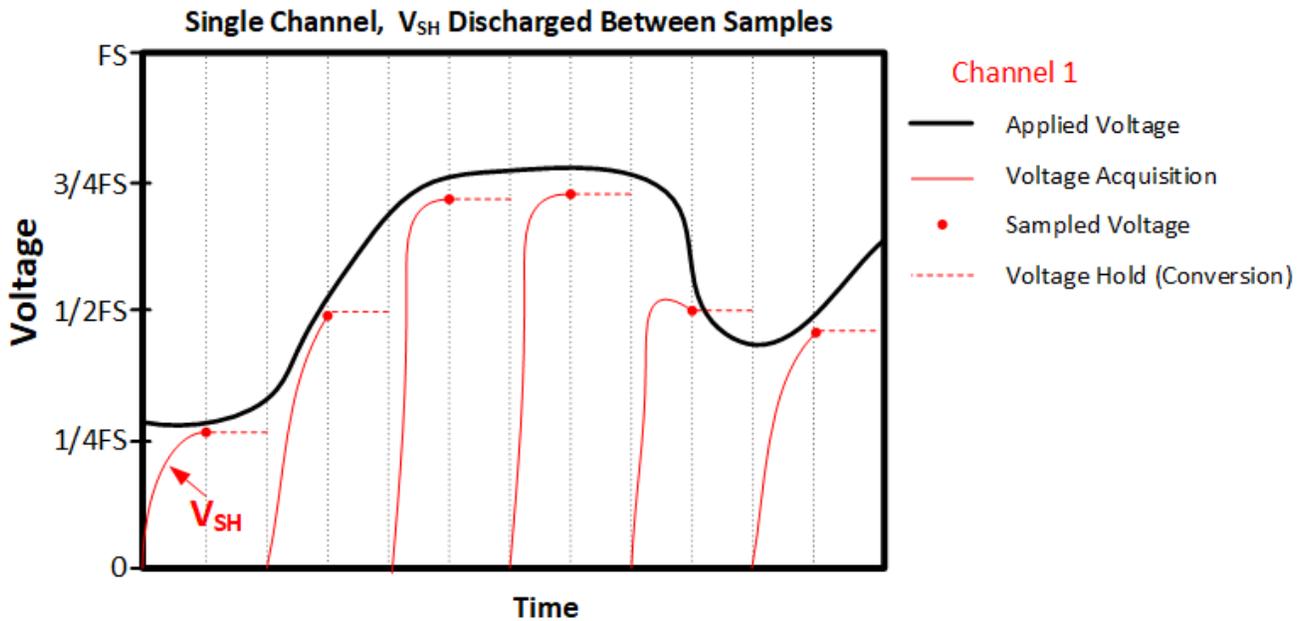


图 2-3. 两次转换之间 C_H 放电的采样序列

2.2.2 存储器串扰

在许多 C2000 实时 MCU 应用中，一个典型的用例是使用 ADC 输入多路复用器按顺序扫描多个通道。如果转换后的通道建立不适当，该通道可能会被拉至序列中上一次转换的电压。发生这种情况是因为 S+H 电压在开始时接近上一次转换的电压，然后稳定至（但未达到）所施加的电压。上一次转换会导致发生一系列影响当前转换的转换，这种倾向称为存储器串扰。通常可以通过适当的建立设计来完全缓解存储器串扰问题。

图 2-4 说明了这样一种情况：共用采样保持必须在两个不同的多路复用输入信号之间来回建立。

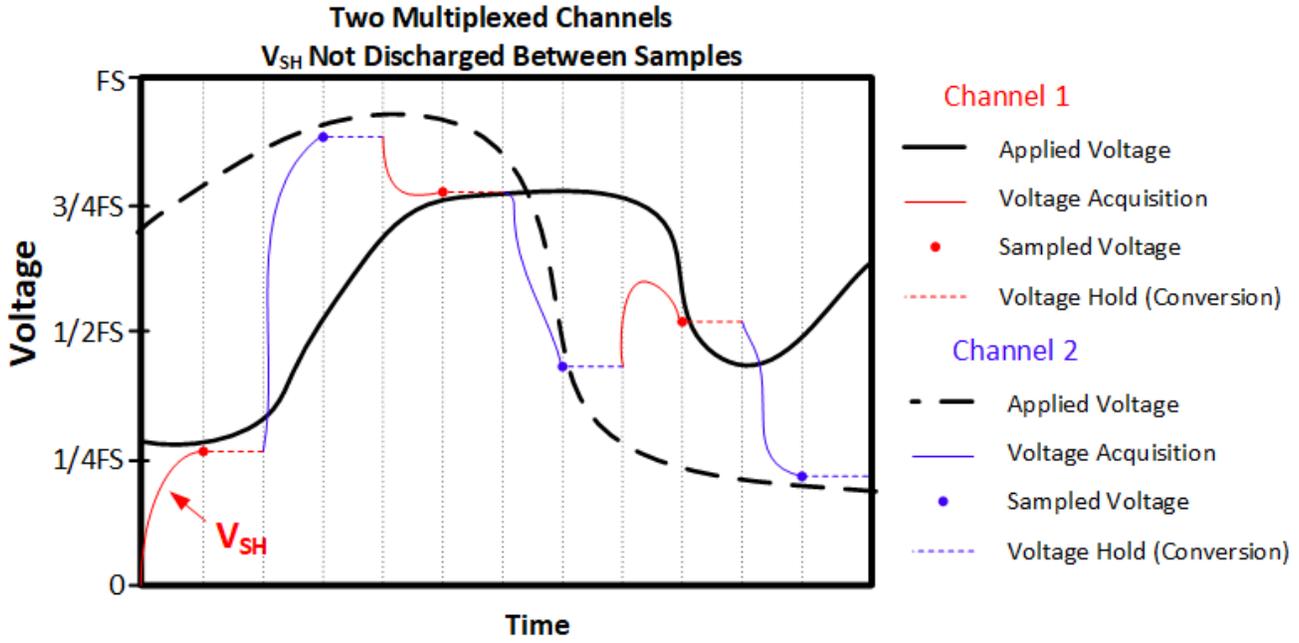


图 2-4. 多路复用采样序列

从 S+H 电容器完全放电开始的转换器架构通常不会经历显著的存储器串扰（但如果 ADC 驱动电路不适合分配的采集时间，仍会经历与输入建立相关的失真）。

2.2.3 精度

输入建立不适当而引入的误差通常无法通过过采样和取平均值来校准或减少。因此，即使检测到的输入信号是低频甚至是直流信号，关注绝对采样精度的应用也需要确保适当的 ADC 输入建立。

2.3 C2000 ADC 架构

C2000 实时 MCU ADC 通常先将 S+H 电容器预充电至接近上一个转换结果的电压。例外情况是 ADC 支持差分信号但在单端模式下运行。在这种情况下，当上一次在偶数通道转换而当前通道为奇数通道时，S+H 电容器会开始放电，反之亦然。例如，如果在 A3 之后对通道 A4 进行采样（或者相反），则 S+H 电容器会开始放电，但在通道 A2 之后对通道 A4 进行采样或在通道 A3 之后对通道 A1 进行采样时，开始接近上一次转换的电压。

3 问题说明

以下各节介绍并分析了一个存在 **S+H** 稳定性问题的电路。虽然这个信号调节电路肯定能够通过硬件重新设计来实现良好的稳定性能，但是在某些情况下，工程师需要按原样处理此类电路。这包括其他设计限制导致无法进一步优化（例如成本或印刷电路板面积限制导致无法添加运算放大器等附加电路），或需要连接无法支持重大硬件更改的现有电路。

3.1 示例系统

假设一个具有以下 ADC 参数的系统：

- F280049 C2000 MCU 以 12 位外部基准模式工作
- ADC 由 100kHz ePWM 触发源 (ePWM1 SOCA) 驱动
- 使用了两个 ADC：ADCA 和 ADCB
- 要转换四个电压：V1 到 V4
- V1 和 V2 分配给 ADCA，V3 和 V4 分配给 ADCB

图 3-1 提供了示例系统的时序图。

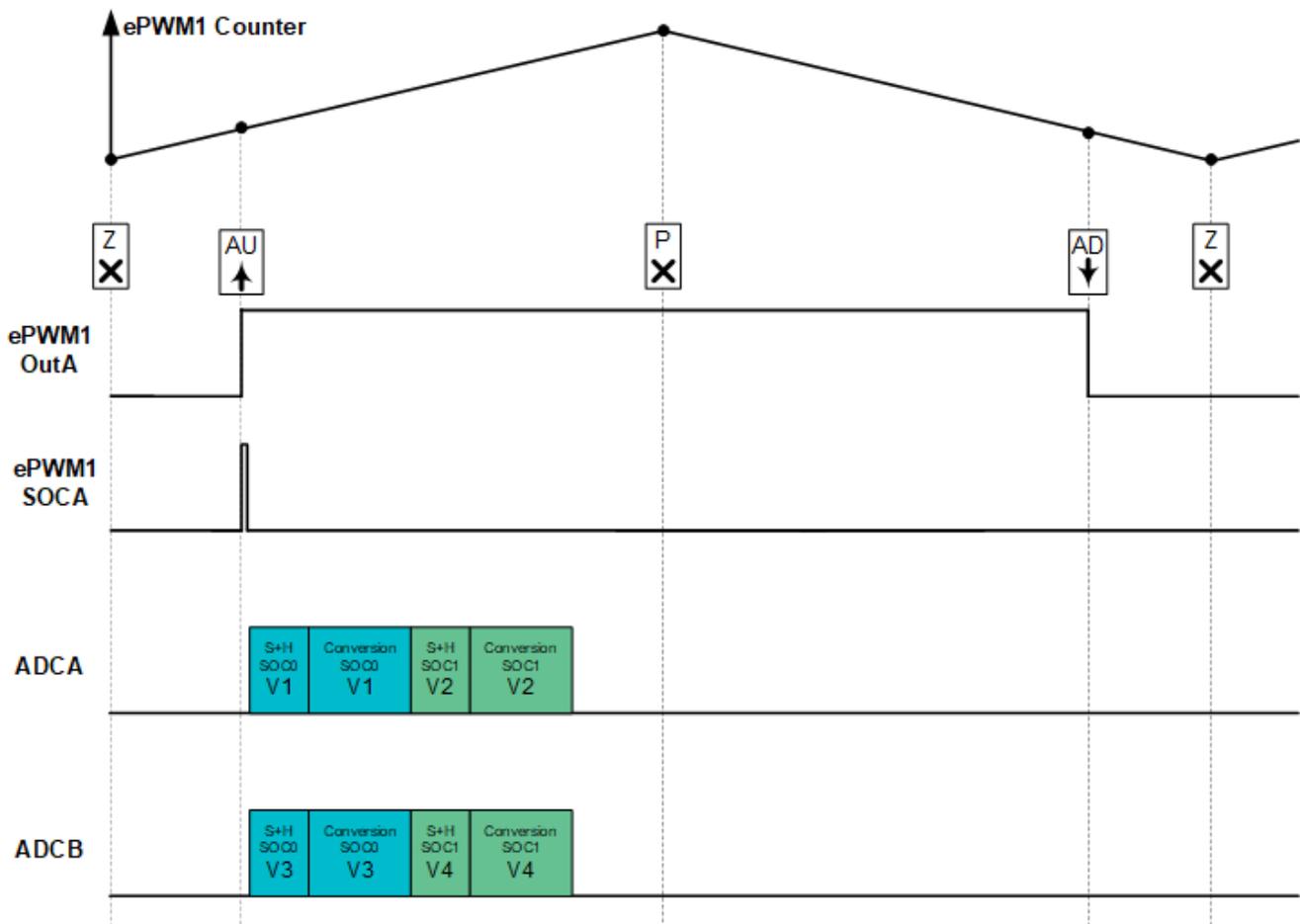


图 3-1. 示例系统时序

此外，假设 V2 是一个高压检测电路，它使用由 $1\text{M}\Omega$ 和 $7.5\text{k}\Omega$ 电阻器组成的分压器来将 400V 信号下调至与 ADC 兼容的 3.0V 范围。分压器直接驱动 ADC 输入（输入端中没有运算放大器进行缓冲），并且外部电容器已选为 250pF 。图 3-2 展示了这个电路的原理图。

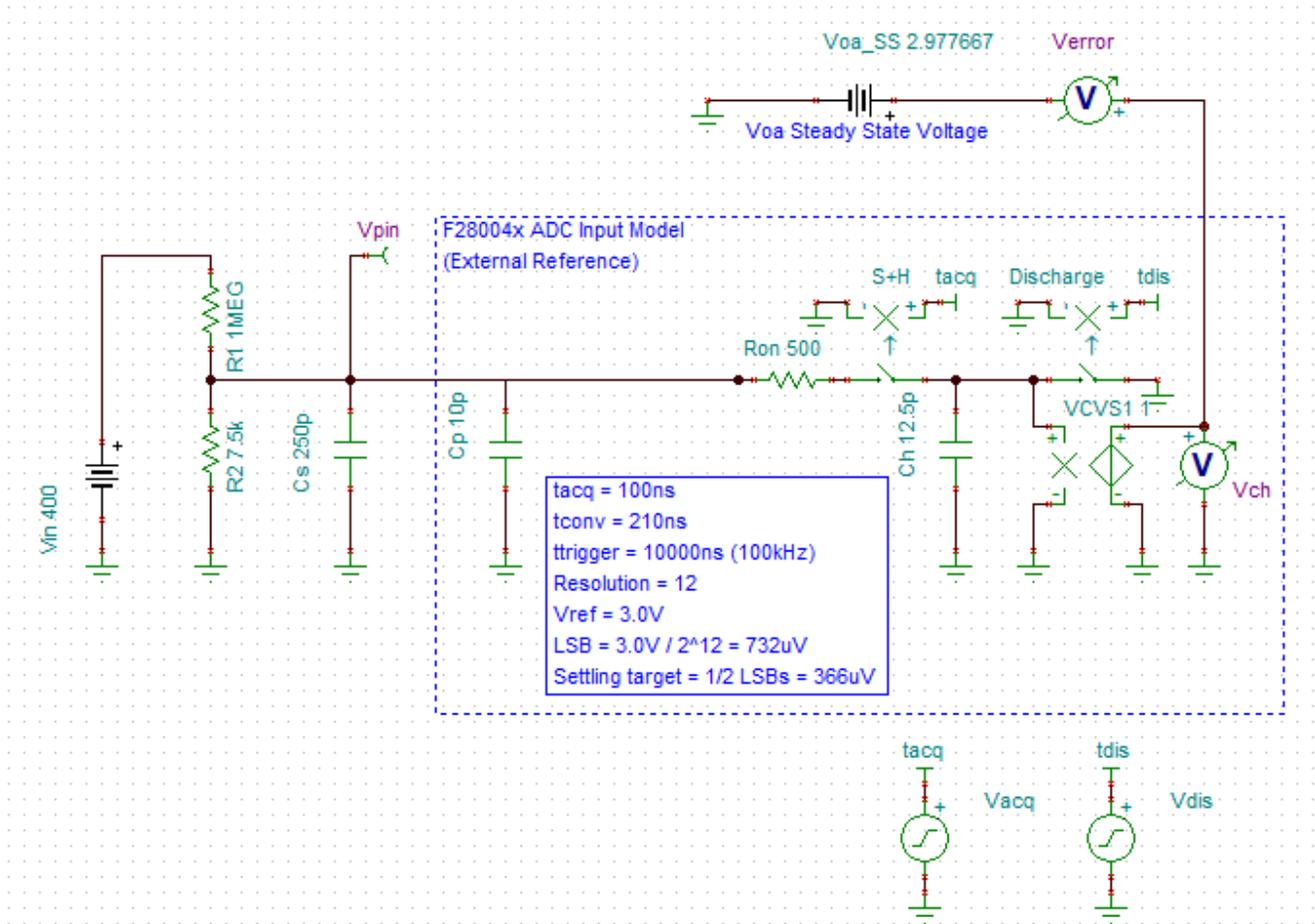


图 3-2. V2 的示例系统原理图

如后续各节所示，很难选择一个足够长的 S+H 持续时间来使该电路实现可接受的稳定性能，并且 100kHz 的采样率也太高，无法支持电荷共享输入设计。因此，需要使用其他方法来缓解本文档后面讨论的存储器串扰。

备注

要降低源阻抗（从而缩短稳定时间），一种简单方法是按比例缩小分压器中的两个电阻器。但是，这将增加流经电阻分压器的静态偏置电流。对于具有严格功耗要求的应用，之所以将源阻抗保持较高，原因之一可能就是因为不想增加此偏置电流。

3.2 S+H 趋稳分析

如 [C2000 ADC 的电荷共享驱动电路](#) 中所述，可以使用 RC 趋稳模型确定所需稳定时间的近似值。模型的时间常数由以下公式给出：

$$\tau = (R_s + R_{on}) \cdot C_H + R_s \cdot (C_s + C_p) \quad (1)$$

所需的时间常数数量可通过以下公式得出：

$$k = \ln \left(\frac{2^n}{\text{settling error}} \right) - \ln \left(\frac{C_s + C_p}{C_H} \right) \quad (2)$$

因此，总 S+H 时间应设置为大约：

$$t = k \cdot \tau \quad (3)$$

其中以下参数由器件特定数据手册中的 ADC 输入模型提供：

- n = ADC 分辨率 (以位数表示)
- R_{ON} = ADC 采样开关电阻 (以欧姆为单位)
- C_H = ADC 采样电容 (以 pF 为单位)
- C_p = ADC 通道寄生输入电容 (以 pF 为单位)

以下参数取决于应用设计：

- 稳定误差 = 可耐受的稳定误差 (以 LSB 为单位)
- R_s = ADC 驱动电路源阻抗 (以 Ω 为单位)
- C_s = ADC 输入引脚上的电容 (以 pF 为单位)

表 3-1 展示了使用 F280049 数据手册中的值和 C_s 250pF 计算得出的稳定时间。 R_s 设置为 7444 Ω ，这是由 1M Ω 和 7.5k Ω 电阻构成的分压器的有效阻抗 (1M Ω || 7.5k Ω)。

表 3-1. V2 电路的稳定时间

参数	示例 1
C_s	250 pF
C_H	12.5pF
C_p	10pF
R_s	7444 Ω
R_{ON}	500 Ω
n	12 位
稳定误差	0.5LSB
τ	1.96 μ s
k	6.015
稳定时间	11.8 μ s

此分析表明，要实现完整的 12 位稳定性能，需要 11.8 μ s 的稳定时间。遗憾的是，这远大于 F280049 器件中 ADC 可配置的最大 S+H 时间。此外，这甚至也长于 100kHz ePWM 触发源产生的 10 μ s 触发周期。如此长的 S+H 窗口所导致的延迟也可能对控制系统的性能产生非常不利的影响。总体而言，仅通过配置正确的 S+H 时间无法获得良好的稳定性能。

图 3-3 展示了将 S+H 时间设置为 100ns 时的图 3-2 仿真结果。这个时间远小于提供完整 12 位稳定性能预计所需的 11.8μs，但代表了在 100kHz 采样率和低延迟采样的情况下可以合理配置的时间。仿真展示了 100ns S+H 窗口后的稳定误差为 131mV，约为 ADC 3.0V 范围的 4%。考虑到理想的 12 位 ADC 能够解析 ADC 满量程范围大约 0.02% 的步进，这种性能非常差。

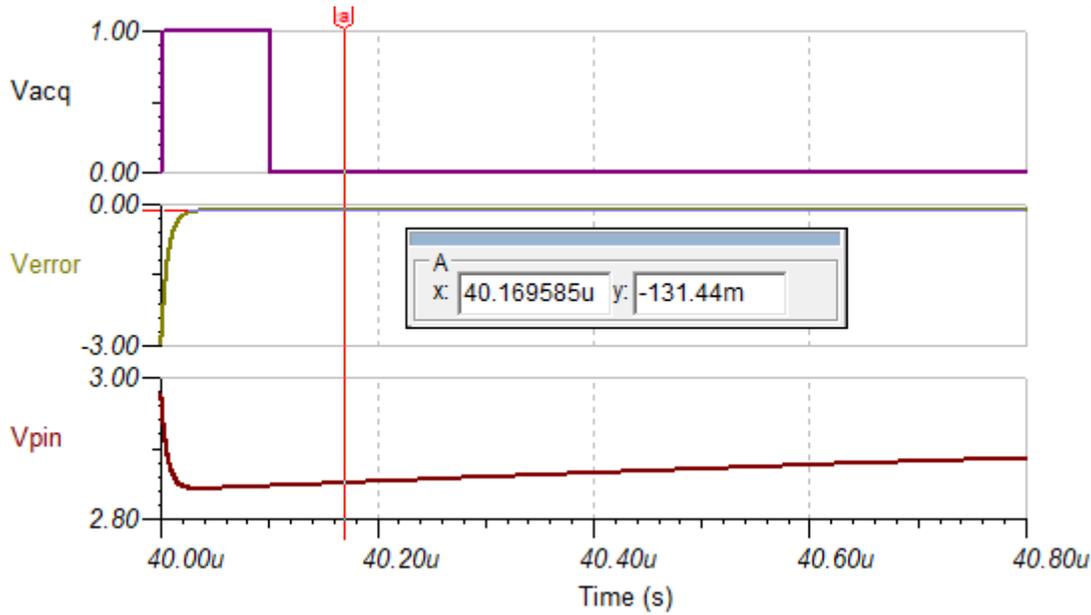


图 3-3. 具有 100ns S+H 的 V2 电路的趋稳仿真

3.3 电荷共享分析

上一节表明了在此示例电路中使用激进的 S+H 窗口会导致显著的稳定误差。另一种选择是研究增大 V2 引脚上的外部电容值并使用电荷共享设计是否可以提供一种可行的替代设计，只需对硬件稍加改动。

如 [C2000 ADC 的电荷共享驱动电路](#) 所示，电荷共享应用中的外部电容器应选择为：

$$C^S = (2^{N+2} \cdot C_H) - C_p \quad (4)$$

在这种情况下，由于 C_H 为 12.5pF 且 N 为 12 位，因此选择的 C_s 约为 200nF。

给定这个电容值后，可以使用 [方程式 5](#) 中显示的公式来计算最大可接受采样率：

$$f_s \leq 1 / (0.7 \cdot R_S C_S) \quad (5)$$

由于 C_s 为 200 nF 且 R_s 为 7444 Ω (分压器中 1MΩ 和 7.5kΩ 电阻器的并联组合)，此通道上的采样率 f_s 应保持在大约 960Hz 以下。由于采样率固定为 100kHz，因此电荷共享输入设计还在优化性能的工作参数与电路使用的实际参数之间存在较大脱节的问题。

3.4 问题总结

由于分压器具有较高的有效源阻抗并且该设计不使用运算放大器缓冲器来驱动 ADC 通道，因此电压 V2 将出现显著的 S+H 稳定误差。由于系统使用多路复用采样方案，在该方案中，ADCA 在每次收到触发信号时对 V2 之前的电压 V1 进行采样，因此该稳定误差将表现为从 V1 到 V2 的存储器串扰，如图 3-4 所示。这意味着当 V1 低于 V2 时，V2 的采样结果将被拉低，而当 V1 高于 V2 时，V2 的结果将被拉高。此外，如果 V1 和 V2 处于 ADC 输入范围的反极端，则该误差的幅度预计约为 130mV (如图 3-3 中的仿真所示)。

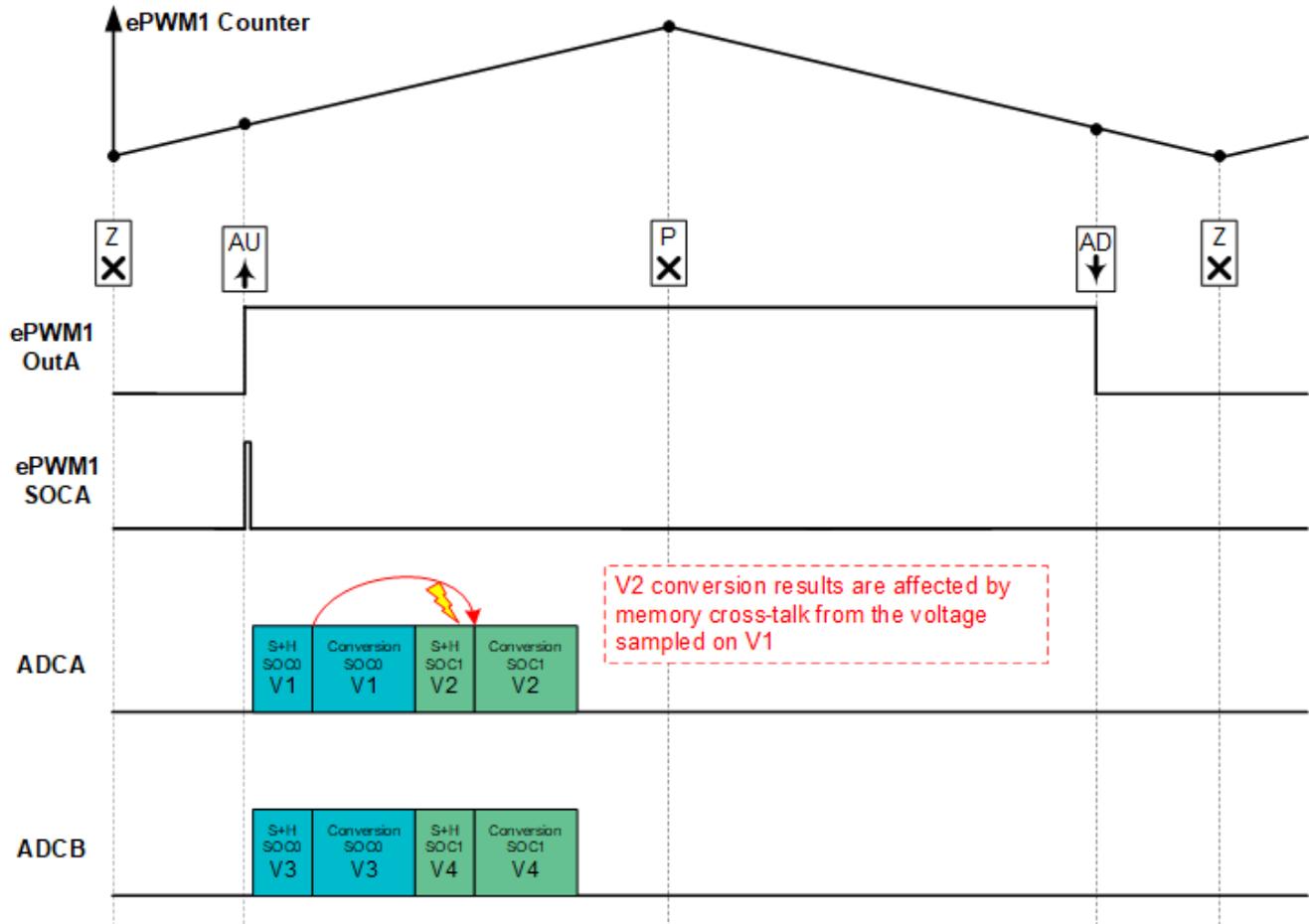


图 3-4. 示例系统存储器串扰

通常，由于系统对 V1 和 V2 独立的信号进行采样，V2 中引起的存储器串扰误差将不可预测地变化。这可能会导致系统性能不佳和不稳定。理想情况下，需要重新设计用于驱动 V2 的信号调节电路，以便确保良好的稳定性能，但由于额外的系统限制或使用固定的现有系统，这并非始终可行。节 4 和节 5 介绍了将存储器串扰误差转换为更系统性和更可预测形式的几种方法。

4 专用 ADC 采样

当稳定性较差的信号跟随多路复用采样序列中的另一个信号时，信号之间会发生存储器串扰。在具有多个 ADC、信号数量很少且稳定性较差的系统中，受影响的信号可以分配到各自的专用 ADC 模块中。这会来自不相关信号的存储器串扰替换为来自同一信号先前采样值的存储器串扰。

以下各节将更详细地介绍专用 ADC 采样策略，讨论此方法的优点和局限性，并提供通过仿真评估信号性能の説明。

4.1 专用 ADC 概念

节 3.1 所示的系统中使用了两个 ADC 对四个电压进行采样，其中只有一个电压具有较差的输入稳定性（电压 V2）。为两个 ADC 中的每一个分配两个信号时，处理四个电压的总延迟最短。但是，如果采样方案如图 4-1 所示重新排列，那么稳定性较差的信号（电压 V2）将收到一个专用的 ADC。

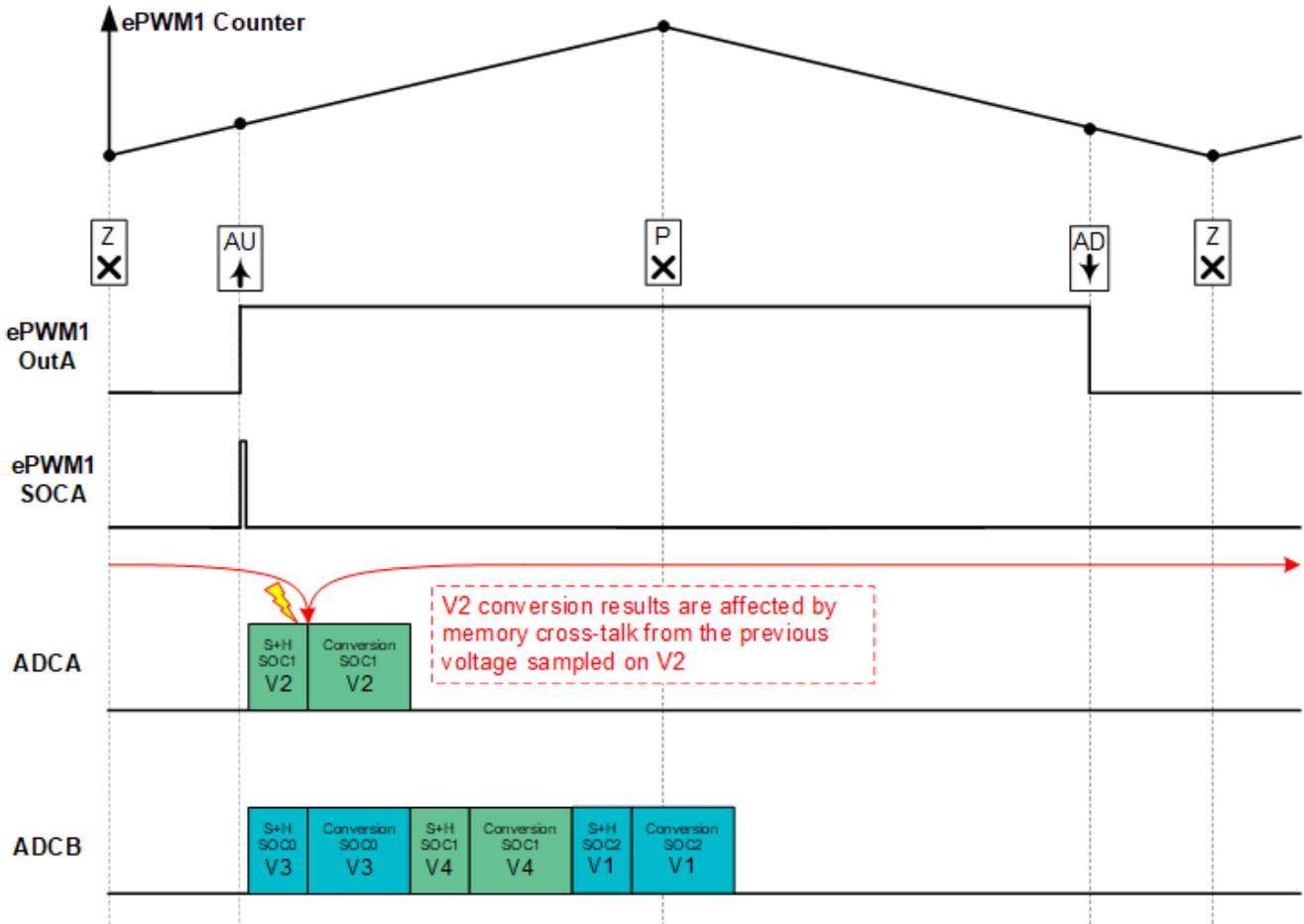


图 4-1. 专用 ADC 方法的时序

将受影响的信号隔离到单个 ADC 的主要好处是，存储器串扰误差现在源自同一信号的先前采样值。如果信号移动速度不是很快，S+H 电路将以接近当前输入电压的值启动。这大大缩短了输入稳定所需的距离，从而实现可接受的稳定性能。但是，如果输入电压中出现较大的阶跃，ADC 可能需要多次采样，才能赶上输入端的新值。因此，专用 ADC 策略通常更适合慢速信号或直流输入信号。然而，即使在信号速度较快的情况下，存储器串扰效应至少会变得系统化，与从不相关信号耦合到相关信号的存储器误差相比，这通常是一种改进。

当然，使用专门的 ADC 对单个输入信号进行采样会增加应用中剩余信号的处理延迟。例如，如图 4-1 所示重新排列信号后，生成最终 ADC 结果的延迟增加了 50%！（假定所有转换均配置为使用 ADC 等量的时间来处理。）

4.2 专用 ADC 的趋稳机制

图 4-2 展示了按专用 ADC 概念中所述重新排列示例系统后对前几个稳定周期进行仿真的设置。这里将使用 100ns S+H 窗口，该窗口比先前确定的正常条件 (11.8 μs) 下良好趋稳所需的时间短得多。请注意，输入模型中在采样之间对 S+H 电容器放电的部分已被移除，因此 C_H 将在采样之间保留其电荷。最后，请注意，仿真配置为 C_H 上的初始电压条件为 0V，而分压器输出电压接近满量程 (3.0V)。这将产生一个与满量程输入设置等效的仿真。

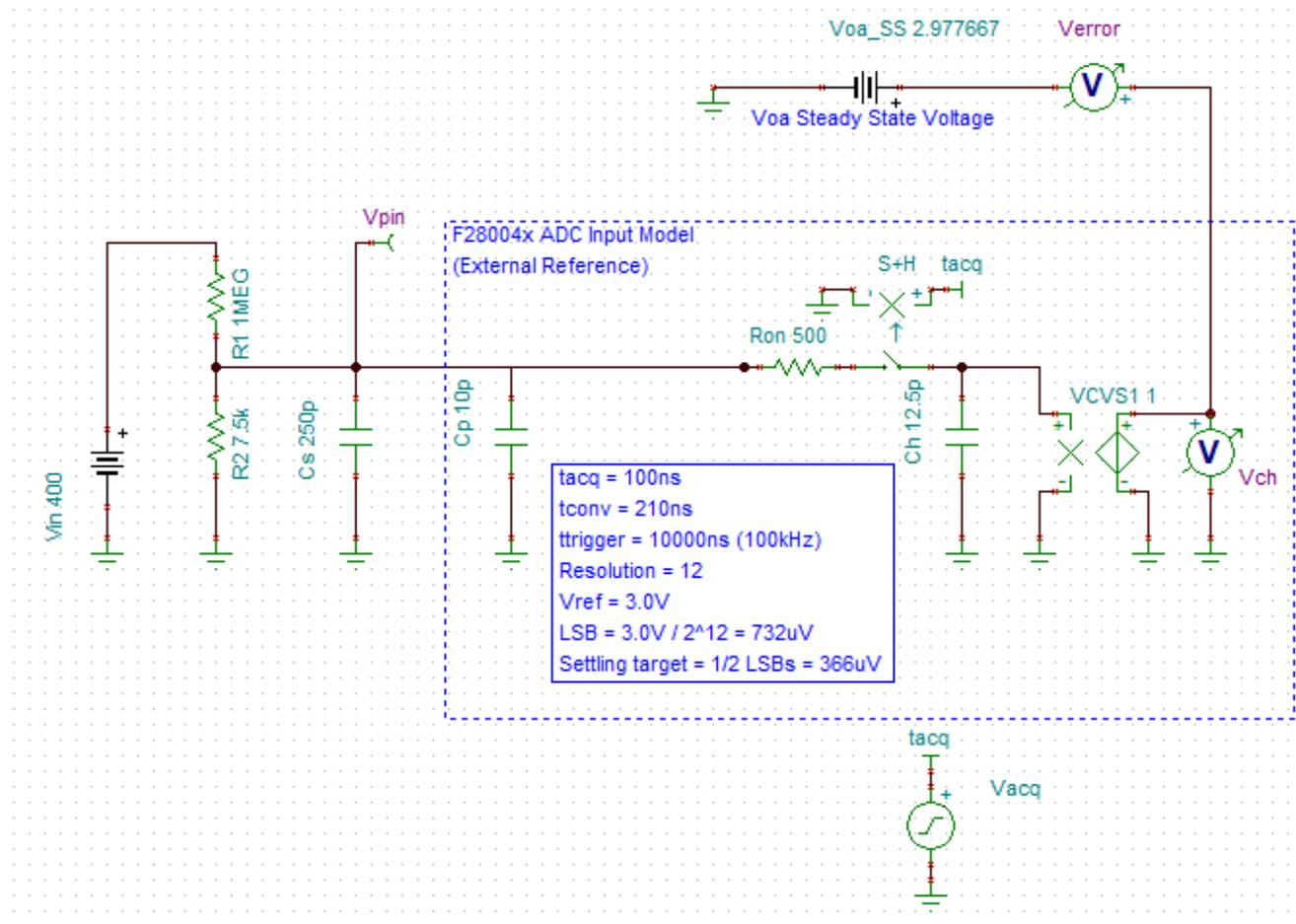


图 4-2. 专用 ADC 上 V2 的仿真原理图

运行 30μs 的瞬态仿真会得出如图 4-3 所示的结果。第一次采样后的稳定误差约为 100mV，随后在第二次和第三次采样后分别降至 5.4mV 和 0.27mV。由于 3.0V ADC 范围内的 1/2 LSB 趋稳约为 0.37mV，该系统最终在响应满量程阶跃响应时实现了良好的趋稳！不过，这需要三个采样周期 (30 μs)，并假定信号在阶跃响应后保持静止。

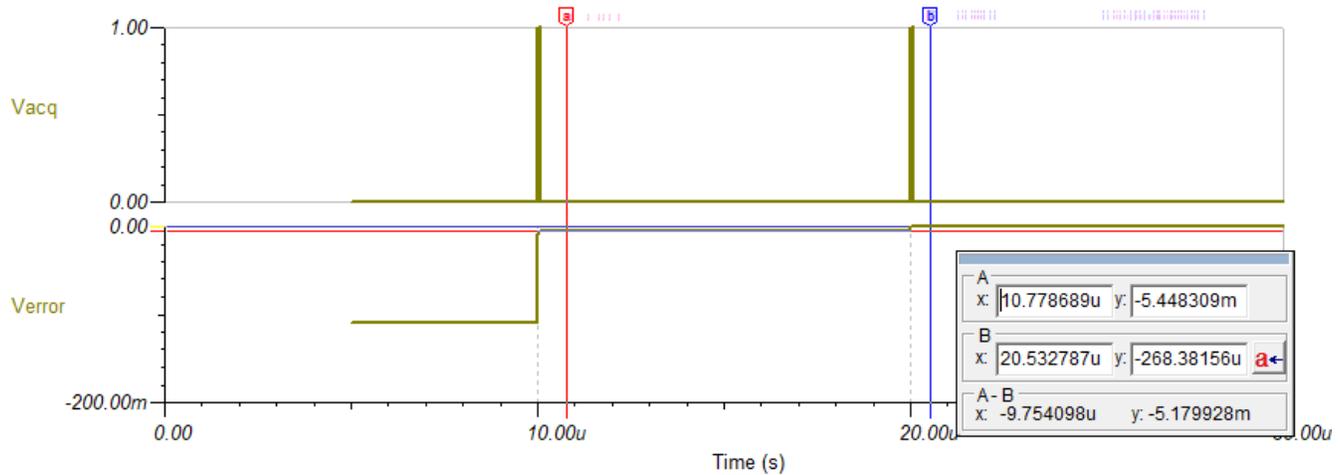


图 4-3. 专用 ADC 上 V2 电路的趋稳仿真

如需回顾此仿真的结构和运行仿真所需的方法，请参阅 [C2000 MCU 的 ADC 输入电路评估](#)。

这些结果非常有趣的是，对于该电路拓扑，预计稳定时间为 11.8 μs，但 ADC 仅在三次突发 100ns 时才会打开 S+H 窗口，从而导致总采样时间为 300ns。那么该电路如何实现良好的趋稳呢？

请注意，对于每个样本，误差会按比例缩小大约 20 倍。这对应于外部 ADC 输入电容 C_S (本例中为 250pF) 与内部 ADC S+H 电容 C_H (本例中为 12.5pF) 之比。当 S+H 首次打开时，这两个电容器会快速均衡，将 C_H 充电至 C_S 上输入电压的 95%。

4.3 专用 ADC 的设计流程

上一节演示了专用 ADC 配置中 S+H 电容 C_H 的几乎所有充电或放电都来自电荷均衡，因此 S+H 值可以使用接近 ADC 支持的最小值 (因为电荷均衡会在 S+H 窗口开始时快速发生)。此外，重新运行图 4-3 中的仿真，但逐渐增加 ADC 引脚上的电容值时，每个采样步骤中会逐渐获得更好的稳定性能 (未显示)。因此，通常需要尽可能地增加 C_S (如果可以在系统硬件中更改此值)，因为这将更大程度地提高稳定性能。但是，请注意，源阻抗 R_S 和 ADC 引脚电容 C_S 构成了一个低通滤波器。因此，需要限制 C_S 的大小，以便确保输入电路具有足够的带宽，而不会导致目标信号失真。

以下列表总结了这些设计决策：

- 将受到存储器串扰影响的信号隔离到专用 ADC
- S+H 窗口持续时间可以设置为 ADC 允许的最小值 (或任何其他有效的合适值)
- 如果可能，修改电路，尽可能地增加 C_S (ADC 引脚上的电容)，同时要注意输入电路带宽 ($BW_{R_S C_S}$) 需要足够大，以便电路可以检测输入信号中的相关频率。

$$BW_{R_S C_S} = 1 / (2\pi \cdot C_S \cdot R_S) \quad (6)$$

- (可选) 仿真目标频率下的稳定性能 (请参阅下一节)

4.4 专用 ADC 电路的稳定性能仿真

节 4.2 中就专用 ADC 设计对单输入步进响应提供了一个简单的仿真。但是，仿真也可用于评估使用交流电源时的稳定性能。这样可以研究稳定性能如何随输入频率的增加而变化。

在继续之前，先查看以下 TI 高精度实验室视频中介绍的交流输入仿真方法可能会有用：[最终 SAR ADC 驱动器仿真](#)。

图 4-4 展示了交流仿真的仿真设置。400V 直流输入源已替换为 400Vpp 正弦输入。顶部添加了一个与原始电路一样但减去了采样部分的电路。这对于生成一个可与采样电压进行比较的参考波形是必要的。如果直接使用输入源进行比较，则来自各种 R-C 组件的相位延迟会掩盖稳定误差。

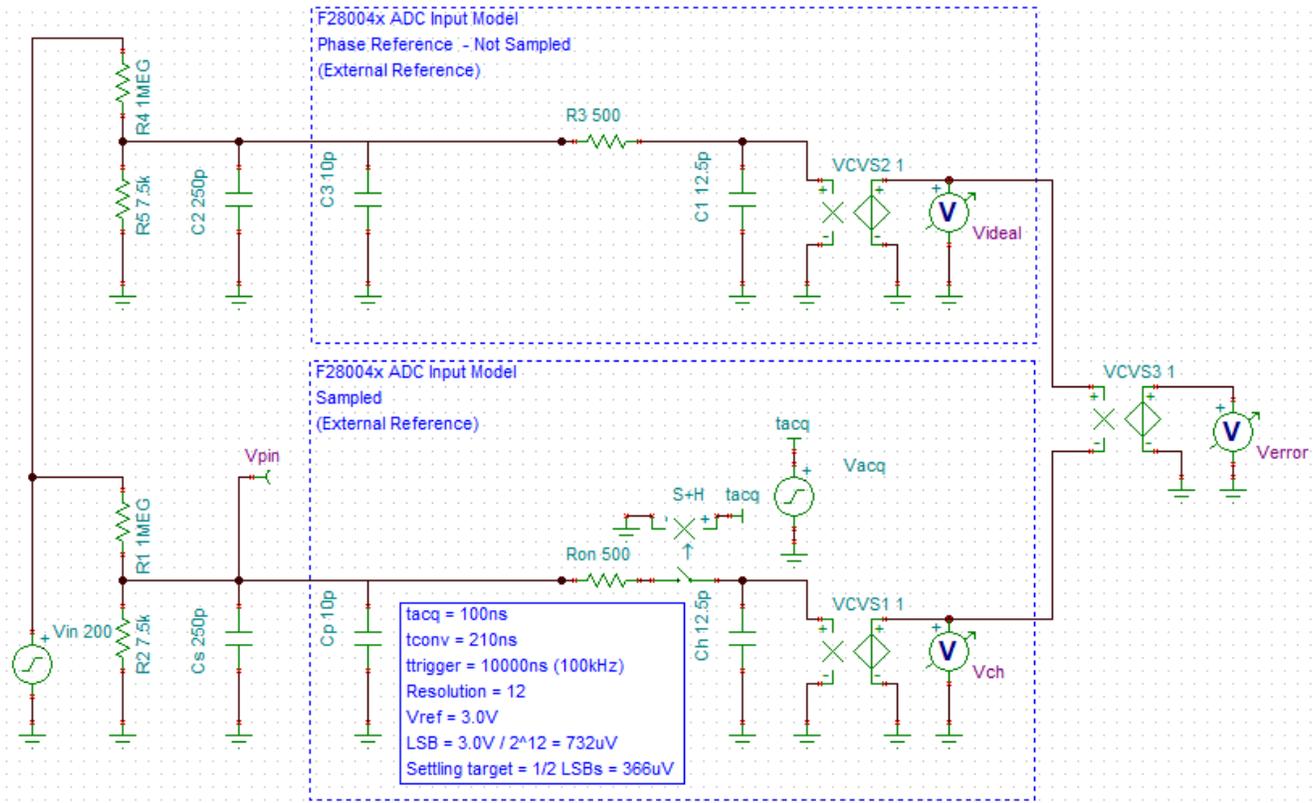


图 4-4. 专用 ADC 的交流仿真原理图

图 4-5 展示了在 1ms 内对许多样本进行 60Hz 交流输入仿真的结果。通过在正弦波上升时选择任意样本并检查误差波形，可以在 S+H 窗口结束时看到大约 0.2mV 的稳定误差。该稳定误差水平表示电路在 60Hz 输入条件下 (3.0V 范围内的 1/2 LSB 为 0.37mV) 实现了良好的稳定性。

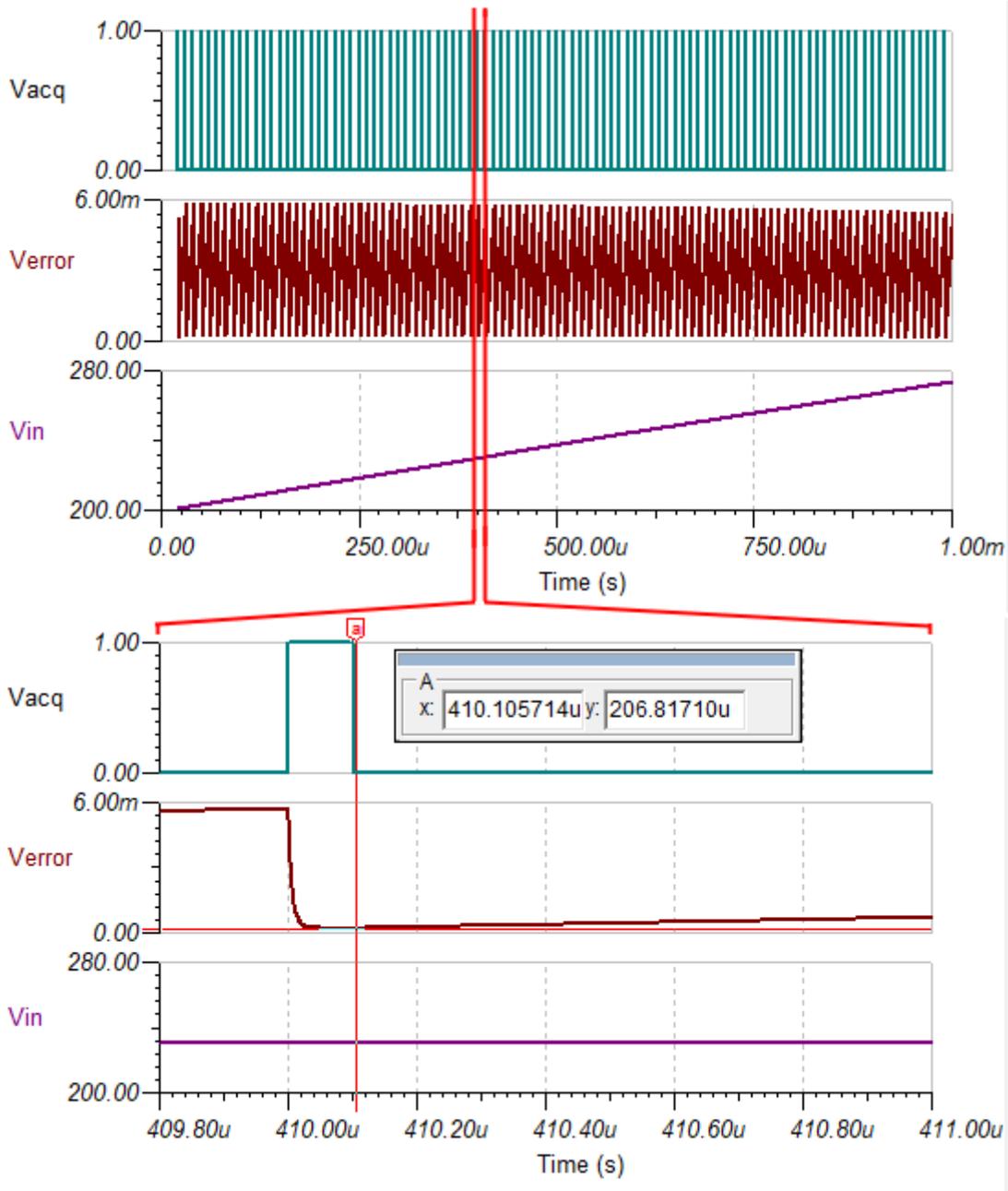


图 4-5. 60Hz 交流输入的趋稳仿真

与 60Hz 输入相比，图 4-6 展示了使用 6kHz 输入进行仿真的结果。在波形变小的同时，S+H 周期结束时的误差显示稳定误差约为 19mV，因此该电路在尝试跟踪更快的输入时表现不是很好。但请注意，增加外部 ADC 引脚电容 C_S 可以提高较快速度时的稳定性能。需要注意的是，要确保 C_S 不会太大，而导致 6kHz 输入会被由 C_S 和 R_S 组成的低通滤波器衰减。

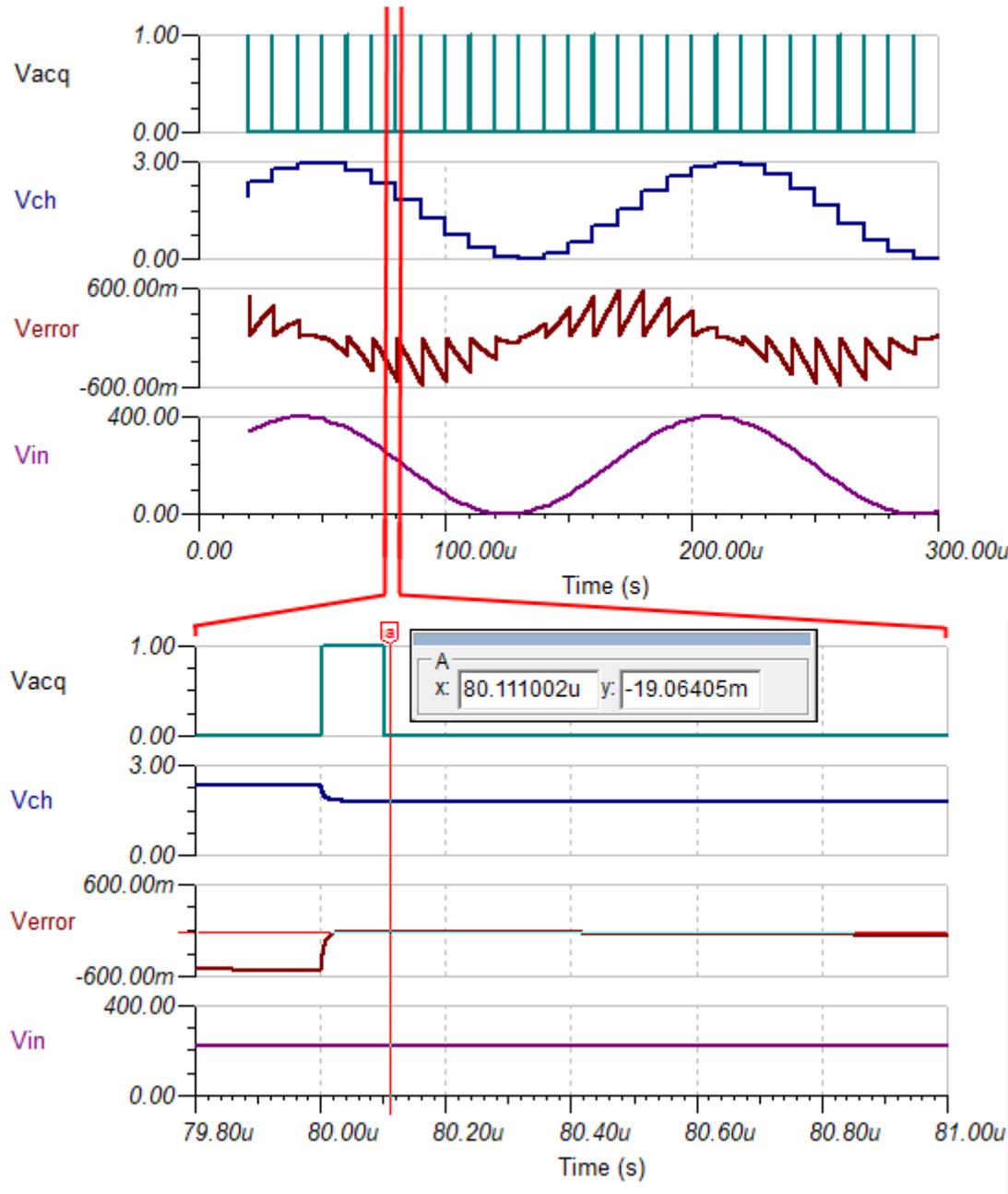


图 4-6. 6kHz 交流输入的趋稳仿真

稳定误差除了会随着 ADC 输入频率的增加而增加外，其需要注意的另一个重要属性是，与信号的慢速部分相比，输入信号的快速部分会导致误差增加。因此，稳定误差不会同等地影响输入正弦波的所有部分，从而导致采样波形失真。

5 预采样 VREFLO

要缓解存储器串扰，另一种策略是就在对稳定性能不佳的通道进行采样之前添加一个固定电压样本。这样导致的稳定误差至少是确定性误差。

由于几乎所有基于 C2000 的 MCU 都在 ADC 通道多路复用器中包含到 VREFLO (0V) 的内部连接，因此对 VREFLO 进行采样是对固定电压进行采样的一种方便有效的方式。因此，在出现存储器串扰的通道之间添加采样点，并在这些点上对内部 VREFLO 连接进行采样，是 C2000 MCU 器件上一种不错的存储器串扰缓解策略（假设无法重新设计 ADC 驱动电路以获得足够的稳定性能）。

后续几节将进一步介绍如何以及为何在正常转换之间将 VREFLO 样本插入采样点中来帮助减少存储器串扰。另外还将讨论系统稳定误差的量化，以及哪些方法可以进一步缓解由此产生的误差（增益误差补偿）。

5.1 VREFLO 采样概念

节 3.1 中提供了一种对四个电压进行采样的示例系统。其中一个电压 V2 稳定性能较差（由于使用分压器直接驱动 ADC 输入而导致源阻抗过高）。图 5-1 展示了采样方案的一种可能重组方式，其中在相关通道之前添加了一个 VREFLO（零量程）样本。这样做的结果是将来自电压 V1 的存储器串扰（可在任何时间接受任何电压的独立信号）替换为来自 VREFLO 的存储器串扰（稳定地产生串扰而将 V2 恰好拉至 0V）。

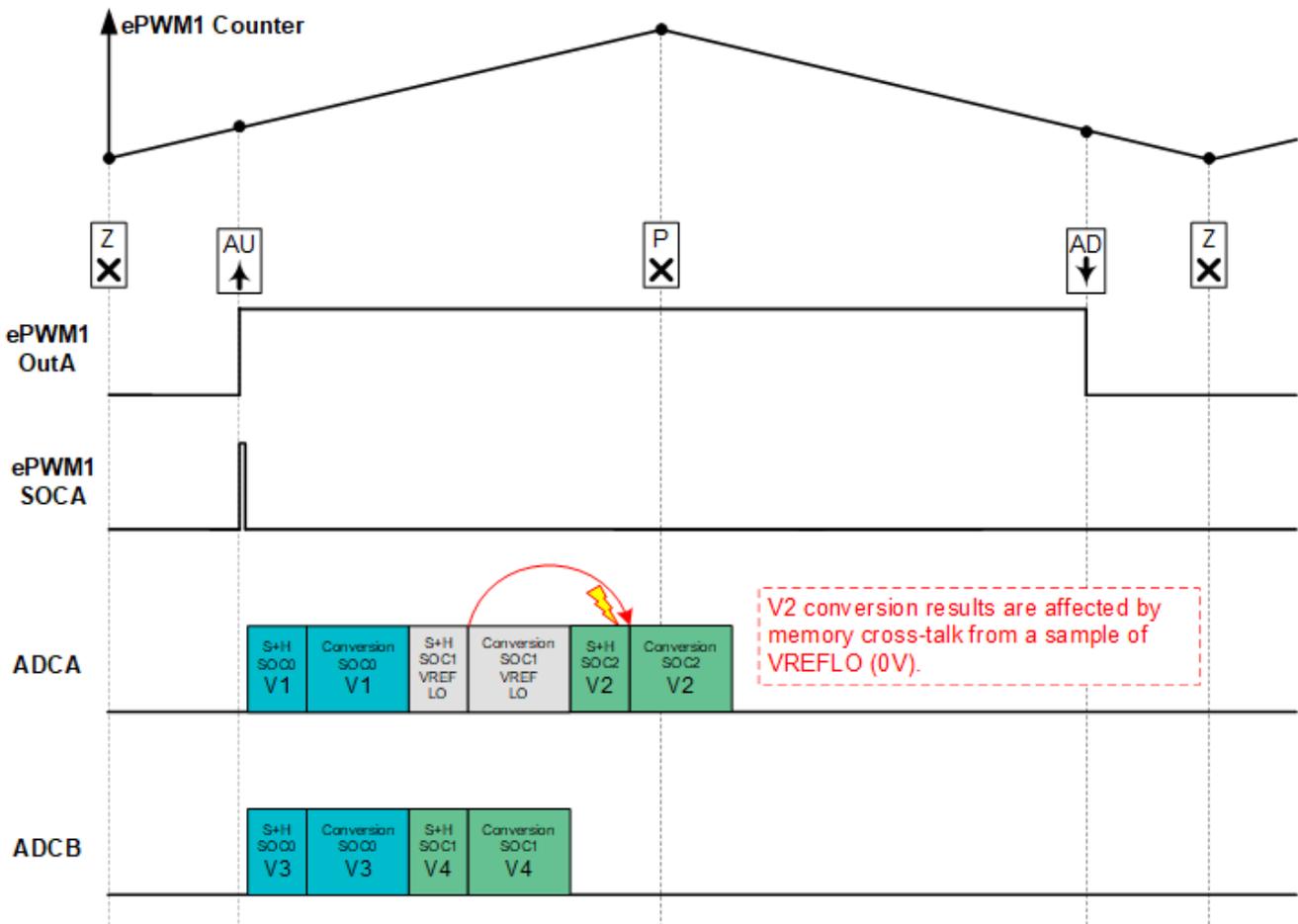


图 5-1. VREFLO 采样方法的时序

与单 ADC 方法不同，可以运用预采样 VREFLO 方法来处理同一 ADC 上的多个信号。这种方法仅受限于 ADC 包装器中可用于对额外转换进行排序的备用转换启动 (SOC) 结构数量（无需外部引脚）以及应用为处理 VREFLO 样本所能承受的额外延迟量。后面几节还将表明，对 ADC 结果进行轻度后处理也是可取的。执行此操作会增加一些额外的延迟，应用也需要吸收这些延迟。

5.2 VREFLO 采样方法误差的属性

对因 VREFLO 导致存储器串扰的电路进行仿真时，只需对 *C2000 MCU 的 ADC 输入电路评估* 中提供的标准 ADC 输入趋稳仿真进行极小的更改。默认设置已经强制施加正电压，而 S+H 电容器 CH 从 0V 的初始条件开始。

测量 VREFLO 稳定误差的仿真设置如图 5-2 所示。使用的 S+H 时间为 200ns。表 5-1 展示了针对某个输入电压范围仿真采样电压的结果。从最右侧的“采样电压误差 (%)”列可以看出，包括 VREFLO 串扰误差在内的采样电压表现为线性比例误差（增益误差）。

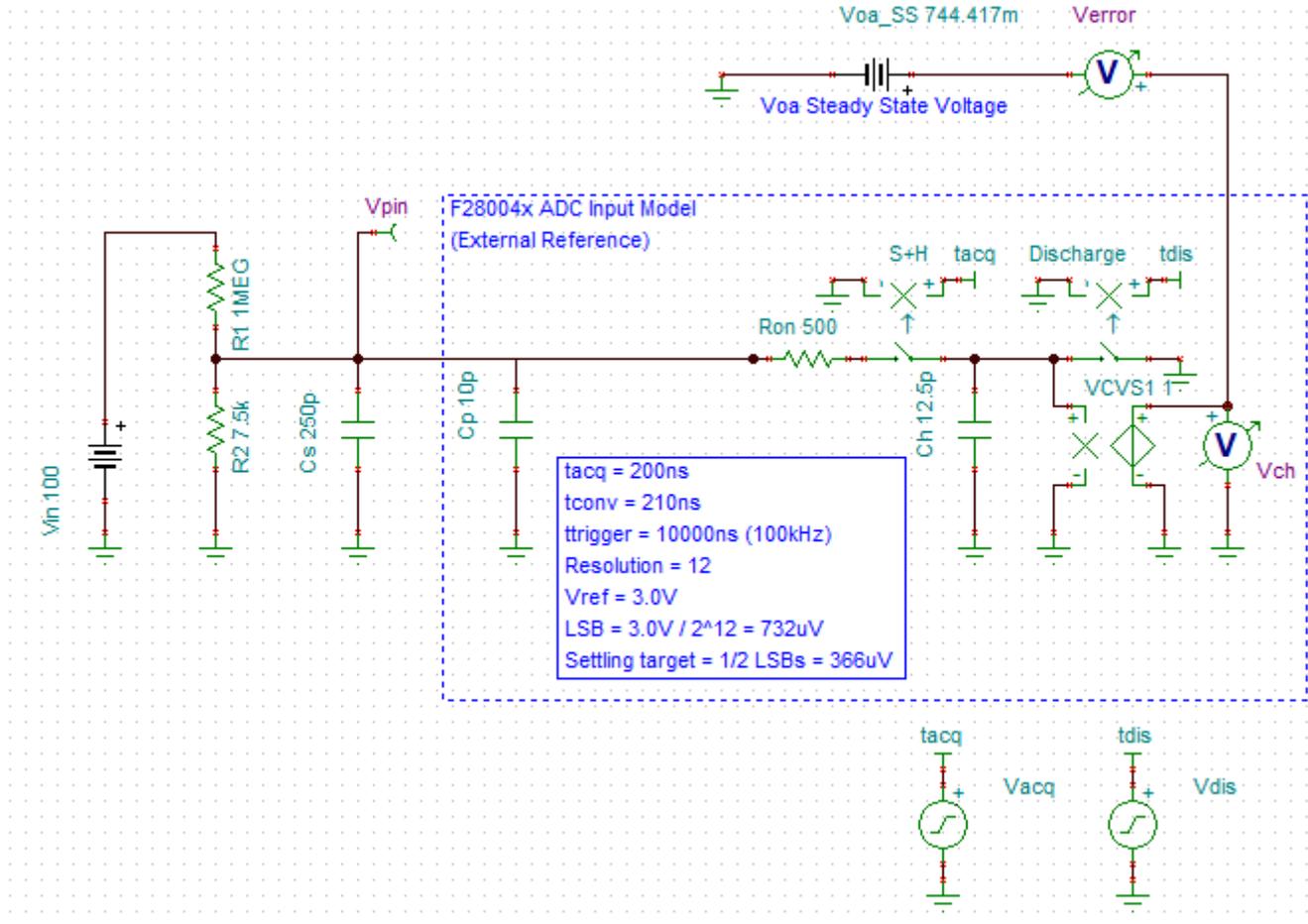


图 5-2. VREFLO 采样仿真原理图

表 5-1. 采样电压与具有 VREFLO 串扰的 Vin 间的关系

Vin	Vpin	采样电压	采样电压误差 (%)
400V	2.978	2.853	-4.39
300 V	2.233	2.139	-4.39
200V	1.489	1.426	-4.39
100V	0.744	0.713	-4.39

5.3 增益误差补偿

通过在稳定性不足的转换之前对 VREFLO 采样，可以将存储器串扰从另一个信号（这可能是不可预测的信号）转换为恒定、可预测的比例因子，如方程式 7 所示。但是，该示例中产生的增益误差超过 4%。这非常大，在确定该信号转换的总体精度时，可能是系统中的主要误差源。

为了减小 VREFLO 采样方法产生的增益误差，用户可以对 ADC 结果进行后处理。这需要对原始 ADC 结果执行简单的缩放（乘法）运算，来校正引入的增益误差。这可以在 CPU ISR 或 CLA 任务中完成，该任务通过执行以下简单操作来读取 ADC 结果：

$$V'_i = V_i \cdot C_i \quad (7)$$

其中：

- V_i = 受 VREFLO 采样影响的原始 ADC 结果
- V'_i = 补偿后的 ADC 结果
- C_i = 通道 i 的补偿系数

例如，如果稳定误差引起的相对误差为 -4.39%，则 C_i 为 $(1 - (-0.0439)) = 1.0439$ ，如果原始 ADC 结果为 2199，则补偿后的 ADC 结果将为 $2199 \cdot 1.0439 = 2295.5$ 。

5.3.1 确定补偿系数的方法

对于因 VREFLO 采样方法产生增益误差而需要补偿的每个通道，需要确定校准系数。有两种可能的方法来确定这些系数：

- 通过仿真确定系数

可通过与图 5-2 中相似的输入趋稳仿真来确定系数。确定稳定误差后，可以使用以下公式计算该系数

$$C_i = V_{in} / (V_{in} - \text{settling error}) \quad (8)$$

- 通过系统内校准确定系数

可以直接在最终应用中测量趋稳引起的增益误差，而无需在仿真中测量输入和输出电压。向通道施加一个已知的直流电压，然后通过 ADC 进行采样。与预期值的任何偏差都假定为存储器串扰引起的稳定误差。使用方程式 8 计算系数。

如果已经为最终应用计划了系统增益校准，可以将对 VREFLO 采样方法所引起增益误差的补偿吸收到现有的校准方案中（只需要一个系数）。

5.4 VREFLO 采样设计流程

当将 ADC 配置为使用 VREFLO 样本来缓解存储器串扰问题时，需要做出几个决策。对于所选的 S+H 持续时间，需要选择两个值：通道采样 VREFLO 的 S+H 持续时间和目标信号采样通道的 S+H 持续时间。通道采样 VREFLO 可以使用 ADC 允许的最小 S+H 窗口，但需要注意为目标通道选择 S+H。所选 S+H 产生的稳定误差越大，需要从系统中补偿的增益误差就越大。一般而言，该增益误差的幅度应保持在合理的水平，因为值越大，对元件容差越敏感。此外，增益误差引起的输入信号衰减可能会导致应用使用的 ADC 输入范围变小，从而减小信号的动态范围。出于这些原因，建议选择 S+H，以便使增益误差小于 ADC 满量程范围的约 5%（即使校准应该能够消除大部分此误差）。

确定选择 S+H 持续时间的方法后，用户可以获得使用 VREFLO 预采样方法设计系统所需的所有信息。用户应遵循以下步骤：

- 向 ADC 采样序列中添加额外的 SOC 并配置这些 SOC，以便使用允许的最小 S+H 窗口持续时间（或另一个方便有效的 S+H 持续时间）对与 VREFLO 的内部连接进行采样
- 对不同 S+H 持续时间的稳定误差进行仿真，以便确定一个使得稳定误差小于 ADC 满量程范围大约 5% 的 S+H 持续时间
- 通过 (1) 稳定误差仿真或 (2) 直接测量稳定误差来确定受益于 VREFLO 采样方法的每个通道的补偿系数。确定稳定误差后，系数 C_i 由以下公式给出，其中 V_{in} 是施加到系统或仿真的输入电压。

$$C_i = V_{in} / (V_{in} - \text{settling error}) \quad (9)$$

- 使用时应向 CPU ISR 或 CLA 任务添加补偿代码，以便使用以下公式修改原始 ADC 结果。 V_i 是受 VREFLO 采样影响的原始 ADC 结果， V'_i 是补偿结果，而 C_i 是在上一步中确定的补偿系数。

$$V'_i = V_i \cdot C_i \tag{10}$$

5.5 讨论 VREFLO 采样序列

如节 5.1 中所述，利用 VREFLO 采样方法来缓解存储器串扰问题适用于每个 ADC 处理多个信号的情况（与专用 ADC 方法不同）。在设置此采样序列时，需要考虑一些要点。这里将以图 5-3 作为方案示例，其中四个信号分布到两个 ADC 上并都需要通过 VREFLO 采样从存储器串扰缓解中受益。

首先要考虑的是，即使每个序列中的最后一个 SOC (SOC3 = VREFLO) 不会在序列中的第一个采样 (SOC0 = V1 或 V3) 之前立即发生，但出于存储器串扰方面的考虑，由于采样的周期性质，该采样将影响序列中的第一次转换。因此，将 VREFLO 附加到序列末尾，并使受存储器串扰影响的通道成为序列中的第一个采样是一种可接受的配置。

此外，要考虑 ISR 的触发器应置于序列中的哪个位置。通常，序列中的最后一个 SOC 将触发 ISR，以便确保在 CPU 进入 ISR 时所有 ADC 结果都已准备就绪。但是，不需要读取 VREFLO 转换结果，因此 ISR 触发器的理想位置是 SOC2 之后，而不是 SOC3 之后。因此，即使两个信号都会从图 5-3 中的 VREFLO 存储器串扰缓解中受益，但延迟也只会增加一个 VREFLO 采样所需的时间，而不是两个（序列结束时 VREFLO 转换的延迟可以被屏蔽）。

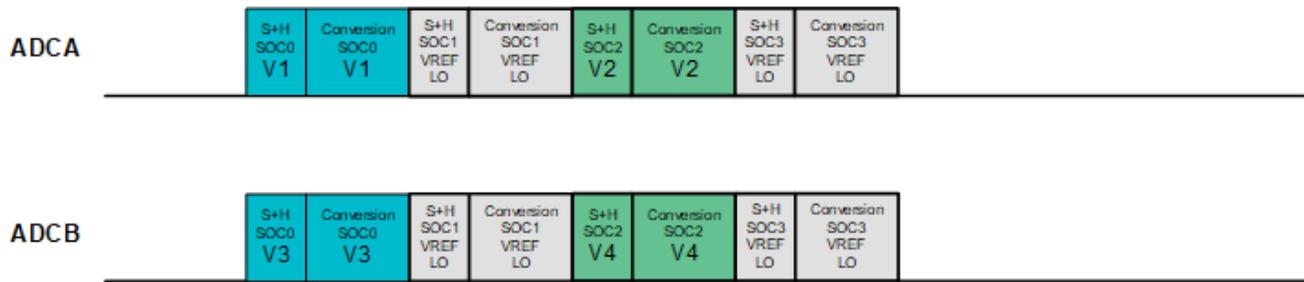


图 5-3. 所有通道的 VREFLO 采样时序

6 总结

如果无法在实时控制应用中设计 ADC 输入驱动电路来实现适当的 S+H 稳定性能，可能会导致各种性能问题。在这些问题中，主要的问题是存储器串扰：采样信号受 ADC 采样序列中上个采样通道影响而导致的误差。虽然解决此问题的最佳做法是重新设计硬件电路来实现良好的稳定性能，但由于存在严格的设计限制或使用无法大幅修改的现有设计，这可能并非始终可行。在硬件重新设计不可行的情况下，可以选择修改采样序列来将受影响的通道移到专用 ADC，或者重新调整序列来在受影响通道之前对 VREFLO 进行采样，从而帮助减小存储器串扰误差。

专用 ADC 方法简单易用，可以使用最短 S+H 持续时间对所需通道进行采样。但是，这种方法可能不适用于更高带宽的信号，并且可能没有足够的硬件资源来使用这种方法支持许多信号。

在目标通道之前添加一个 VREFLO (0V) 样本也是一种简单方便的策略，可将存储器串扰转换为更确定的形式。它可用于速度比专用 ADC 方法更高的信号，但可能无法使用最短 S+H 持续时间。这种方法会产生显著的增益误差，但可以通过额外的增益补偿方案，轻松地使 ADC 结果中校准消除该误差。

7 参考文献

- [TI 高精度实验室 - SAR ADC 输入驱动器设计](#)
- [模拟工程师计算器](#)
- [TINA-TI™](#)
- [PSpice for TI](#)
- 德州仪器 (TI)：[C2000 MCU 的 ADC 输入电路评估](#)
- 德州仪器 (TI)：[C2000 ADC 的电荷共享驱动电路](#)
- [TI 高精度实验室：最终 SAR ADC 驱动器仿真](#)

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2021) to Revision A (March 2023)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	3
• 更新了 节 1.2.3 。.....	4

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司