

TPS546D24 在多相应用中的注意事项

Given Ding/Binbin Wang

Sales & Applications/ Huawei

ABSTRACT

TPS546D24是一款大电流的降压转换芯片，可支持堆叠工作，在通讯场合有着广泛应用。本文针对TPS546D24多相应用给出了设计指导，并针对实际应用中碰到的并联不起机问题，给出了分析与规避方案。同时，针对多个芯片并联工作时相互间通讯信号短路取消后，输出电压无法恢复这一问题给出了原因分析及解决方案。

Contents

1. 典型应用.....	2
2. 多相应用设计说明.....	2
3. 多相应用中的问题分析及解决方案.....	3
3.1 在起机后，上报 sync fault ，但输出电压正常.....	3
3.2 在起机以后上报 sync fault 错误，同时没有输出。.....	4
3.3 BCX_CLK 对地短路无法恢复问题.....	5
4. 结论.....	8
参考文献.....	8

Figures

Figure 1. 典型从器件原理图.....	2
Figure 2. 起机时 TI 软件 GUI 的监控界面 1.....	3
Figure 3. 起机时 TI 软件 GUI 的监控界面 2.....	4
Figure 4. 起机时无输出的内部逻辑图.....	5
Figure 5. BCX 对地短路不恢复后波形 a)整体波形 b)展开波形.....	6
Figure 6. 简化的模拟环路和数字控制框图.....	6
Figure 7. 过流保护响应寄存器.....	7
Figure 8. 修改过流保护寄存器后 BCX_CLK 对地短路可恢复波形.....	8

1. 典型应用

在通讯应用场景中，诸如BBU(Base Band Unit)/RRU(Remote Radio Unit)等，随着支持的业务越来越多，其主ASIC或FPGA的功耗越来越大，供电电压也越来越低。相应的对给其供电的电源芯片也提出了更高的要求。TPS546D24是一款高效率，可支持单相40A输出的降压式集成MOS变换器，其输出电压范围可支持0.25到5.5V。同时，该芯片还支持PMBUS接口，可实现动态调压，并且最高可以四相并联使用，支持160A负载电流，非常适合给主ASIC或FPGA供电，所以在通讯场合有广泛的应用。针对单相应用，数据手册中已经给出了典型的电路以及相应的设计说明，这里就不再赘述。本文以两相典型应用为例，阐述该芯片在多相应用中常见问题以及注意事项。

2. 多相应用设计说明

对于TPS546D24来说，当并联使用时，其中一个为主相(master)，其余的都是从相(slave)。EVM使用手册中给出了两相应用的典型应用原理图和PCB参考，对于主相来说，其电路基本与单相应用时相同，除了与并联应用相关的管脚需要和从相连接。而对于从相来说，在原理图设计和PCB布线方面需要多加注意，下面具体说明。Figure 1给出了从相部分的原理图。

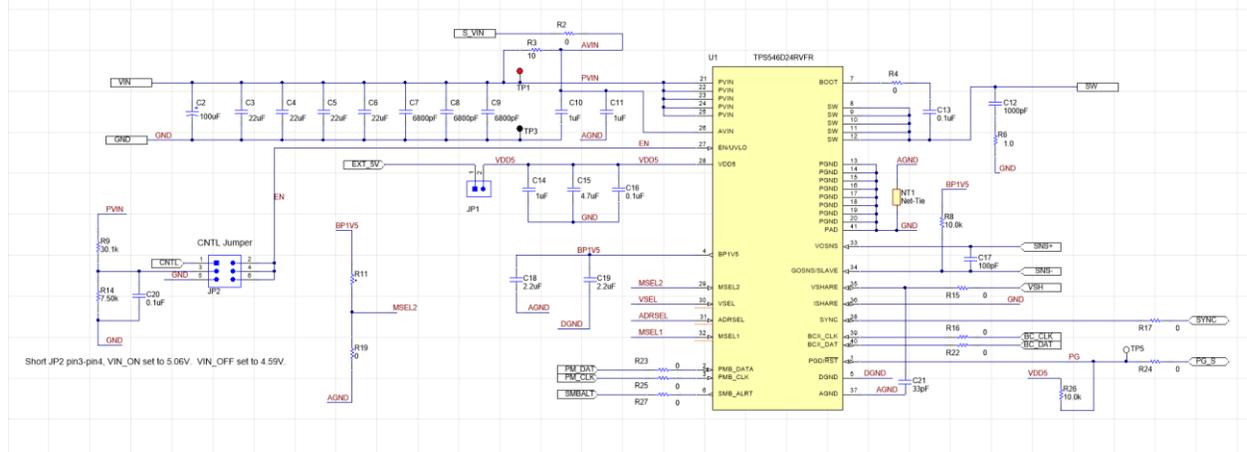


Figure 1. 典型从器件原理图

- 根据手册描述，从器件的GOSNS需要拉高到BP1V5，以表征它是从相。而VOSNS则直接悬空，因为主器件上已经用这两个管脚对输出电压进行采样，整个堆叠的架构只需要有一个反馈环路工作即可。主从器件的Vshare直接连接，因为Vshare是用来做均流和环路控制的，该信号较为重要，所以需要避开干扰源。
- 主从的BCX_CLK和BCX_DATA管脚直接连接，因为主和从之间的数据交互是通过这两个管脚来实现的，外部不需要上拉，因为BCX信号已经在内部上拉到Vdd5。该信号以400kHz的速率进行数据传输，所以布线的时候需要远离敏感信号。

- c. 主从的 Sync 信号直接连接，Sync 在内部上拉到 Vdd5，传输速率随开关频率变化，需要远离敏感信号，如 Vshare。如果在同一层布线，建议两者间隔至少在 30mil，最好中间可以用地的铺铜隔开。
- d. 芯片默认是配置成通过外部硬件来使能，这样就需要把从和主的 EN 要接在一起由外部控制。通常，硬件上会做时序控制时，在 EN 管脚接 RC 延时电路。
- e. 如果采用外围硬件配置(pinstrap)，那么对于从器件来说，只需预留 Vsel 的外接电阻即可。具体如何配置建议参考芯片配置计算书。TPS546D24 有一个 POR (power on reset) 的流程来检测外围硬件配置是否正确，Vdd5 的电压可以表征整个流程是否完成，如果流程完成，那么 Vdd5 电压最终会达到 4.7V(通过寄存器 B5h 可以修改)。如果未完成，那么 Vdd5 电压会在 3.9V。在多相应用中，即使主器件配置没有问题，但某一个从器件不能够在该过程中通过 BCX 回应主器件，那么整个 POR 还是无法完成，Vdd5 电压的值就会为 3.9V。

3. 多相应用中的问题分析及解决方案

如前所述，sync 信号用来做主从器件之间的相位同步，主器件需要通过 sync 管脚给从器件发送方波信号，从器件的 sync 管脚接收到信号后进行相位处理。主器件和从器件的 sync 管脚状态可以通过外部 pinstrap 进行配置，也可以通过修改寄存器进行配置。

对于从器件，sync 管脚配置成 sync in 模式，具体可参照手册 7.5.2 章节。而对于主器件，理论上可配置成 auto detect 模式或是 sync out 模式。在 EVM 中给出了两相电路，其主器件默认设置为 auto detect。但在测试中可能会有不正常现象，表现如下。

3.1 在起机后，上报 sync fault, 但输出电压正常

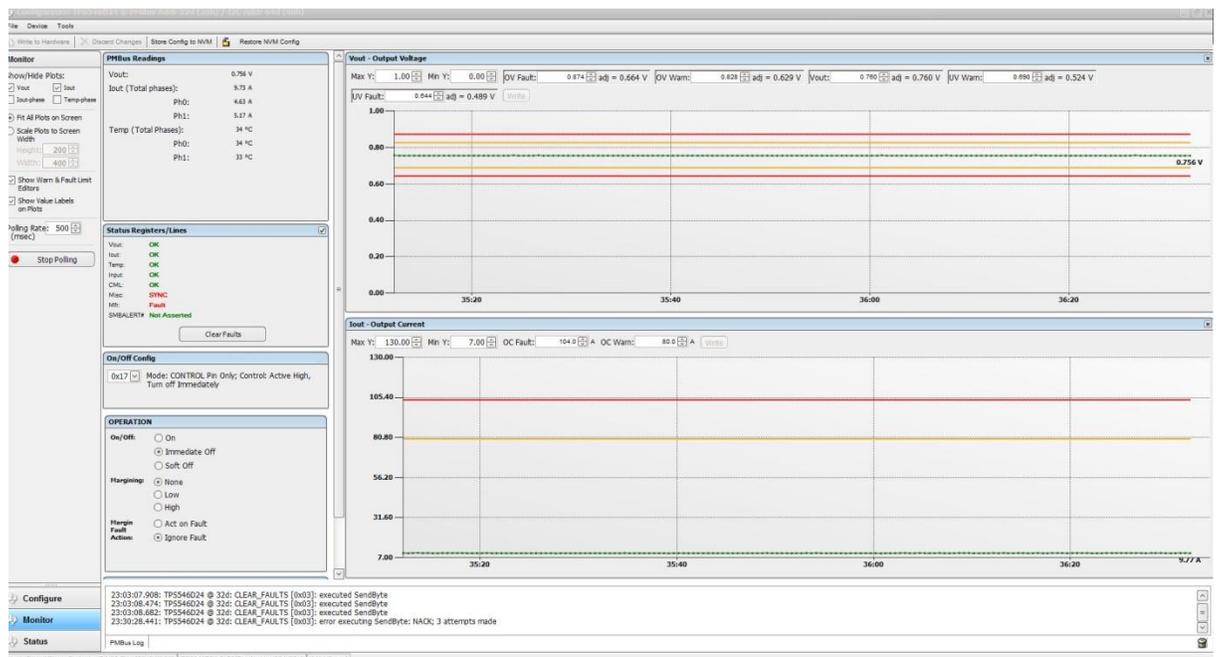


Figure 2. 起机时 TI 软件 GUI 的监控界面 1

实际上这是正常现象，并非发生了误告警。对于 sync_fault 有以下几种情况会进行上报

- 1) Sync_none fault : 从器件没有收到 sync 信号;
- 2) Sync low fault: 从器件收到的 sync 信号频率比开关频率低 70%;
- 3) Sync high fault: 从器件收到的 sync 信号频率比开关频率高 130%;

对于后两种 fault，可以通过测量 sync 信号的波形进行判断。

而对于第一种 fault，设定的原因是当多个 TPS546D24 并联使用，主从器件共用一个控制信号 (Vshare)，必须让每相都工作在相同的频率，同时各自工作在指定的相位，所以每一个从器件需要上报其状态。而 sync_none fault 是指从器件在使能上电后(PVIN > VIN_ON, VDD5 > 3.9V, EN/UVLO > 1.05V)未收到有效 sync 信号，此时从器件会一直将 Vshare 信号拉低，整个电路无输出。当从器件接收到 7 个有效的 sync clk 和主器件建立同步后，其内部的 sync 检测逻辑电路会清除 sync_none fault，释放 Vshare。当主器件被配置成 auto-detect 模式，在未使能之前芯片处于 sync_in 状态。当使能以后，芯片会检测 sync 管脚电压来判断 sync 信号的状态。

SYNC pin State at Enable	SYNC pin mode after Enable
Digital Logic Low	SYNC_OUT – generate SYNC_OUT after delay
Digital Logic High	SYNC_IN – do not generate SYNC_OUT
Switching > fsw / 2	SYNC_IN – do not generate SYNC_OUT

在该应用中，虽然主从器件的使能信号 EN 是接在一起的，但考虑到芯片之间的差异性，可能会出现从器件先达到使能门限，而主器件后达到使能门限的情况，尤其是在一些应用中，为了实现时序控制，EN 上加入 RC 延时电路，会导致主和从器件使能时间相差更大。此时由于主器件还处于 sync_in 的状态，所以从器件在使能后没有接收到有效 sync 信号，从而可能导致有错误上报，但不影响正常输出的情况。

3.2 在起机以后上报 sync fault 错误，同时没有输出。

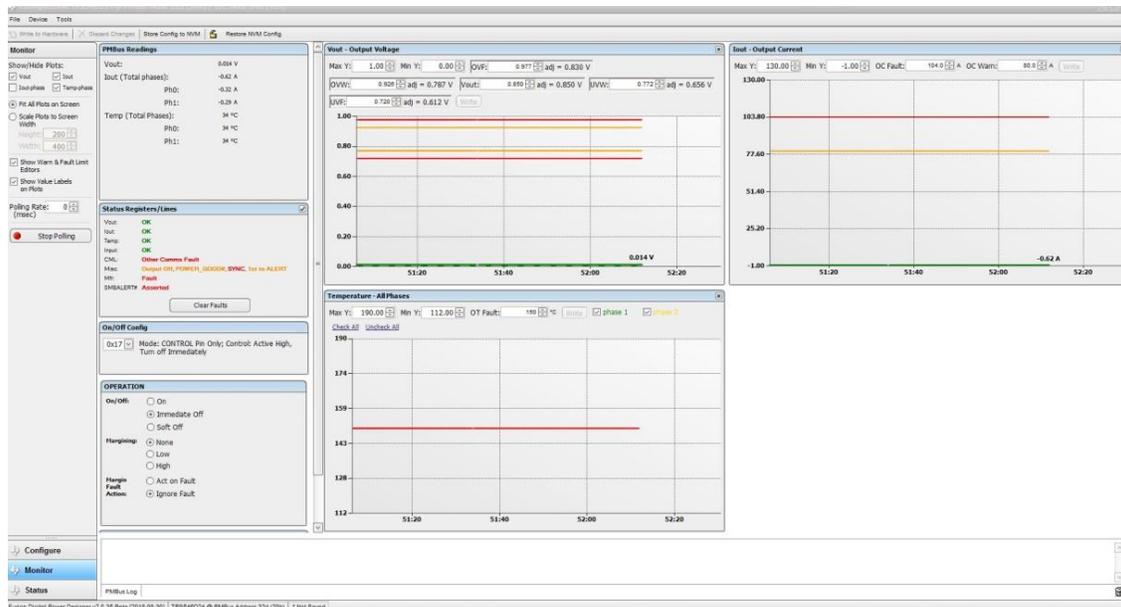
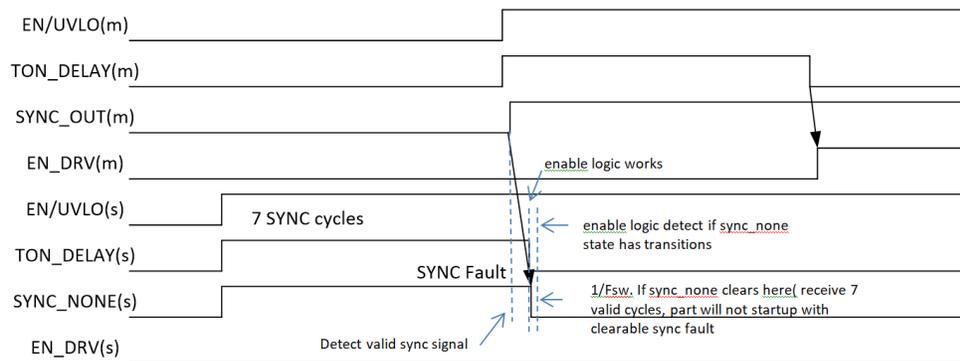


Figure 3. 起机时 TI 软件 GUI 的监控界面 2

对于 `sync_fault` 的几种情况来说，后两种情况是不影响芯片输出的，而目前这种情况芯片无输出，所以大概率是第一种 `fault`。进一步分析发现，如果从器件的 `Ton_delay` 刚好是在其收到第 7 个 `sync` 时钟信号时结束，此时从器件的使能逻辑电路开始工作，然后它需要先检测到 `sync_none fault` 的状态有切换（类似于边沿触发）才能继续工作。而从使能逻辑电路开始工作到 `sync_none fault` 检测中间会有个时间窗口。而同时，从器件的 `sync` 检测逻辑电路接收到了正常的 `sync` 信号，清除 `sync_none fault`，如果清除的动作刚好发生在这个时间窗口，使能逻辑开始检测之前，`sync_none fault` 已经被清除，使能逻辑无法检测到 `sync_none fault` 的状态切换，一直处于等待状态，芯片初始化无法继续进行。所以就会出现无输出的现象。图 4 的逻辑图描述了这种异常现象的整个过程，其中 `m` 代表主器件，`s` 代表从器件。



Slave Enabled First, Master SYNC_NONE clears at TON_DELAY completes. Slave Reports SYNC fault but does not start-up when SYNC_NONE clears

Figure 4. 起机时无输出的内部逻辑图

因此问题的原因是从器件不能够及时接收到主器件发来的 `sync` 信号，从而导致上报 `sync_none fault`，当处于特定时序时，可能会导致无输出。可以采用下面两种方法进行规避：

1. 多相应用中将主器件配置成 `sync_out` 模式

当被配置成 `sync_out` 模式，只要完成了 POR，主芯片 `sync` 管脚始终处于发送 `sync` 信号模式，对于从芯片来说，就不会存在接收不到信号的情况。

2. 不使用硬件 RC 延时电路，而是采用软件的方式，对寄存器（`Ton_delay`）进行修改来保证主器件先启动，从器件后启动。

3.3 BCX_CLK 对地短路无法恢复问题

在通讯应用场景中，客户往往希望在故障恢复后，芯片也能够恢复正常工作，所以诸如过流，过温，过压等保护都是可以自恢复的。在一些极限测试场景，会对各个引脚进行故障模拟，诸如 `BCX` 信号对地短路然后短路解除的情况下，在测试中会看到存在输出无法恢复的问题。

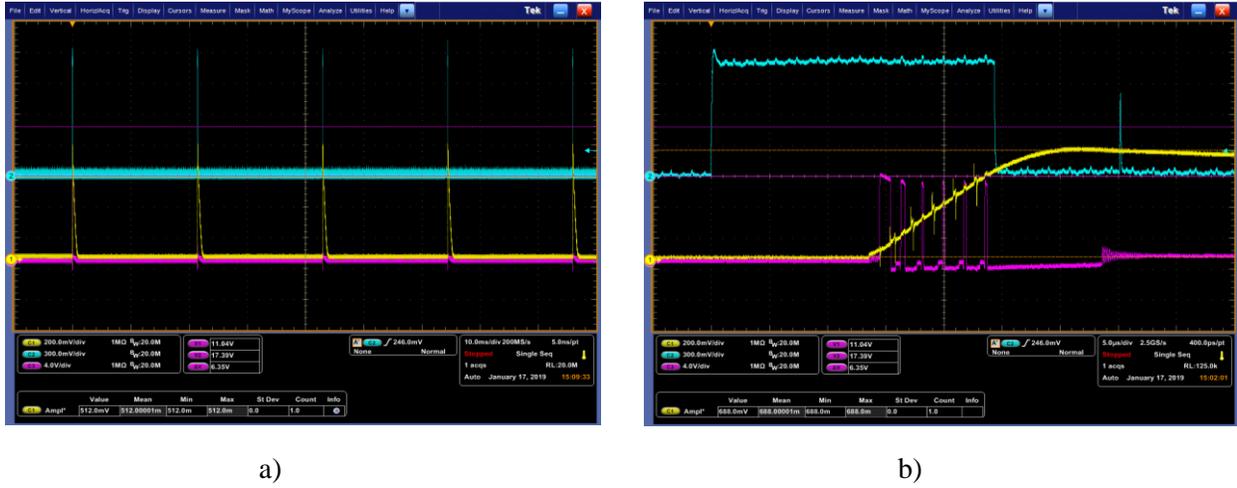


Figure 5. BCX 对地短路不恢复后波形 a)整体波形 b)展开波形

上图是在一个典型的两相应用中将BCX_CLK对地短路再恢复后的波形。从图中可以看到当BCX_CLK对地短路再取消后，芯片一直处于打嗝状态。而打嗝周期与过流保护的打嗝周期相同，为7倍的缓启动时间。通过电感电流波形看到确实存在瞬时大电流。进一步展开波形，发现输出电压在尝试启动时，上管开通的脉宽很宽，从上升时间来看20us输出电压冲到了一个很高的值，而正常的过流保护后的缓启动时间应该是在ms级别（在这个应用中，我们设置的是3ms），所以芯片在尝试启动的时候并没有进行缓启动，内部的基准电压此时还是维持在高电平，而不是被放电到零。

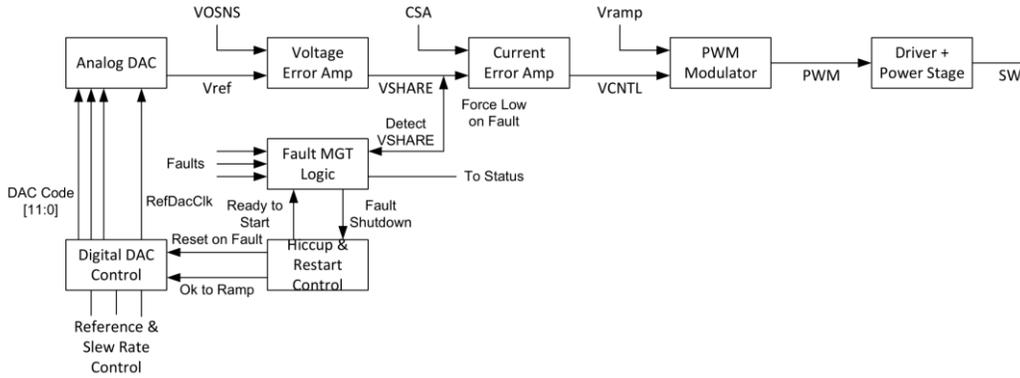


Figure 6. 简化的模拟环路和数字控制框图

Figure 6是一个简化的模拟环路和数字控制框图，可以看到控制用的基准电压Vref是由一个analog DAC产生。而Analog DAC的值又是由digital DAC控制(digital control)模块将配置的信息传递过来。为了防止在12位的DAC code变化过程中，analog DAC输出不受噪声的干扰，会需要一个数字时钟（RefDacClk）来进行code的采样和锁存，以确保对DAC code的改动都能够被同步到analog DAC，防止出现由于位不同步导致的问题。这个数字时钟是由digital DAC的变化产生的。

当 BCX_CLK 对地短路的时候，由于主从器件之间的交互中断，内部的控制机制会在一段时间后去复位整个数字控制电路，从而芯片也停止开关动作，中止输出。主器件会重新开始一个新的上电流程。而每次上电，也都需要通过 BCX 来获取从器件的状态，否则就无法完成上电流程。所以，如果 BCX_CLK 对地短路状态持续的话，那么芯片是没有输出的。

当复位发生时，digital DAC 被复位到 0，RefDacClk 也被复位，所以数据传输不到 Analog DAC，它的值还是停留在发生复位之前的值，也就是正常工作的时候的 Vref。

短路取消以后，芯片会重新尝试启动。主芯片的错误管理电路（fault MGT）会去检测 Vshare 信号是否大于 200mV（如果还有故障的话，主器件或者从器件会把 Vshare 拉低），并尝试重新启动。

1. 如果在芯片尝试启动之前检测到还是有故障上报，那么 fault MGT 会把 Digital DAC 再次置为 0，因为之前 Digital DAC 的状态已经是 0，所以没有变化，从而 RefDacClk 也没有，从而 Analog DAC 维持在原来的值。
2. 如果没有故障上报，那么 Digital DAC 就会开始增加，那么就会产生 RefDacClk，从而 Analog DAC 里面的值就可以同步成 Digital DAC 的值，于是 Vref 就会变成很小的值，可以正常缓起。

对于实际看到的现象，第一次尝试重启的时候，Analog DAC 是高电压，意味着 Vref 也是高，没有进行缓启动，导致出现较大电流过冲，从而触发过流保护，Digital DAC 就又被置为 0，Analog DAC 无法同步。所以后续的每次启动，Analog DAC 都维持在高电平，导致一直触发过流，芯片一直在打嗝状态。

从前面的分析可以看出，芯片需要一段时间来尝试启动，而如果刚好检测到有过流故障是在尝试把 Digital DAC 升高之前，则无法保证后面能够正常进行缓启动的流程。如果可以把过流故障检测放在 Digital DAC 发生变化之后，那么就可以解决这个问题。

TPS546D24 的 47h 寄存器可以设置当发生过流以后在多少个开关周期后响应保护，默认值是 3 个开关周期，最大值是 7 个开关周期。所以可以通过调节这个寄存器以及结合对应的开关频率来实现输出可恢复的目的。

(47h) IOOUT_OC_FAULT_RESPONSE Register Map

Table 59. Register Field Descriptions

Bit	Field	Access	Reset	Description
7:6	IO_OC_RESP	RW	NVM	Output over-current response. 00b: Ignore. Continue operating without interruption. 01b: Ignore. Continue operating without interruption. 10b: Shutdown after Delay, as set by IO_OC_DELAY 11b: Shutdown Immediately
5:3	IO_OC_RETRY	RW	NVM	Output over-current retry. 0d: Do not attempt to restart (latch off). 1d-6d: After shutting down, wait 1 HICCUP period, and attempt to restart upto 1 - 6 times. After 1 - 6 failed restart attempts, do not attempt to restart (latch off). 7d: After shutting down, wait 1 HICCUP period, and attempt to restart indefinitely, until commanded OFF, or a successful startup occurs.
2:0	IO_OC_DELAY	RW	NVM	Output over-current delay time for respond after delay and HICCUP 0d: Shutdown delay of 1 PWM_CLK, HICCUP equal to TON_RISE 1d: Shutdown delay of 1 PWM_CLK, HICCUP equal to TON_RISE 2d - 4d: Shutdown delay of 3 PWM_CLK, HICCUP equal to 2-4 times TON_RISE 5d - 7d: Shutdown delay of 7 PWM_CLK, HICCUP equal to 5-7 times TON_RISE

Figure 7. 过流保护响应寄存器

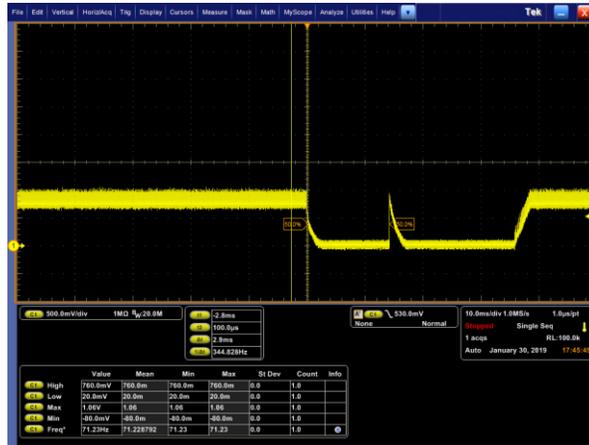


Figure 8. 修改过流保护寄存器后 BCX_CLK 对地短路可恢复波形

4. 结论

本文针对TPS546D24多相应用的原理图设计给出了注意事项以及指导意见。同时，结合实际应用中碰到的问题，对多相应用时主器件的同步管脚配置给出了建议，通过将主相设为sync out解决了实际应用中可能出现的不起机问题。针对通讯应用场景极限测试中，BCX对地短路输出无法恢复的问题，给出了详细的原因分析以及对应的规避办法。

参考文献

- [1] TPS546D24 Datasheet, [SLUSDJ0A](#), Texas Instruments.
- [2] 40-A fixed frequency non-compensation stackable synchronous buck converters evaluation module, Texas Instruments.

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司