

高性能 SERDES 及其在 CPRI 接口的应用分析

Steven Shi

China Telecom Application Team

摘 要

TLK3132 是 TI 推出的系列高性能、多速率通用高速收发器的一款，支持 1GbE、FC、CPRI、OBSAI 以及一些私有接口协议等，广泛应用在无线网络架构、数据通信、工业高速背板/线缆的互联设计。

本文详细介绍了 TLK3132 高性能 SERDES 的工作原理，结合 CPRI 接口物理层指标规格的相关要求，通过例子说明 TLK3132 是完全适合在 CPRI 接口的应用，并提供应用电路的设计方法和寄存器配置等，该例子可以移植到其他类似的高速链路通信中。

目 录

1	引言	2
2	TLK3132 工作原理	2
2.1	并行接口	2
2.2	串行接口	3
2.3	8B/10B 编解码及通道同步	4
2.4	时钟电路	5
2.5	PRBS 测试	6
2.6	MDIO 接口和寄存器访问	6
3	TLK3132 在 CPRI 接口的应用	7
3.1	CPRI 接口	7
3.2	应用例子	8
3.3	实验测试	10
4	总结	11
5	参考资料	11

1 引言

随着数据宽带网络的迅猛发展，需要不断提高系统设备的业务容量。目前的趋势是采用高速串行通信技术，即采用串行解串器 SERDES，把低速的并行数据转换为高速串行数据连接。SERDES 串行接口可在背板或电缆/光纤等不同互联介质上传输高速信号，在提高系统传输带宽的同时，有利于印刷电路板（PCB）布线，并降低系统功耗和噪声。

TI（德州仪器）推出一系列高性能的通用 SERDES，满足高带宽、高性能的应用要求，广泛应用于 WI 系统、接入设备、传送网络、数据通信等通信产品，以及工业控制系统。本文以 TLK3132 为例，详细介绍了 SERDES 工作原理和器件特点，并以 WI 系统中的 CPRI 应用需求为例，提供 TLK3132 的设计方法等。

2 TLK3132 工作原理

TLK3132 是 TI 推出的一款通用两通道串行器 / 解串器（SERDES），采用 90nm 工艺，能满足一些低功耗的应用需求，内部功能模块如图 1 所示。SERDES Core 的发送部分用于实现 8 位、9 位或 10 位宽字的并串转换，然后通过一根电缆或印刷板(PCB)走线发送出去，而接收部分则将串行数据进行串并转换为 8 位、9 位或 10 位宽的并行字。SERDES Core 里的串并/并串模块工作原理，限于篇幅，本文不对此进行详述。

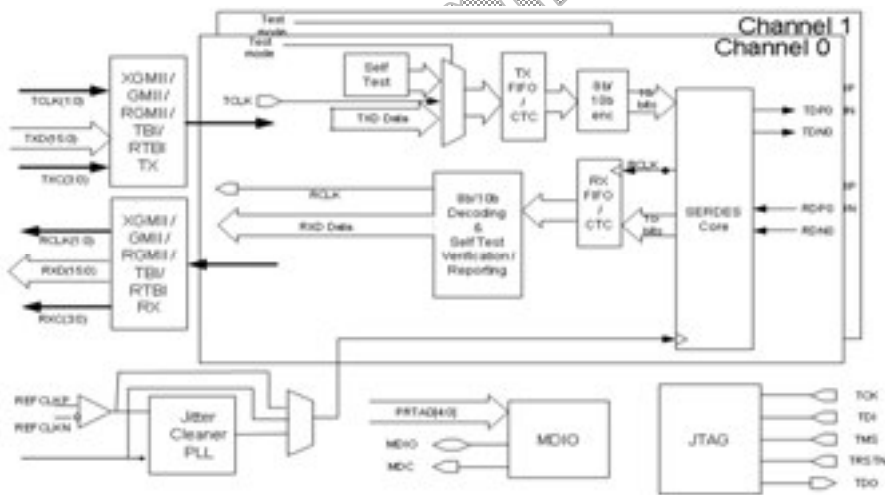


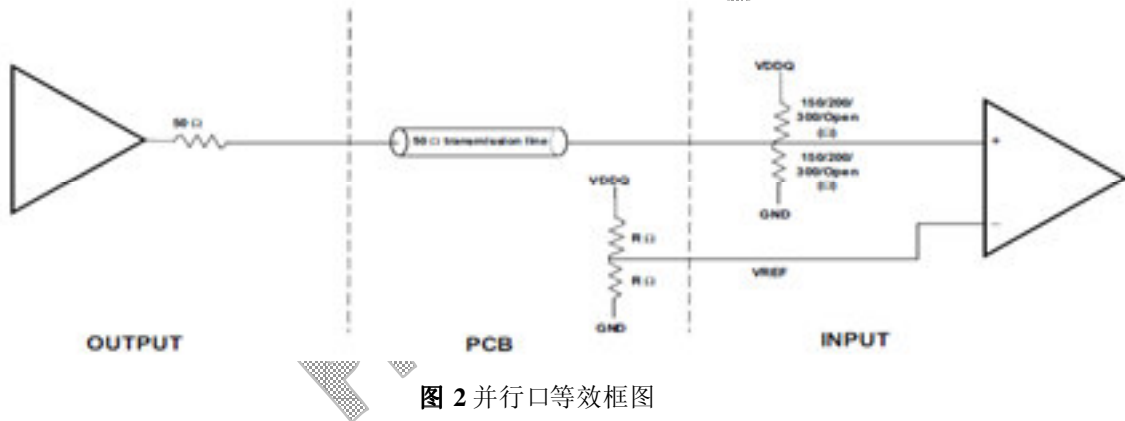
图 1 TLK3132 内部功能框图

下面详细介绍了 6 个功能模块及其应用特点：并行接口、串行接口、时钟分布电路、8B/10B 编解码电路、PRBS 测试以及相关寄存器访问控制接口 MDIO。

2.1 并行接口

TLK3132 器件每个通道并行收发侧分别包含 8 位数据位和两位灵活的控制位，支持各种通用的并行接口，如千兆以太网的介质无关接口 RGMII、GMII、RTBI、TBI，以及 RNBI、NBI、REBI、EBI、TBID 和 NBID 等多种工作模式。对于 DDR 模式而言，既支持位边沿采样（采样时钟边沿与数据位翻转边沿同步），也可支持位中间采样（采样时钟边沿处于数据位的中间位置）；对于 SDR 模式而言，既支持上升沿采样并行口数据，也支持下降沿采样数据。由于使用同步时钟，在布线时时钟线和数据线必须等长且时钟线尽量不要分叉，此外通过配置不同的数据采样边沿，可以降低系统互连设计的风险，提高系统设计的鲁棒性。

并行接口采用单端的 HSTL Class1 电平接口，遵循 EIA/JESD8-6 标准电气指标规格，同时支持 1.5V 或 1.8V 的电源电压。为了提高 HSTL 高速接口的 SI 性能，TLK3132 并行接收侧集成了可寄存器配置的匹配电阻，采用戴维南等效电路匹配方式，等效于加一个匹配电阻到 $V_{DDQ}/2$ ，同时也可关闭内部的阻抗匹配电路，如图 2 所示；并行发送侧可通过寄存器配置 4 种不同的边沿速率。



2.2 串行接口

TLK3132 支持的串行接口速率从 600Mbps 到 3.75Gbps，不同通道可独立地工作于全速率、半速率以及 1/4 速率模式。为了补偿高速信号传输的介电损耗和趋肤效应，TLK3132 高速串行接口发送端具有强大的去加重能力，共支持 15 级调节能力（达到 10.87dB 补偿），同时支持 8 级的输出摆幅设置（从 125mV 到 1375mV）；接收端包含有自适应均衡器，最大补偿能力得到 12dB 以上，保证高速串行接口的 SI 性能。在 3.072Gbps 速率下可支持 50inches 的 FR4 传输或 30m 的电缆传输（特性阻抗 50 欧姆），解决了高速信号在背板侧或前基板的设计难题。

图 3 是 TLK3132 高速串行接口的 AC 耦合框图，采用 CML 高速电平接口，发送侧内部集成了 50 欧姆的匹配电阻。接收端支持 DC 和 AC 耦合，若采用直流耦合时，共模电压由发送侧决定，匹配电阻直接上拉到 V_{DDT} ，若采用交流耦合，为得到最优的共模偏置电压，选择芯片内部 0.8 V_{DDT} 的偏置电压。在实际电路设计中，推荐采用交流耦合方式，容易实现不同接口的电平转换，并可去除共模噪声，避免外界噪声对接收端的影响。

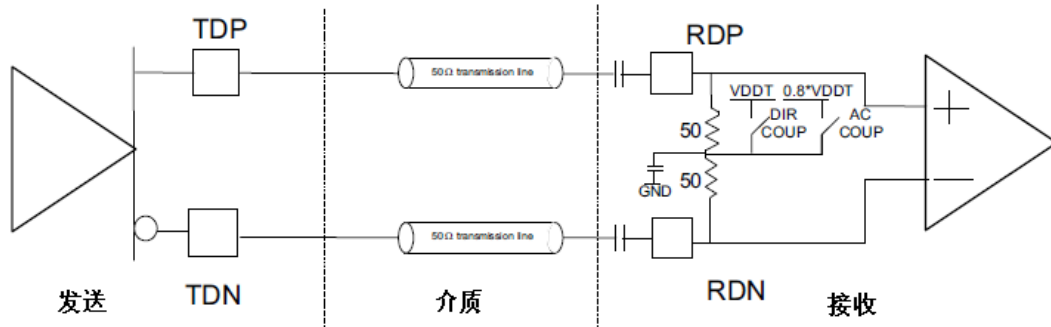


图3 串行接口 AC耦合

2.3 8B/10B 编解码及通道同步

在串行链路通信中，为了实现信号时钟的恢复，需要避免出现长串 0 和长串 1，同时保持电路上正负电平平衡，能正确地交流耦合避免信号失真，需要传输信号中的 0 和 1 数量数目相等，因此业界广泛应用 8B/10B 编解码方法：实现 8B 到 10B 的映射（图 4），即一个字节（8bits）用 10bits 来表示，从中挑选出连续 0 或者 1 个数不会超过 3 个，0 和 1 的个数差不大于 2（最多 6 个‘0’或‘1’）。

为了实现信号流中 0 和 1 的个数相等，在设计编码时，针对每个原码设计了两个编码，如：十六进制字节 0x3B，对应两个编码分别为 110110 1001（1 的个数多于 0）和 001001 1001（0 的个数多于 1），在发送过程中不断统计当前数据流中 0 和 1 的个数差，如果 0 的个数大于 1 的个数，则发送 0x3B 字节时取前面一种编码；反之，则取后面一种编码，这样就不断平衡数据流中 0 和 1 的个数，保持串行数据中 0 和 1 的数量相同。

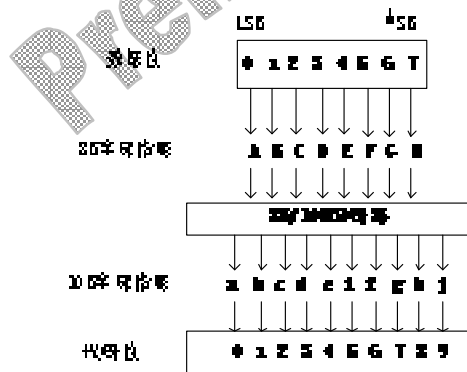


图4 8B/10B 映射

串行通信中，除了有效数据外，还需要一些控制字符传送某些控制协议。因此，在 8B/10 编码中，包含下面两种信息：

1) D 分组，用于传递有效业务数据；

2)K 分组，用于传递控制信息等，如 K28.5 控制字符 10B 编码包含 0011111010 或 1100000101（连续 5 个‘1’或‘0’，称为 Comma，千兆以太网使用的 8B/10B 编码方案中 Comma 是唯一的），用于定位串行数据流中每 10 个 bit 组的边界，避免数据流出现错误时无法界定每 10bit 的边界，导致链路中断。

TLK3132 内部兼容了 IEEE802.3-2005 中关于 1000BASE-X 物理编码子层（PCS）技术（注：不支持自协商功能），如 CTC FIFO、8B/10B 编解码电路等模块，同时这些模块设计时非常灵活，通过 MDIO 口进行寄存器设置可以使能或关闭。此外，TLK3132 通过检测 Comma 进行通道同步判断，内部的状态机也是参考 1000BASE-X 规定的链路同步和链路失步建立机制，因此 TLK3132 能被广泛应用在 WI、数据网络、以太网等不同领域。

2.4 时钟电路

SERDES 实现的一个关键技术是时钟的产生和分布，图 5 是 TLK3132 芯片内部的时钟架构。时钟配置非常灵活，支持单端或差分参考时钟输入，同时包括多个高频锁相环电路：

1) 高速 SERDES Core 包含了一个高频倍频器（用于产生高速串行数据）和一个基于相位内插的 CDR（在接收端用于从串行数据中恢复时钟）。

2) 由于串并模块里的高频倍频器环路带宽很大，最大可达 30MHz 左右。故 TLK3132 内部集成了一颗基于 LC 振荡器的抖动滤除锁相环，环路带宽通常设置在几百 KHz 以内，可以对输入参考时钟进行滤除，降低参考时钟对几百 KHz 以上抖动性能的要求，图 6 是 TLK3132 发送链路在抖动滤除器打开和关闭下的环路传递函数。此外，抖动滤除器也可对链路恢复的时钟（只可接收 CH0 通道的恢复时钟 RXBCLK(0)）进行抖动滤除，提高恢复时钟的信号质量。

3) PLL1、PLL2、PLL3 和 PLL4 作为倍频器，和前级抖动滤除锁相环电路配合，分别产生适合的时钟频率以满足系统各个模块的需求。

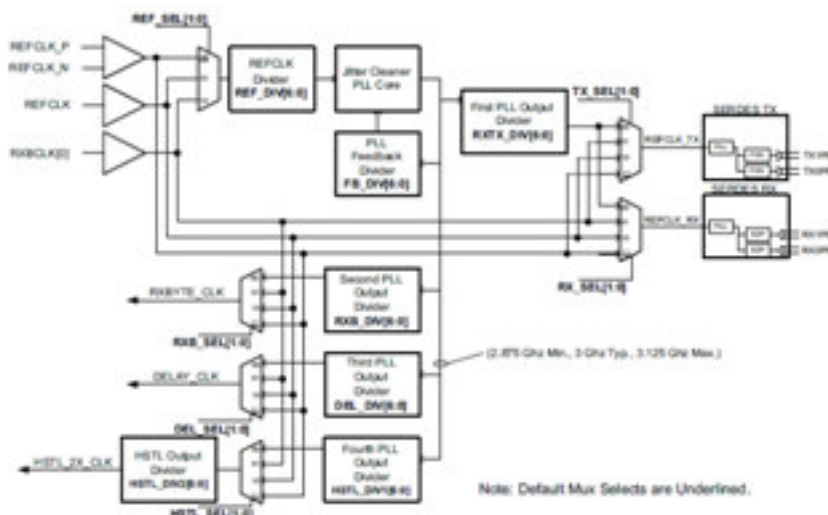


图 5 内部时钟架构

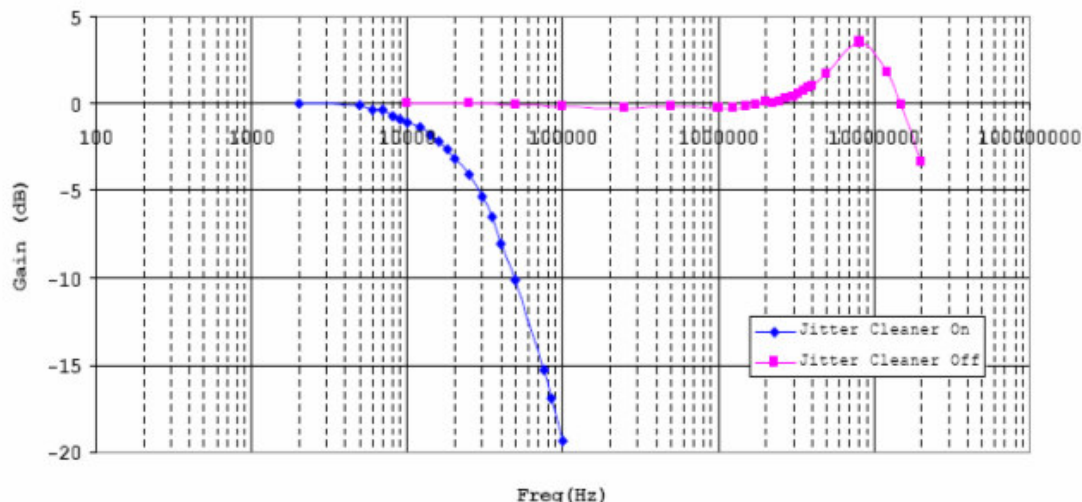


图 6 TLK3132 内部锁相环环路带宽

2.5 PRBS 测试

TLK3132 支持 PRBS 码的产生和验证，便于系统定位链路故障，提高设备的可维护性。TLK3132 内部有两套 PRBS 测试方法，一个在 SERDES Core 内部（通过寄存器 0x9011/0x9012 配置），该测试一般是只针对生产测试，且控制性能受限，在电路设计中一般不用该功能；另一个是 SERDES Core 外面（图 1 所示），支持 $2^7 - 1$ PRBS 测试多项式是 $x^7 + x^6 + 1$ ，可以通过寄存器配置（0x10）或外部引脚 PRBSSEN 逻辑控制打开或关闭。此外，PRBS 验证时可通过 GPO[1:0] 管脚监控 PRBS 测试误码情况，也可访问寄存器 0x1D 读取误码数（当读取该寄存器后，将从新开始误码计数）。

2.6 MDIO 接口和寄存器访问

TLK3132 内部寄存器访问通过 MDIO 管理接口实现（遵循 IEEE 802.3 Clause 22 规格），包括管理数据时钟（MDC）和管理数据输入输出（MDIO）。由于 Clause 22 直接寻址寄存器空间限制，TLK3132 增加了一些扩展寄存器，故支持两种寻址方式：

- 1) 直接寻址：主要包括与物理层相关的链路配置，地址空间分布在 0x00~0x1F，PA[0] 的高低电平决定对 TLK3132 的 CH0 通道或 CH1 通道进行操作；
- 2) 间接寻址：TLK3132 的一些扩展功能访问，如内部时钟配置、I/O 性能配置等。地址空间分布在 0x9000~0x9900，不同通道的功能有独立的寄存器进行配置。通过间接地址访问寄存器，需要先把寄存器地址写到 0x1E 地址，然后把相应的控制字写到 0x1F 地址或从 0x1F 地址读取相应的寄存器值。

3 TLK3132 在 CPRI 接口中的应用

为了处理射频模块拉远技术中基带单元和射频单元的光纤链接，国际上成立两个标准化组织：一个是 CPRI (Common Public Radio Interface)，在 2003 年由华为、爱立信、NEC、西门子和北电发起成立的组织，致力于基带、射频接口的标准化；另一个是 OBSAI (Open Base Station Architecture Initiative)，由诺基亚、LG 电子、三星电子等成立的联盟。二者都定义了使基带和射频分离的标准化接口，也就是将宏基站分为基带单元 BBU 和远端射频单元 RRU 两部分，BBU 和 RRU 之间传送 I/Q 数据和控制管理数据，其信号格式就是 CPRI 或者 OBSAI 所定义的标准接口。本文以 CPRI 接口为例，详解 TLK3132 在射频模块拉远技术中的应用。

3.1 CPRI 接口

CPRI 接口在传输用户界面定义了物理层 layer1 和数据链路层 layer2 两层协议。在物理层中，将上层接入点的数据进行串并/并串转换，以及物理层的编解码 (CPRI 接口推荐采用 8B/10B，遵循 IEEE 802.3 2005 Clause36 建议)；在数据链路层，对上层接入点的 I/Q 数据、物理层协议数据、网络协议数据 (包括以太网数据、高层数据链路协议数据) 和厂家自定义的控制信息等进行相应的处理。

目前 CPRI 有三种建议的链路速率，分别是 614.4Mbps、1228.8Mbps、2457.6Mbps。在发送侧，把 I/Q 数据、控制协议信息、同步信息等复用为 CPRI 帧结构信息，经过物理层的 8B/10B 编码后，通过光纤长距离传播 (几公里到几十公里)；在接收侧，CPRI 帧信号经过串并转换后经过 8B/10 解码成相应的 I/Q 数据和控制协议信息，交由上层数据链路处理。

CPRI 帧分成基本帧单元和超帧单元。基本帧单元的帧频是 3.84MHz，包括 16 个字 (表示为 $W=0\dots15$ ，其中 $W0$ 为控制字，后 15 个字为 I/Q 数据)，根据不同的链路速率，字的长度分别为 8bits、16bits (如图 7 所示)、32bits。超帧单元是由 256 个基本帧单元组成，其中，第 1 个基本帧单元里的控制字写入 K28.5 标志作为超帧的同步控制信息，其余的 255 个基本帧单元里的控制字包含控制和管理字 (C&M)、厂商自定义控制字等，并预留一些控制字。

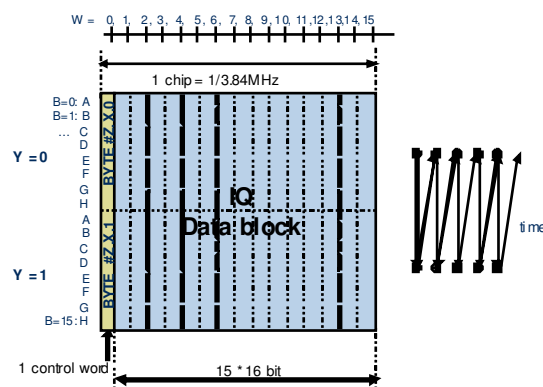


图 7 线速率 1228.8Mbps 的 CPRI 基本帧结构

在高速数据链路通信中，抖动指标是非常关键的，CPRI 接口相应推荐了高速串行信号的眼图和抖动规格。在 SERDES 发送侧，CPRI 要求的眼图模板如图 8 所示。

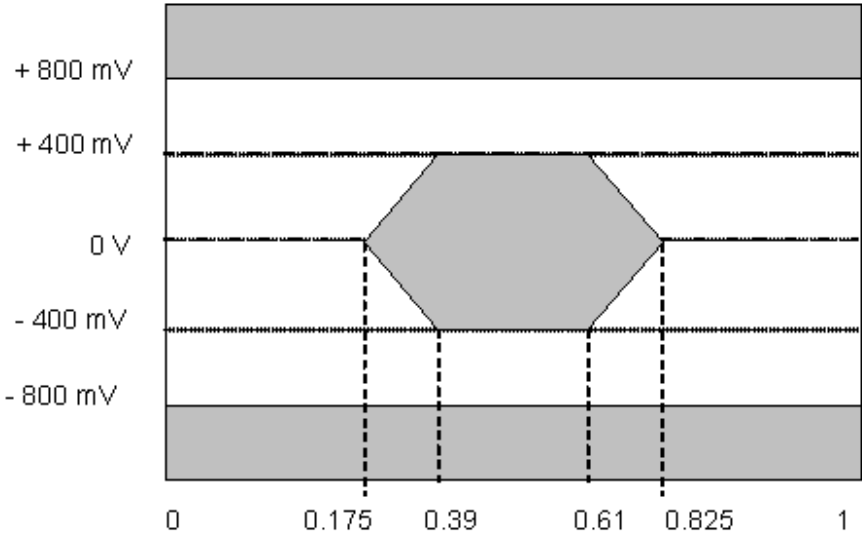


图 8 CPRI 接口发送输出眼图模板（ExLV）

表1 E.6.LV, E.12.LV and E.24.LV 发送器 AC 定时规格（参考资料 CPRI Specification V2.0）

特性	符号	范围		单位	注释
		Min	Max		
输出电压	Vo	-0.40	2.30	Volts	
差分输出电压	V _{DIFFPP}	800	1600	mV,p-p	
确定性抖动	J _D		0.17	UI	
总抖动	J _T		0.35	UI	
单位间隔 E.6.LV	UI	1/614.4	1/614.4	μs	+/- 100 ppm
单位间隔 E.12.LV	UI	1/1228.8	1/1228.8	μs	+/- 100 ppm
单位间隔 E.24.LV	UI	1/2457.6	1/2457.6	μs	+/- 100 ppm

在 CPRI 接口的实现中，TLK3132 完成高性能的串/并、并/串转换，以及 CPRI 帧的同步和 8B/10B 编解码，即 CPRI 接口物理层的相关功能实现。

3.2 应用例子

根据前面关于 TLK3132 的器件特点分析和 CPRI 接口介绍，TLK3132 可以很好地满足 CPRI 接口的应用要求，图 8 是 TLK3132 在 CPRI 链路中的一个典型功能框图：TLK3132 接收来自光电转换后的高速串行电信号，经串并转换后，提取相应控制字符和有效字符并进行 8B/10B 解码，送给 ASIC 或 FPGA 进行 CPRI 解帧处理；同时，也接收来自 ASIC/FPGA 的 CPRI 帧信号，进行相应的 8B/10B 编码后送给 SERDES Core 完成并串转换。

在该电路中，TLK3132 恢复时钟送给 PLL 作为参考时钟，同时其参考时钟又来自 PLL 的输出时钟。为保证内部 CDR 可靠工作，TLK3132 要求参考时钟跟输入高速串行数据的频偏控制在 $\pm 200\text{PPM}$ 以内，因此外围 PLL 在失锁情况下，必须保证本地振荡器的自由振荡频率要足够稳定，通常建议采用基于压控晶振的时钟方案。

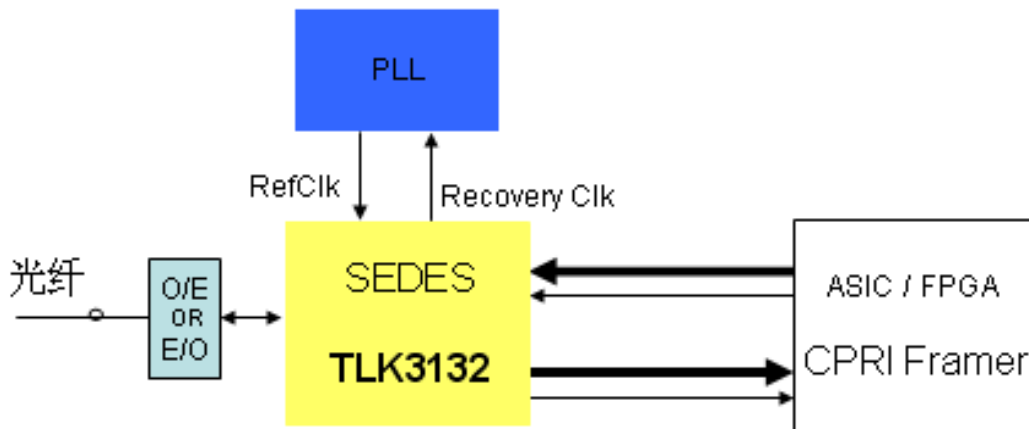


图 8 TLK3132在 CPRI接口的典型应用

下面例子说明如何通过 MDIO 设置 TLK3132 相关寄存器的软件配置。假设：CH0 和 CH1 通道串行速率分别为 1228.8Mbps 和 2457.6Mbps、并行接口采用 SDR 接口并工作在 NBI 模式、使能内部 8B/10B 编解码器、差分参考输入 122.888MHz 时钟，内部抖动滤除锁相环关闭，则在 TI 的 TLK3132 评估板上参考软件配置如下。

START

CLAUSE 22 //选择 CLAUSE 22 模式

SETPHYADD(00) //选择物理地址 0

WRITE(00, 8000) //软件复位芯片，即对所有寄存器进行复位

READ(11, 3590, FFFF) // 验证 MDIO 功能是否正常

WRITE(1E, 9100) //把 0x3FF0 写入 0x9100 寄存器，差分参考输入作为 SERDES Core 的参考时钟

WRITE(1F, 3FF0)

WRITE(1E, 9000) //高频倍频器的倍频系数设为 10

WRITE(1F, 1515)

WRITE(1E, 9001) //设置 CH0 为 1/2 速—1228.8Mbps、CH1 为全速—2457.6Mbps

WRITE(1F, 6060)

WRITE(10, 8400) //并行接收时钟选择各自通道的恢复时钟

WRITE(11, B197) //并口为 SDR 且工作在 NBI模式、上升沿打数据、8B/10B 使能

WRITE(1E, 9002) //设置 CH0通道接收为交流耦合、自适应均衡

WRITE(1F, 1005)

```

WRITE(1E, 9004) //设置 CHI 通道接收为交流耦合、自适应均衡
WRITE(1F, 1005)
WRITE(1E, 900A) //设置 CH0 通道串行发送端的摆幅为 1000mV，去加重为 9.52% (0.87dB)
WRITE(1F, 0B21)
WRITE(1E, 900C) //设置 CHI 通道串行发送端的摆幅为 1000mV，去加重为 9.52% (0.87dB)
WRITE(1F, 0B21)
WRITE(1Q, 8C00) //数据通道复位
PAUSE(100) //等待芯片配置生效
WRITE(1E, 901B) //检查 SERDES Core 内部锁相环是否锁定
READ(1F, 0011, 0011)
STOP

```

3.3 实验测试

由于串行口速率高达 1228.8Mbps 和 2457.6Mbps，对 PCB 的 layout 提出较大的挑战。同时 TLK3132 具有非常优秀的损耗补偿能力，可以调整最佳的去加重补偿等级，以得到最佳的信号完整性性能。

在 3.2 节的例子中，反复发送 K28.5 字节数据，实际测试到的 TLK3132 发送端眼图如图 9 和图 10（分别对应的串行速率为 1228.8Mbps 和 2457.6Mbps），抖动主要来源于随机噪声，眼宽均在 0.9UI 以上，具有非常优越的抖动性能（通过适当调整去加重能力补偿传输线 FR4 的损耗，以提高 SI 性能）。

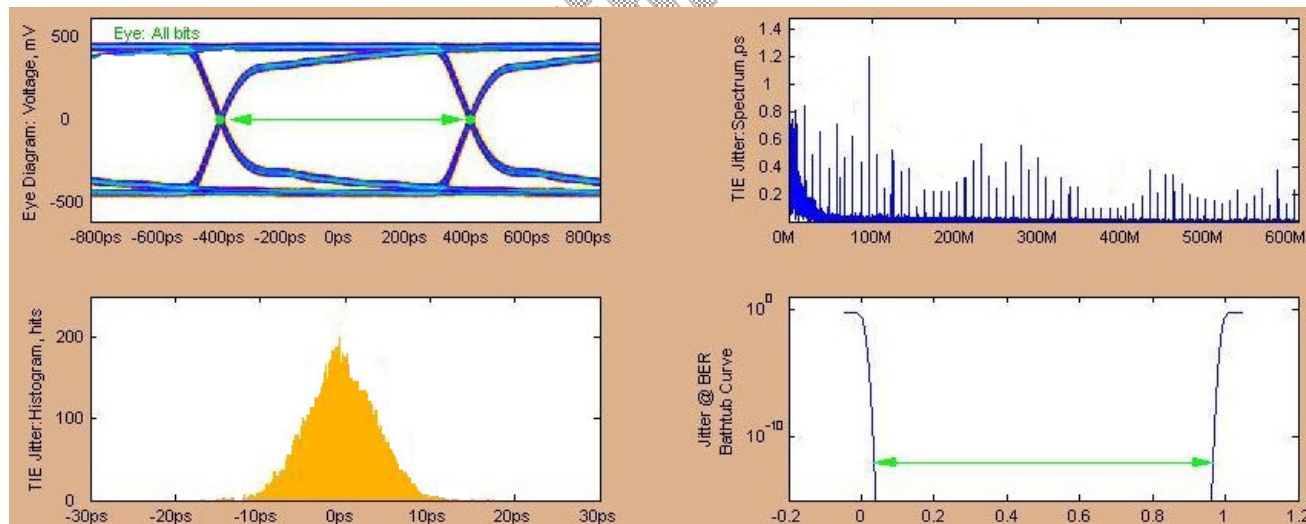


图 9 1228.8Mbps 发送侧眼图（经 5inches FR4走线，调整了最优的去加重补偿）

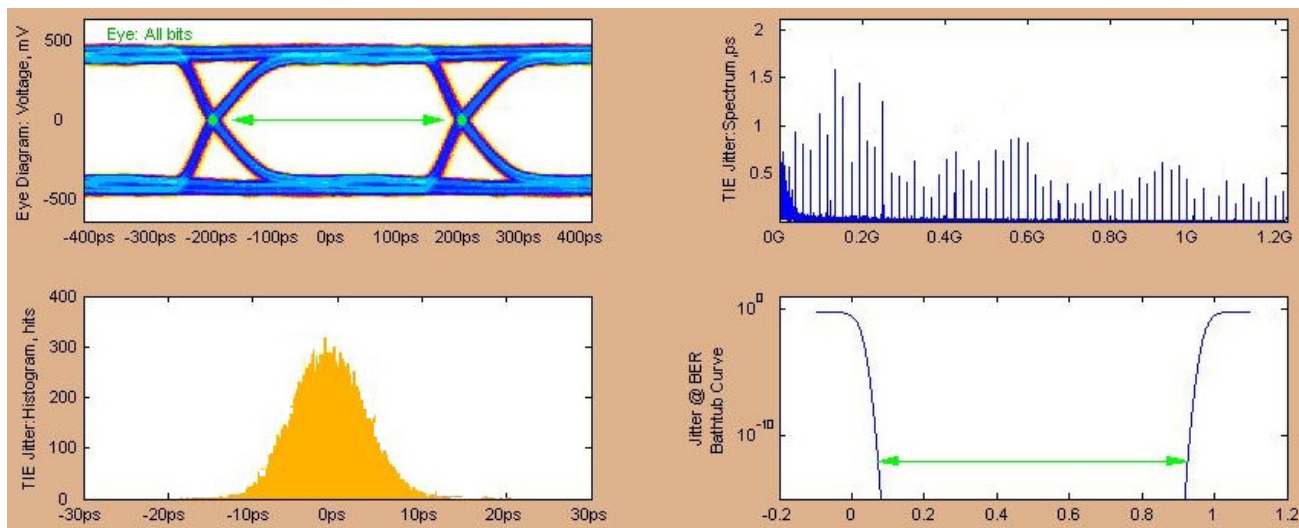


图 10 2457.6Mbps 发送侧眼图（经 5inches FR4 走线，调整了最优去加重补偿）

4 总结

TLK3132 是一款低功耗、低抖动、低成本、高性能的多速率收发器，灵活的内部模块配置功能使其广泛地应用于高速串行通信。

为了降低无线网络的组网成本和提高覆盖范围，射频拉远技术广泛应用在 3G 网络建设，可把原基站内的基带单元和射频单元通过标准化接口（如 CPRI 等）进行分离，达到一处机房多处天线配置的网络布局，以减少运营商对固定机房的投资。作为 CPRI 接口实现的一个关键技术—高速串并/并串收发器，TLK3132 提供非常优越的 SI 性能，标准的 8B/10B 和通道同步处理、灵活的片内时钟产生和分布等，完全能满足高可靠、多速率的 CPRI 接口标准要求。

5 参考资料

1. TLK3132 datasheet (s11s956.pdf)
2. CPRI Spec V2.0
3. IEEE 802.3-2005