

# 1394a 链路与 TSB41BA3A 之间的连接

David Liu

模拟接口解决方案

## 摘要

TSB41BA3A (一个 1394b 物理层) 可与 1394-1995 和 1394a 链路层控制器 (LLC)，如 TSB12LV21B、TSB12LV26、TSB12LV32、TSB42AA4、TSB42AB4 或 TSB12LV01B 等相连接。对于集成的 1394 链路和物理层，如 TSB43AA82A，也可以实现电缆端口与电缆端口的连接。本应用报告以 TSB12LV32 和 TSB12LV01B 为例描述了德州仪器 (TI) 离散 1394-1995、1394a 链路和 TSB41BA3A 之间的完整电子连接。

## 内容

1	术语	1
2	电缆接口	1
3	物理层器件– TSB41BA3A	2
4	PHY 链路接口	3
5	链路层控制器 TSB12LV01B	4
6	链路层控制器 TSB12LV32 (GP2Lynx)	5
7	参考	5
附录 A	参考原理图	6

## 附表目录

1	可能的电缆连接	2
---	---------	---

## 1 术语

在本应用报告中，使用了几个术语来描述节点到节点的 1394 连接。为了增强明确性，在此定义了这些术语：

**端口：**指 PHY 器件上的端口终端引脚。TSB41BA3A 是有三个端口的 PHY 器件。

**连接器：**指位置与 PHY 接近的物理插座。它的引脚通过端接电阻网络直接连接到端口。连接器可插入电缆的插头。

**插头：**位于 1394 电缆的两端，用于插入连接器。

## 2 电缆接口

TSB41BA3A 电缆接口的各个端口可以遵循 1394a-2000 (1394a) 标准或遵循 1394b-2002 (1394b) 标准。任何给定端口的操作模式由连接端口的接口功能和使用六个选择引脚 (TSB41BA3A 产品手册中的表 1) 对端口的配置方法来决定。当三个端口中的任意一个端口被配置为 1394b 双重模式或 1394a 数据选通引脚连接到符合 1394a 的节点时，该端口的电缆接口将以 s100、s200 和 s400 的速度在 1394a 数据选通模式下工作。例如，当三个端口中有任意一个端口被配置为 1394b beta-only 200 (B2) 并且连接到符合 1394b 的节点时，该端口的电缆接口将仅以 s100B 和 s200B 的速度在 1394b 模式下工作。

1394b 规范将 1394 总线速度扩展到 s800、s1600 和 s3200。在 1394b 规范中定义了新的 Beta 连接器及其关联的电缆。仅以 Beta 模式运行的节点应使用 Beta-only 连接器和 Beta 电缆。对于 1394-1995 和 1394a 传统连接，应使用一端为传统插头，另一端为双重模式插头的电缆。不能将 Beta-only 或双重模式 PHY 端口连接到 1394a 4 针连接器或 1394a 6 针连接器。只能将配置为 1394a 数据选通端口的端口连接到 1394a 6 针或 4 针连接器。表 1 阐述了 TSB41BA3A 连接方案。

表 1. 可能的电缆连接

插头 1	插头 2	最大速度
双重模式	6 针电缆（提供电源）	S400
双重模式	4 针电缆（不提供电源）	S400
双重模式	双重模式	S400B
Beta	Beta	S400B
Beta	双重模式	S400B

通过 S5\_LINKON、S4、S3、S2\_PC0、S1\_PC1 和 S0\_PC2 选择引脚完成端口配置。在硬件复位时，S5\_LINKON、S4、S3、S2\_PC0、S1\_PC1 和 S2\_PC2 是配置 TSB41BA3A 的端口速度和模式的选择引脚。有关端口配置过程的完整说明，请参阅 TSB41BA3A 产品手册 (SLLS618) 的表 1。

电缆接口显示在 1394a Link/TSB41BA3A 原理图（附录 A）的图表 1 中。它包括两个连接到 PHY 的 1394b 双重模式连接器（连接器 0 和连接器 1）。端口 2 未与连接器相连。端口 2 是未用端口，配置为 1394a 端口。在这种情况下，模式 #2 用于端口配置；S5\_LINKON 和 S4 分别经过 1kΩ 电阻连接到 GND。S3 经过 1kΩ 电阻连接到 DVDD(3.3)。TSB41BA3A 自动为双重模式端口确定正确的电缆接口连接方法。

每个电缆的电缆电源连接到其它端口且可用作总线电源。原理图中 PHY 未使用总线电源工作。稳压器将总线电源稳定在 3.3V。为了符合 1394，稳压器必须允许输入电压范围在 8V DC 与 30V DC 之间。稳压器显示在 1394a Link/TSB41BA3A 原理图（附录 A）的图表 1 上。当没有电缆电源时，稳压器也可以使用 12V 电源（如 PC 电源）供电。二极管决定使用哪个电源。为安全起见，应在 12V 电源的线路中使用 0.75A 保险丝。

每条电缆的电缆线套（双重模式连接器的引脚 10、11、12 和 13）直接连接到机壳的接地。双绞线 A 参考接地也必须经过一个电阻和电容组合连接到信号接地。建议在每个连接器旁边安装一个 1MΩ 电阻和 0.1μF 电容的组合。

每个端口（TPA 和 TPB）的驱动器设计为与外部 112-Ω 端接电阻网络一起工作。这是为了匹配 110-Ω 电缆阻抗。在双绞线电缆的两端必须各提供一个电阻网络。在双重模式端口上，TPA 电阻网络的中点直接连接到 TPBIAS，为了稳定性连接了一个 1μF 电容，为了降低 TPBIAS 上的电磁干扰连接了一个 270pF 电容。TPB 电阻网络的中点经过并联的 RC 网络耦合接地。应将这些 112-Ω 端接电阻网络安装在尽量靠近 PHY 的位置，且应将共模组件安装在尽量靠近 112-Ω 端接网络的位置。

### 3 物理层器件— TSB41BA3A

TSB41BA3A 的电路连接显示在 1394a Link/TSB41BA3A 原理图（附录 A）的 sheet 2 和 sheet 3 中。

必须将电源引脚（DVDD-3.3、AVDD-3.3、DVDD(CORE) 和 PLLVDD(CORE)）单独分组，然后经过几个高频去耦电容将它们去耦接 GND 引脚。使用去耦电容时应遵循以下规则：

- 在尽量靠近每个电源引脚的位置安装一个 0.001μF 电容。如果两个或多个电源引脚相邻，则该组只需要一个 0.001μF 电容。
- 在尽量靠近 PHY 上每个单电源引脚的位置安装一个 0.1μF 电容。单电源引脚是指与其它电源引脚不相邻的引脚。

TSB41BA3A 需要一个外部 49.152MHz 的晶振时钟来生成基准时钟。外部时钟驱动内部锁相环 (PLL)，以生成所需的基准信号。此基准信号提供了时钟信号，用以控制输出编码信息的传输。49.152MHz 时钟信号被提供给关联的 LLC 以实现两个器件之间的同步，且在按照 IEEE 1394a-2000 标准 (BMODE 输入低电平) 操作 PHY 链路接口时用于重新同步接收的数据。当按照 IEEE 1394b-2002 标准 (BMODE 输入高电平) 操作 PHY 链路接口时，98.304MHz 时钟信号被提供给关联的 LLC 以实现两个器件之间的同步。

**晶振选择：**为了确保 PHY 振荡器在所有操作条件下启动，TI 建议使用 CL 为 20pF 或以下、ESR 为 30-Ω 或以下的基础并行模式晶振。可以用以下公式计算施加在每个晶振管腿上的端接电容值：

$$C_{termination} = (C_L - C_{board}) \times 2$$

其中：

$$C_{board} = (\text{电路板线迹电容} + \text{PHY 输入电容})$$

如果将 20pF 晶振安装在靠近 PHY 的位置，则  $C_{board} \approx$  为 4pF 且  $C_{termination} \approx$  为 33pF。

当 1394 端口未与连接器相连时，必须正确端接它。首选方法是在 1394a 模式下配置端口。在 1394a 模式下，TPB+ 和 TPB- 引脚必须连接在一起并接地。可以经过  $1\text{ }\mu\text{F}$  电容将 TPBIAS 接地或保持悬空。TPA+ 和 TPA- 引脚可以保持悬空。原理图中的端口 2 阐述了正确端接的 1394a 端口。

CPS 引脚检测是否有电缆电源并经过  $400\text{ k}\Omega$  电阻连接到电缆电源。可以使用常用电阻值  $390\text{ k}\Omega$ 。即使 PHY 不使用电缆电源，该节点也应始终使 CPS 引脚经过  $400\text{ k}\Omega$  电阻连接到电缆电源。如果未提供电缆电源，则可以将 CPS 直接连接到 PHY 地。

RESET 引脚断言将复位内部逻辑。提供内部上拉至  $V_{DD}$ ，因此只需一个外部延迟电容就可以获得正确的加电操作。该外部延迟电容的建议值为  $0.22\text{ }\mu\text{F}$ 。

R0 和 R1 终端设置内部工作电流和电缆驱动器的输出电流。要满足 IEEE 1394-1995 标准输出电压限制，需要使用  $6.34\text{ k}\Omega \pm 1\%$  的电阻。

S2\_PC0、S1\_PC1 和 S0\_PC2 是功率类和端口模式配置引脚。在硬件复位时，上述引脚与其它三个模式配置引脚（S5\_LINKON、S4 和 S3）一起允许用户配置 TSB41BA3A 的三个端口。在硬件复位之后，它们变为功率类引脚。功率类引脚将功率类值编程到已发送的 self-ID 数据包的 PWR 字段中。这使总线上的其它节点可以了解该节点的功率要求。可以按照 IEEE 1394a 标准的表 7-3 中的功率类说明对这些引脚进行编程。该原理图被编程为功率类 "100" 或十进制值 4。这表示该节点：

- a. 可以由总线供电
- b. 可以重复加电
- c. 功率最高为 3W
- d. 无需其它电源即可启动链路

功率类别引脚硬连线到原理图上所示的值。

S4 和 S3 为配置引脚。与其它四个模式配置引脚（S5\_LINKON、S2\_PC0、S1\_PC1 和 S0\_PC2）一起使用时，它们允许用户配置 TSB41BA3A 的三个端口。在这种情况下，模式 #22 用于端口配置，S4 经过一个  $1\text{ k}\Omega$  电阻连接到 GND，S3 经过一个  $1\text{ k}\Omega$  电阻连接到 DVDD(3.3)。

VREG\_PD 是提供内核电压的内部稳压器的启动引脚。对于单次 3.3V 电源操作，此引脚必须连接到低电平以启动稳压器。如果此引脚连接到高电平，则必须分别从外部为 PLLVDD(CORE) 和 DVDD(CORE) 提供内核电压。

在 1394b 模式下，TSB41BA3A 使用 PINT 来发送状态并中断链路上的信息。在 1394a 模式下，PINT 可以保持断开和悬空。

在 1394a 模式下，应将 LCLK 接地。

TESTM、SE 和 SM 终端是用于制造测试的测试控制引脚。对于正常操作，TESTM 必须经过一个  $1\text{ k}\Omega$  电阻连接到 DVDD(3.3)。SE 和 SM 必须直接接地。

#### 4 PHY 链路接口

TSB41BA3A 的 PHY 链路接口可以遵循 1394a 标准或 1394b 标准。当使用任何 1394-1995 或 1394a 链路（如 TSB12LV01B 或 TSB12LV32）时，PHY 链路接口必须遵循 1394a 标准。在这种情况下，BMODE 引脚必须接低电平或接 GND。当使用任何 1394b 链路（如 TSB82AA2）时，PHY 链路接口必须遵循 1394b 标准。在这种情况下，BMODE 引脚应接高电平。BMODE 引脚只设置 PHY 链路接口的工作模式；它不设置电缆接口的工作模式。在此原理图中未实施任何隔离。PHY 和链路使用同一接地面。

要降低电磁干扰发射并降低 PCLK 线路上的反射，建议使用串联阻尼电阻。原理图显示一个  $0\text{-}\Omega$  电阻，它其实是电路板上的位置标示符。要降低电磁干扰，建议在 PCLK 线路上使用  $22\text{-}\Omega$  电阻。应将此电阻放在尽量靠近 PHY 的位置。可以调节其值以减少发射。通过降低 PCLK 的边缘速率， $22\text{-}\Omega$  电阻可以显著降低当 PHY 与链路之间的距离较大（在此情况中大于 4 英寸）时可能出现的反射。

链路请求信号 (LREQ) 是从链路向 PHY 输入。链路使用此信号启动对 PHY 的服务请求。当触发 BMODE 引脚时，IEEE 1394b-2002 BOSS 仲裁被禁用且 LREQ 请求数据流遵循 1394a 规范。

CTL0 和 CTL1 是用于控制 PHY 与链路之间的通信的双向信号。应在 PHY 与链路之间直接连接这些信号。CTL 编码遵循 1394a 规范。

TSB12LV01B 和 TSB12LV32 是 400Mbps 的链路层器件，使用所有数据 I/O 线路 (D0- D7) 与 PHY 通信。当从 PHY 接收状态信息时，只使用 D0 和 D1。

TSB41BA3A 的 S5\_LINKON 同时用作链路打开输出和端口的配置引脚。在硬件复位时，此终端与其它 5 个配置引脚（S4、S3、S2\_PC0、S1\_PC1 和 S0\_PC2）一起允许用户配置 TSB41BA3A 端口。硬件复位之后，此终端成为链路打开输出，它通知 LLC 或其它加电逻辑加电并变成活动。如果链路层上有链路打开输入，则此终端可以经过一个 1kΩ 电阻连接到 LLC 的链路打开输入终端。

如果未执行 PD 的断电选项控制，则应将 PHY 上的 PD 引脚（引脚 77）经过一个 1kΩ 电阻接地以保持 PHY 被启用。

## 5 链路层控制器 TSB12LV01B

TSB12LV01B 是 400Mbps 的通用 IEEE 1394-1995 链路层控制器。TSB12LV01B 计划用于 PC 外设和通信。它可以在主机控制器、1394 PHY 链路接口和连接到本地总线接口的外部器件之间传输数据。

TSB12LV01B 遵循大尾结构。0 位是最大有效位。0 字节是最大有效字节。

ADDR0 – ADDR7 是 8 位的主机地址总线。此总线应连接到主机处理器地址总线。只需要使用 8 个地址线中的 6 个就可以寻址所有内部存储器空间（CFR 和 FIFO）。应将地址线 6 和 7 接地。应将 TSB12LV01B 地址的最大有效字节连接到主机处理器地址总线的最大有效字节，而不管主机处理器的大小尾结构。

TSB12LV01B 的 32 位主机接口设计用于支持摩托罗拉 (Motorola) 68K 型号的微控制器/微处理器。该接口支持三种访问模式：正常、快速和突发。

DATA0 – DATA31 是 32 位的主机数据总线。此总线应连接到主机处理器 I/O 数据总线。应将 TSB12LV01B 数据总线的最大有效字节连接到主机处理器数据总线的最大有效字节，而不管主机处理器的大小尾结构。

BCLK 是向 TSB12LV01B 的时钟输入且应连接到主机输出时钟。TSB12LV01B 可支持高达 50MHz 的时钟频率。

TSB12LV01B 的  $\overline{CA}$  引脚是低电平活动的周期确认引脚。它是到主机总线的控制信号。当被断言时，它将从 TSB12LV01B 发送确认信号到主机存取周期。它表示对 TSB12LV01B 配置寄存器 (CFR) 空间或 FIFO 的访问已完成。

---

注:

如果直接连接到摩托罗拉 (Motorola) 68K 型号的微控制器/微处理器，则应将  $\overline{CA}$  引脚连接到处理器的传输确认 (TA) 引脚。

---

TSB12LV01B 的  $\overline{CS}$  引脚是低电平活动的周期开始引脚，它表示对 TSB12LV01B 配置或 FIFO 空间的访问开始。

---

注:

如果直接连接到摩托罗拉 (Motorola) 68K 型号的微控制器/微处理器，则应将  $\overline{CS}$  引脚连接到处理器的传输开始 (TS) 引脚。

---

$\overline{TNT}$  是低电平活动的中断引脚，应将它连接到主机的中断引脚。当  $\overline{TNT}$  为低电平时，TSB12LV01B 将通知主机总线发生了中断。

$\overline{WR}$  是读/写启动引脚，应连接至主机的 WR 引脚。当  $\overline{CS}$  为低电平且  $\overline{WR}$  为高电平时，主机总线控制器将请求从 TSB12VL01B 读取。要请求写访问， $\overline{WR}$  和  $\overline{CS}$  必须为低电平。

$\overline{RESET}$  是对 TSB12LV01B 的异步系统复位。此引脚可以连接到 PHY 复位引脚，可以受主机控制器控制或通过外部复位源控制。

CYCLEIN 输入终端是可选的外部 8kHz 时钟输入，可用于设置等时周期时钟。由于在此情况中未使用此终端，所以将它连接到  $V_{CC}$ 。

CYCLEOUT 输出终端是 TSB12LV01B 版本的周期时钟。它基于定时器控制和接收的周期启动消息。可以让它保持断开。

GP00、GP01 和 GP02 是通用输出位。如果未使用这些终端，则它们加电后的默认功能分别为 GRFEMP、CYCDE 和 CYST。加电之后，这些终端可以编程为通用输出引脚。

## 6 链路层控制器 TSB12LV32 (GP2Lynx)

TSB12LV32 是 400Mbps IEEE 1394a 通用链路层控制器。12LV32 可以在 PC 外设中使用，如打印机、扫描仪和桌面摄像头。它可以在主机控制器、1394 PHY 链路接口和连接到数据移动器端口 (DMA 接口) 的外部器件之间传输数据。

在硬件复位期间将对 TSB12LV32 DIRECT 引脚采样以确定是否存在电隔离。如果该终端为高电平，则不存在隔离。如果该终端为低电平，则使用了 TI 总线支架隔离。TSB12LV32 不支持 Annex J 隔离。

链路中的 CONTNDR 终端在硬件复位时默认为输入。在原理图中，CONTNDR 经过一个  $1k\Omega$  电阻接地。这将通知链路该节点并非用于等时资源管理器 (IRM) 或总线管理器功能。但是，在加电之后，可以用链路层控制器内的 CTNDRSTAT 位从内部驱动此引脚的值。

TSB12LV32 包含一个可编程微控制器接口，它具有 8 位或 16 位数据总线，五种不同工作模式（包括突发模式）和高达 50MHz 的时钟频率。在此原理图中，它设置为以 16 位固定定时模式与摩托罗拉 (Motorola) 68000 型号的处理器的接口一起工作。为了将 TSB12LV32 配置为此模式，MCMODE/SIZ1 和 M8BIT/SIZ0 引脚已接地。因为该器件未配置为 Motorola Col dFire 模式，所以 Col dFire 终端也接地。

$\overline{MCS}$  (周期启动) 终端是 GP2Lynx 的低电平活动的输入终端。它发出信号通知微处理器开始访问 GP2Lynx。 $\overline{MCS}$  连接到摩托罗拉 (Motorola) 68000 上的 TSZ 线路。 $\overline{MCA}$  (周期确认) 是一个低电平活动的输出信号，代表从 GP2Lynx 发送到 68000 上的 TAZ 终端的周期确认信号。 $\overline{MWR}$  是读/写指示器。当断言高电平时，此输入终端表示来自 GP2Lynx 的读访问。当断言低电平时，它表示对 GP2Lynx 的写访问。微处理器接口上的所有数据传输均使用 BCLK 的上升沿进行同步。

GP2Lynx 器件遵循大尾结构：要将微接口设置为小尾模式，必须将 LENDIAN 引脚设置为高电平。在小尾模式下，在将数据写入器件的内部 FIFO 或配置寄存器 (CFR) 之前，MD [0:15] 线路以字节方式交换。原理图中使用了大尾结构；因此，LENDIAN 已接地。因为摩托罗拉 (Motorola) 68000 处理器使用第 15 位作为 MSB (最大有效位)，而 GP2Lynx 使用第 0 位作为 MSB，所以要在两个器件之间交换数据接口 (即，GP2Lynx 上的第 15 位连接到 68000 的第 0 位)。也可以使用 MDINV 和 MCMODE/SIZ0 终端将微接口配置为数据不变或地址不变模式。但是，仅当启用了 LENDIAN (高电平)，MDINV 才有意义。

所有 GP2Lynx 内部寄存器为 32 位宽。但是，由于摩托罗拉 (Motorola) 68000 处理器的工作基于字边界访问，所以 GP2Lynx 先在内部堆栈 2 个字写入，然后再将它们传输到链路寄存器。不需要外部字节堆栈操作。

访问所有 GP2Lynx 内部寄存器只需要 7 位地址线。由于 MA [0] 是 TSB12LV32 上的 MSB 位，所以它连接到 68000 处理器的 A [6]。因此，MA [6] 连接到 68000 处理器的 A [0]。

$\overline{TEA}$  终端连接到摩托罗拉 (Motorola) TEAZ 输入终端。此信号指示数据传输操作中出现的错误。

STAT0 – STAT2 是常规状态输出终端。这些引脚可以独立编程以显示 14 个可能的内部硬件状态中的一个状态。有关 STAT0 – STAT2 编程的详细信息，请参阅最新的 TSB12LV32 产品手册 (TI 文献编号 SLLS336B)。

CYCLEIN 输入终端是可选的外部 8kHz 时钟，可用于设置等时周期时钟。由于在此情况中未使用此终端，所以将它连接到  $V_{DD}$ 。

TNT 是低电平活动的输出终端，代表所有内部中断的逻辑或非。

数据移动器 (DM) 端口是一个 8/16 位高速端口，支持频率为 25MHz 来自非缓冲端口的等时、异步和异步数据流发送/接收。它将用于处理大型数据包的外部存储器接口。DM 端口具有 8 种工作模式，且可支持 4 个通道进行等时发送。

DM 端口具有 7 个控制引脚。有关这些引脚的功能的详细信息，请参阅最新的 TSB12LV32 产品手册 (TI 文献编号 SLLS336B)。

## 7 参考

1. TSB12LV01B, IEEE 1394-1995 高速串行总线链路层控制器 (SLLS435A)
2. TSB12LV32、TSB12LV32I 和用于计算机外设和消费类音频/视频电子的通用链路层控制器 (符合 IEEE 1394-1995 和 P1394a 标准) (SLLS336B)
3. TSB41BA3A, IEEE 1394b 三端口电缆收发器/仲裁器 (SLLS618)
4. IEEE 标准 1394-1995, IEEE 的高性能串行总线标准
5. IEEE 标准 1394a-2000, IEEE 的高性能串行总线标准 – 修正版本 1
6. IEEE 标准 1394b, IEEE 的高性能串行总线标准 – 修正版本 2



## 重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

### 产品

放大器	<a href="http://www.ti.com.cn/amplifiers">http://www.ti.com.cn/amplifiers</a>
数据转换器	<a href="http://www.ti.com.cn/dataconverters">http://www.ti.com.cn/dataconverters</a>
DSP	<a href="http://www.ti.com.cn/dsp">http://www.ti.com.cn/dsp</a>
接口	<a href="http://www.ti.com.cn/interface">http://www.ti.com.cn/interface</a>
逻辑	<a href="http://www.ti.com.cn/logic">http://www.ti.com.cn/logic</a>
电源管理	<a href="http://www.ti.com.cn/power">http://www.ti.com.cn/power</a>
微控制器	<a href="http://www.ti.com.cn/microcontrollers">http://www.ti.com.cn/microcontrollers</a>

### 应用

音频	<a href="http://www.ti.com.cn/audio">http://www.ti.com.cn/audio</a>
汽车	<a href="http://www.ti.com.cn/automotive">http://www.ti.com.cn/automotive</a>
宽带	<a href="http://www.ti.com.cn/broadband">http://www.ti.com.cn/broadband</a>
数字控制	<a href="http://www.ti.com.cn/control">http://www.ti.com.cn/control</a>
光纤网络	<a href="http://www.ti.com.cn/optical network">http://www.ti.com.cn/optical network</a>
安全	<a href="http://www.ti.com.cn/security">http://www.ti.com.cn/security</a>
电话	<a href="http://www.ti.com.cn/telecom">http://www.ti.com.cn/telecom</a>
视频与成像	<a href="http://www.ti.com.cn/video">http://www.ti.com.cn/video</a>
无线	<a href="http://www.ti.com.cn/wireless">http://www.ti.com.cn/wireless</a>

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2006, Texas Instruments Incorporated