TCAL6408 具有中断输出、复位和敏捷 I/O 配置寄存器的 8 位转换 I²C 总线，SMBus I/O 扩展器

1 特性

- 工作电源电压范围为 1.08V 至 3.6V
- 支持 1.2V、1.8V、2.5V 和 3.3V I²C 总线和 P 端口之间进行双向电压电平转换和 GPIO 扩展
- 1.8 V 时具有 1μA（典型值）的低待机电流消耗
- 1MHz 快速+ 模式 I²C 总线
- 硬件地址引脚，允许在同一 I²C/SMBus 总线上支持两个器件
- 低电平有效复位输入 ($\overline{\text{RESET}}$)
- 开漏低电平有效中断输出 ($\overline{\text{INT}}$)
- 输入或输出配置寄存器
- 极性反转寄存器
- 可配置 I/O 驱动强度寄存器
- 上拉电阻和下拉电阻配置寄存器
- 内部上电复位
- SCL 或 SDA 输入端上有噪声滤波器
- 具有最大高电流驱动能力的锁存输出，适用于直接驱动 LED
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
  - 4000V 人体放电模型 (A114-A)
  - 1000V 充电器件模型 (C101)

2 应用

- 服务器
- 路由器（电信交换设备）
- 个人计算机
- 个人电子产品
- 工业自动化
- 游戏机
- 采用 GPIO 受限处理器的产品

3 说明

TCAL6408 器件可为两线双向 I²C 总线（或 SMBus）协议提供通用并行输入/输出 (I/O) 扩展。该器件的工作电源电压范围为 1.08V 至 3.6V（在 I²C 总线侧，为 V_{CCI}；在 P 端口侧，为 V_{CCP}）。

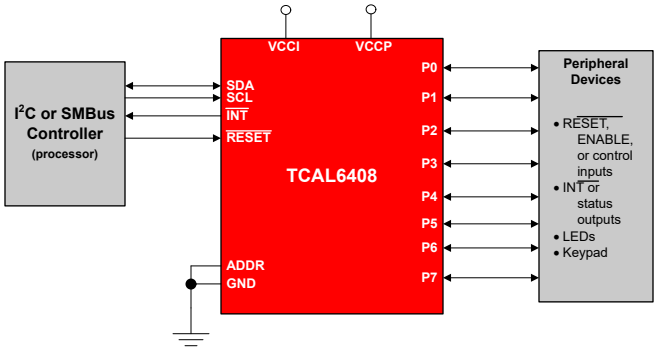
该器件支持 100kHz（标准模式）、400kHz（快速模式）和 1MHz（快速+ 模式）的 I²C 时钟频率。当开关、传感器、按钮、LED、风扇等设备需要额外使用 I/O 时，I/O 扩展器（如 TCAL6408）可提供简单解决方案。

TCAL6408 具有灵活的 I/O 端口，可提供旨在增强 I/O 速度、功耗和 EMI 性能的附加特性。此类附加特性包括：可编程输出驱动强度、可编程上拉和下拉电阻、可锁存输入、可屏蔽中断、中断状态寄存器和可编程开漏或推挽输出。

封装信息

器件型号	封装(1)	封装尺寸(2)
TCAL6408	TSSOP (16)	6.4 mm × 6.40 mm
	UQFN (16)	2.6 mm × 1.8 mm
	X2QFN (16)	1.6mm x 1.6mm

(1) 有关详细信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 5
5.4 热性能信息.... 5
5.5 电气特性.... 6
5.6 时序要求.... 7
5.7 I^2C 总线时序要求.... 8
5.8 开关特性.... 9
5.9 典型特性.... 10
6 参数测量信息.... 14
7 详细说明.... 18
7.1 概述.... 18
7.2 功能方框图.... 18
7.3 特性说明.... 19
7.4 器件功能模式.... 21
7.5 编程.... 21
7.6 寄存器映射.... 24
8 应用和实现.... 30
8.1 应用信息.... 30
8.2 典型应用.... 30
8.3 电源相关建议.... 33
8.4 布局.... 36
9 器件和文档支持.... 37
9.1 接收文档更新通知.... 37
9.2 支持资源.... 37
9.3 商标.... 37
9.4 静电放电警告.... 37
9.5 术语表.... 37
10 修订历史记录.... 37
11 机械、封装和可订购信息.... 37

Copyright © 2023 Texas Instruments Incorporated

4 引脚配置和功能

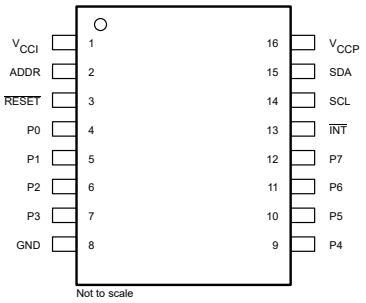


图 4-1. PW (TSSOP) 封装，16 引脚（俯视图）

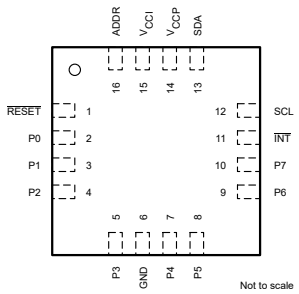


图 4-2. RSV (UQFN) 封装，16 引脚（俯视图）

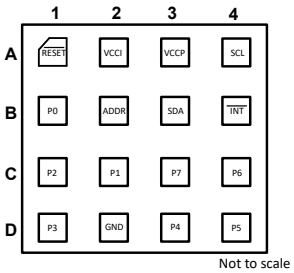


图 4-3. DTU (X2QFN) 封装，16 引脚（俯视图）

表 4-1. 引脚功能

引脚				类型[(1)]	说明
名称	PW (TSSOP)	RSV (UQFN)	DTU (X2QFN)		
ADDR	2	16	B2	I	地址输入。直接连接至 V_{CCP} 或接地
GND	8	6	D2	-	接地
$\overline{INT}$	13	11	B4	O	中断输出。通过一个上拉电阻连接到 V_{CCI} 或 V_{CCP}
P0	4	2	B1	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P0 配置为输入
P1	5	3	C2	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P1 配置为输入
P2	6	4	C1	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P2 配置为输入
P3	7	5	D1	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P3 配置为输入
P4	9	7	D3	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P4 配置为输入
P5	10	8	D4	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P5 配置为输入
P6	11	9	C4	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P6 配置为输入
P7	12	10	C3	I/O	P 端口输入/输出（推挽式设计结构）。上电时，P7 配置为输入
$\overline{RESET}$	3	1	A1	I	低电平有效复位输入。如果未使用有源连接，则通过上拉电阻器连接到 V_{CCI}
SCL	14	12	A4	I	串行时钟总线。通过上拉电阻器连接至 V_{CCI}
SDA	15	13	B3	I/O	串行数据总线。通过上拉电阻器连接至 V_{CCI}
V_{CCI}	1	15	A2	-	I^2C 总线的电源电压。直接连接到外部 I^2C 控制器的电源电压
V_{CCP}	16	14	A3	-	P 端口 TCAL6408 的电源电压

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2023 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

				最小值	最大值	单位
V_{CCI}、V_{CCP}	电源电压			–0.5	4	V
V_I	输入电压[(2)]			–0.5	4	V
V_O	输出电压[(2)]			–0.5	4	V
I_{IK}	输入钳位电流		V_I < 0		-20	mA
I_{OK}	输出钳位电流		V_O < 0		-20	mA
I_{IOK}	输入-输出钳位电流	P 端口	V_O < 0 或 V_O > V_{CCP}		±20	mA
		SDA	V_O < 0 或 V_O > V_{CCI}		±20	
I_{OL}	持续输出低电平电流	P 端口	V_O = 0 至 V_{CCP}		50	mA
		SDA	V_O = 0 至 V_{CCI}		25	
I_{OH}	持续输出高电平电流	P 端口	V_O = 0 至 V_{CCP}		-50	mA
I_{CC}	通过 GND 的持续电流				–200	mA
I_{CC}	通过 V_{CCP} 的持续电流				160	mA
	通过 V_{CCI} 的持续电流				10	
T_J	结温				130	°C
T_{stg}	存储温度			–65	150	°C

(1) *超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。*
(2) 如果遵守输入和输出电流额定值，则可能会超过输入负电压和输出电压额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚[(1)]	±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC 规范 JS-002，所有引脚[(2)]	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2023 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CCI}、V_{CCP}	电源电压		1.08	3.6	V
V_{IH}	高电平输入电压	SCL、SDA、$\overline{RESET}$	0.7 * V_{CCI}	3.6	V
		P0-P7、ADDR	0.7 * V_{CCP}	3.6	
V_{IL}	低电平输入电压	SCL、SDA、$\overline{RESET}$	-0.5	0.3 * V_{CCI}	V
		P0-P7、ADDR	-0.5	0.3 * V_{CCP}	V
I_{OH}	高电平输出电流	P0-P7		– 10	mA
I_{OL}	低电平输出电流	P0-P7		25	mA
T_A	环境温度		-40	125	°C
T_J	结温			125	°C

5.4 热性能信息

热指标[1]		封装			单位
		PW (TSSOP)	RSV (UQFN)	DTU (X2QFN)	
		引脚	引脚	引脚	
$R_{\theta JA}$	结至环境热阻	115.7	123.1	143.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	46.1	65.0	55.6	°C/W
$R_{\theta JB}$	结至电路板热阻	62.0	54.6	81.9	°C/W
Ψ_{JT}	结至顶部特征参数	6.0	2.9	1.3	°C/W
Ψ_{JB}	结至电路板特征参数	61.4	52.9	81.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CCP}	最小值	典型值	最大值	单位
V_{IK}	输入二极管钳位电压		I_I = -18mA	1.08V 至 3.6V	-1.2			V
V_{PORR}	上电复位电压，V_{CC} 上升		V_I = V_{CC} 或 GND，I_O = 0			0.85	1.0	V
V_{PORF}	上电复位电压，V_{CC} 下降		V_I = V_{CC} 或 GND，I_O = 0		0.6	0.75		V
V_{IH}	高电平输入电压	SDA、SCL		1.08 至 3.6 V	0.7×V_{CC}			V
		P 端口、ADDR、A1、A2、$\overline{RESET}$		1.08 至 3.6 V	0.7×V_{CC}			V
V_{IL}	低电平输入电压	SDA、SCL		1.08 至 3.6 V			0.4 × V_{CC}	V
		P 端口、ADDR、A1、A2、$\overline{RESET}$		1.08 至 3.6 V			0.3×V_{CC}	V
V_{OH}	P 端口高电平输出电压(1)		I_{OH} = –8mA；CCX.X = 11b	1.08 V	0.8			V
				1.65V	1.4			
				2.3V	2.1			
				3V	2.8			
			I_{OH} = –2.5mA 且 CCX.X = 00b；I_{OH} = –5mA 且 CCX.X = 01b；I_{OH} = –7.5mA 且 CCX.X = 10b；I_{OH} = –10mA 且 CCX.X = 11b；	1.08 V	0.75			
				1.65V	1.4			
				2.3V	2.1			
				3V	2.8			
V_{OL}	低电平输出电压	P 端口	I_{OL} = 8mA；CCX.X = 11b	1.08 V			0.2	V
				1.65V			0.15	
				2.3V			0.1	
				3.0V			0.1	
		P 端口	I_{OL} = 2.5mA 且 CCX.X = 00b；I_{OL} = 5mA 且 CCX.X = 01b；I_{OL} = 7.5mA 且 CCX.X = 10b；I_{OL} = 10mA 且 CCX.X = 11b；	1.08 V			0.25	V
				1.65V			0.15	
				2.3V			0.1	
				3.0V			0.1	
I_{OL}	低电平输出电流	SDA	V_{OL} = 0.4V	1.08V 至 3.6V	20			mA
		$\overline{INT}$	V_{OL} = 0.4V		4			
I_I	输入漏电流	P 端口	V_I=V_{CC} 或 GND	1.08V 至 3.6V			±1	μA
			V_I = 3.6 V	0V			±1	
I_I	输入漏电流	SCL、SDA、RESETZ	V_I=V_{CC} 或 GND	1.08V 至 3.6V			±1	
I_I	输入漏电流	ADDR	V_I=V_{CC} 或 GND	1.08V 至 3.6V			±1	μA

Copyright © 2023 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CCP}	最小值	典型值	最大值	单位
I_{CC} (I_{CCI} + I_{CCP})	静态电流	工作模式 (400kHz)	SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，f_{SCL} = 400kHz，–40°C < T_A ≤ 85°C，IO 电阻器已禁用	3.6V		7	15	μA
				2.7V		5	11	
				1.95V		4	8	
				1.32 V		2	6	
			SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，f_{SCL} = 400kHz，85°C < T_A ≤ 125°C，IO 电阻器已禁用	3.6V		7	24	μA
				2.7V		5	18	
				1.95V		4	14	
				1.32 V		2	11	
		工作模式 (1MHz)	SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，f_{SCL} = 1MHz，–40°C < T_A ≤ 85°C，IO 电阻器已禁用	3.6V			34	μA
				2.7V			24	
				1.95V			18	
				1.32 V			12	
			SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，f_{SCL} = 1MHz，85°C < T_A ≤ 125°C，IO 电阻器已禁用	3.6V			42	μA
				2.7V			30	
				1.95V			22	
				1.32 V			16	
		待机模式	SCL，SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，I_O = 0，f_{SCL} = 0kHz，–40°C < T_A ≤ 85°C，IO 电阻器已禁用	3.6V		1.5	3	μA
				2.7V		1.2	2.0	
				1.95V		0.6	1.6	
				1.32 V		0.6	1.4	
			SCL，SDA，$\overline{RESET}$ = V_{CCI}，P 端口，ADDR = V_{CCP} 或 GND，I/O = 输入，I_O = 0，f_{SCL} = 0kHz，85°C < T_A ≤ 125°C，IO 电阻器已禁用	3.6V			14	μA
				2.7V			10	
				1.95V			8	
				1.32 V			6	
$R_{pu(int)}$	内部上拉电阻	P 端口			70	100	140	kΩ
$R_{pd(int)}$	内部下拉电阻							
C_I	输入引脚电容	SCL	V_I=V_{CC} 或 GND	1.08V 至 3.6V		2.5	5	pF
C_{IO}	输入-输出引脚电容	SDA	V_{IO} = V_{CC} 或 GND	1.08V 至 3.6V		6	8	pF
		P 端口	V_{IO} = V_{CC} 或 GND	1.08V 至 3.6V		6	8.5	

(1) 每个 I/O 必须在外部限制为最大 25mA

5.6 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
$\overline{RESET}$				
t_w	复位脉冲持续时间	80		ns
t_{REC}	复位恢复时间	0		ns
t_{RESET}	复位时间	400		ns
P 端口				
t_{PH}	导致中断的 P 端口上的最小脉冲宽度	30		ns

5.7 I²C 总线时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
I²C 总线 - 标准模式					
f_{scl}	I²C 时钟频率		0	100	kHz
t_{sch}	I²C 时钟高电平时间		4		μs
t_{scl}	I²C 时钟低电平时间		4.7		μs
t_{sp}	I²C 尖峰时间			50	ns
t_{sds}	I²C 串行数据设置时间		250		ns
t_{sdh}	I²C 串行数据保持时间		0		ns
t_{icr}	I²C 输入上升时间			1000	ns
t_{icf}	I²C 输入下降时间			300	ns
t_{ocf}	I²C 输出下降时间	10pF 至 400pF 总线		300	ns
t_{buf}	停止和启动之间的 I²C 总线空闲时间		4.7		μs
t_{sts}	I²C 启动或重复启动条件设置		4.7		μs
t_{sth}	I²C 启动或重复启动条件保持		4		μs
t_{sps}	I²C 停止条件设置		4		μs
$t_{vd(data)}$	有效数据时间	SCL 低电平到 SDA 输出有效		3.45	μs
$t_{vd(ack)}$	ACK 条件的有效数据时间	从 SCL 低电平到 SDA（输出）低电平的 ACK 信号		3.45	μs
C_b	I²C 总线容性负载			400	pF
I²C 总线 - 快速模式					
f_{scl}	I²C 时钟频率		0	400	kHz
t_{sch}	I²C 时钟高电平时间		0.6		μs
t_{scl}	I²C 时钟低电平时间		1.3		μs
t_{sp}	I²C 尖峰时间			50	ns
t_{sds}	I²C 串行数据设置时间		100		ns
t_{sdh}	I²C 串行数据保持时间		0		ns
t_{icr}	I²C 输入上升时间		20	300	ns
t_{icf}	I²C 输入下降时间		20 × (V_{CC}/5.5V)	300	ns
t_{ocf}	I²C 输出下降时间	10pF 至 400pF 总线	20 × (V_{CC}/5.5V)	300	ns
t_{buf}	停止和启动之间的 I²C 总线空闲时间		1.3		μs
t_{sts}	I²C 启动或重复启动条件设置		0.6		μs
t_{sth}	I²C 启动或重复启动条件保持		0.6		μs
t_{sps}	I²C 停止条件设置		0.6		μs
$t_{vd(data)}$	有效数据时间	SCL 低电平到 SDA 输出有效		0.9	μs
$t_{vd(ack)}$	ACK 条件的有效数据时间	从 SCL 低电平到 SDA（输出）低电平的 ACK 信号		0.9	μs
C_b	I²C 总线容性负载			400	pF
I²C 总线 - 快速模式 +					
f_{scl}	I²C 时钟频率		0	1000	kHz
t_{sch}	I²C 时钟高电平时间		0.26		μs

Copyright © 2023 Texas Instruments Incorporated

5.7 I²C 总线时序要求（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
t_{scl}	I²C 时钟低电平时间		0.5		μs
t_{sp}	I²C 尖峰时间			50	ns
t_{sds}	I²C 串行数据设置时间		50		ns
t_{sdh}	I²C 串行数据保持时间		0		ns
t_{icr}	I²C 输入上升时间			120	ns
t_{icf}	I²C 输入下降时间		20 × (V_{CC}/5.5V)	120	ns
t_{ocf}	I²C 输出下降时间	10pF 至 550pF 总线	20 × (V_{CC}/5.5V)	120	ns
t_{buf}	停止和启动之间的 I²C 总线空闲时间		0.5		μs
t_{sts}	I²C 启动或重复启动条件设置		0.26		μs
t_{sth}	I²C 启动或重复启动条件保持		0.26		μs
t_{sps}	I²C 停止条件设置		0.26		μs
$t_{vd(data)}$	有效数据时间	SCL 低电平到 SDA 输出有效		0.45	μs
$t_{vd(ack)}$	ACK 条件的有效数据时间	从 SCL 低电平到 SDA（输出）低电平的 ACK 信号		0.45	μs
C_b	I²C 总线容性负载			550	pF

5.8 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		从（输入）	至（输出）	最小值	典型值	最大值	单位
t_{iv}	中断有效时间（R_{PU} = 4.7kΩ，C_L = 100pF）	P 端口	$\overline{INT}$			1	μs
t_{ir}	中断复位延迟时间（R_{PU} = 4.7kΩ，C_L = 100pF）	SCL	$\overline{INT}$			1	μs
t_{pv}	输出数据有效时间	SCL	P 端口			400	ns
t_{ps}	输入数据设置时间	P 端口	SCL	0			ns
t_{ph}	输入数据保持时间	P 端口	SCL	300			ns
t_{skew_fall}	从 SCL 到 SDA 的延迟时间（仅 SIM）- 下降沿	SCL	SDA	5		80	ns
t_{skew_rise}	从 SCL 到 SDA 的延迟时间（仅 SIM）- 上升沿	SCL	SDA	-20		80	ns

5.9 典型特性

T_A = 25°C（除非另有说明）

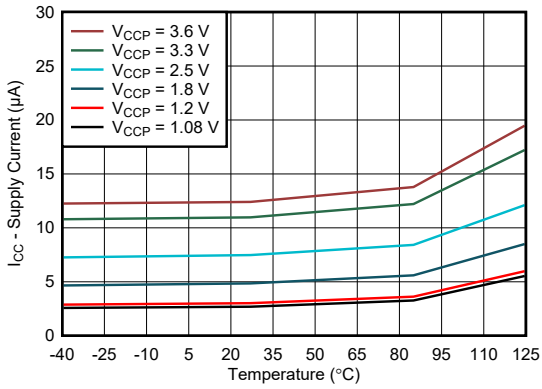


图 5-1. 电源电流与温度间的关系 - FM 模式

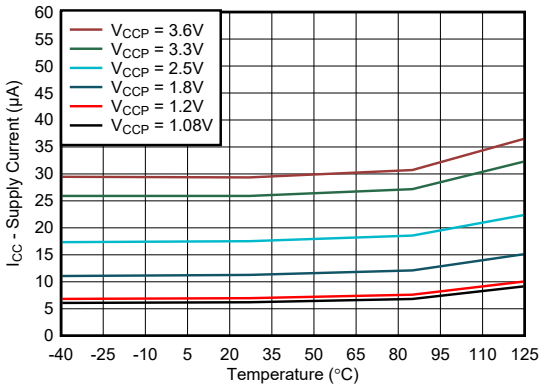


图 5-2. 电源电流与温度间的关系 - FM+ 模式

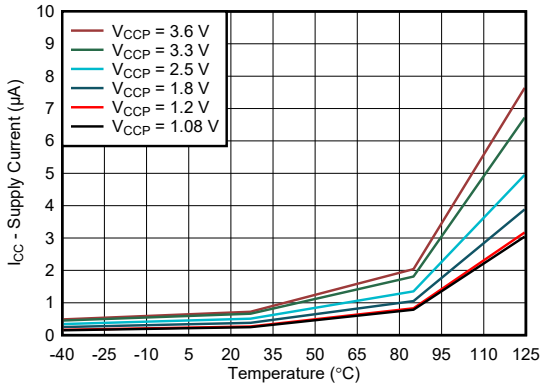


图 5-3. 待机电源电流与温度间的关系

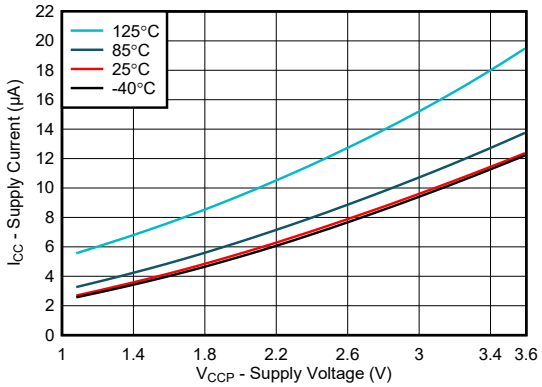


图 5-4. 电源电流与电源电压的关系 - FM 模式

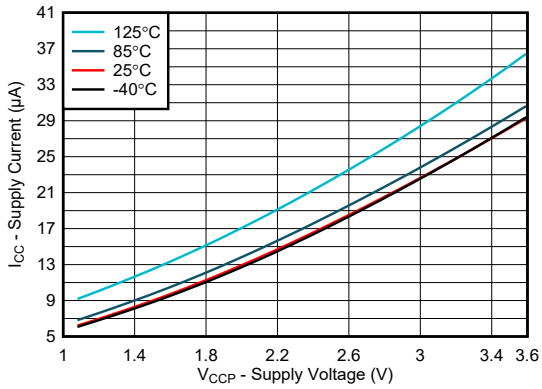


图 5-5. 电源电流与电源电压的关系 - FM+ 模式

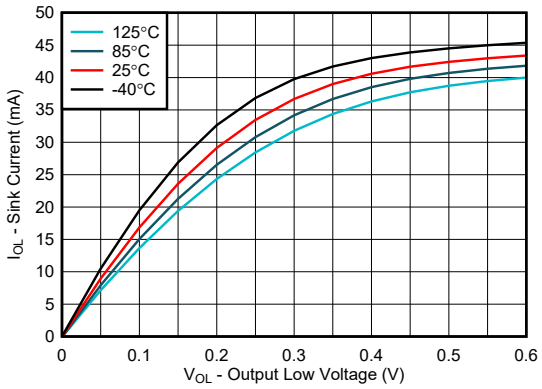


图 5-6. I/O 灌电流与输出低电压的关系，V_{CCP} = 1.08V

Copyright © 2023 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C（除非另有说明）

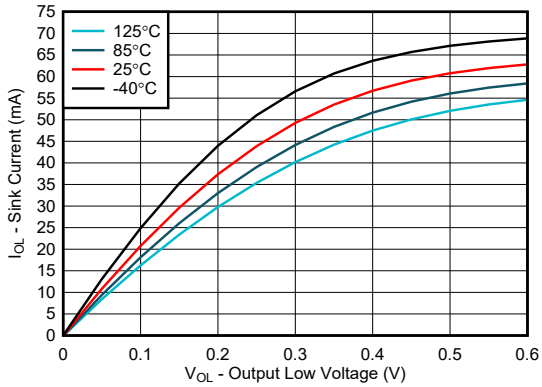


图 5-7. I/O 灌电流与输出低电压的关系，V_{CCP} = 1.2V

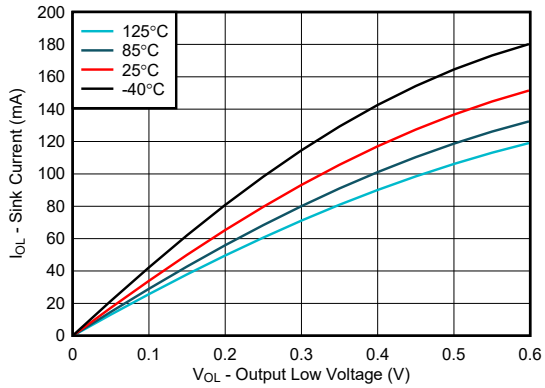


图 5-8. I/O 灌电流与输出低电压的关系，V_{CCP} = 1.8V

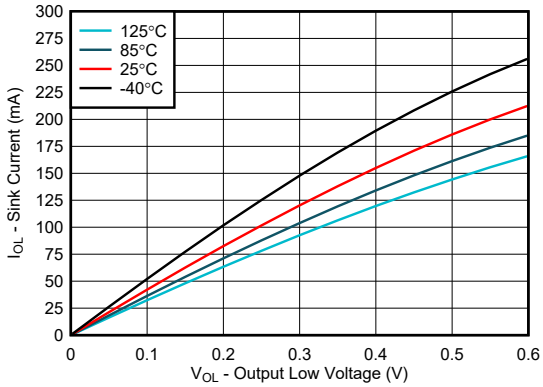


图 5-9. I/O 灌电流与输出低电压的关系，V_{CCP} = 2.5V

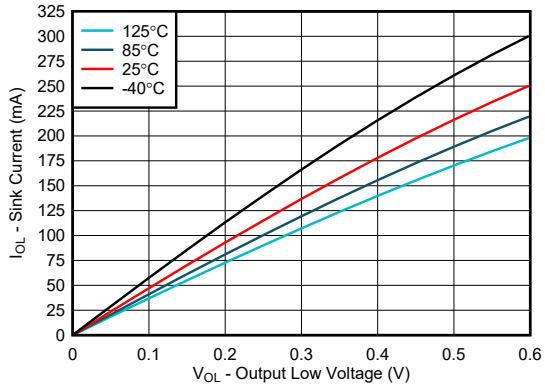


图 5-10. I/O 灌电流与输出低电压的关系，V_{CCP} = 3.3V

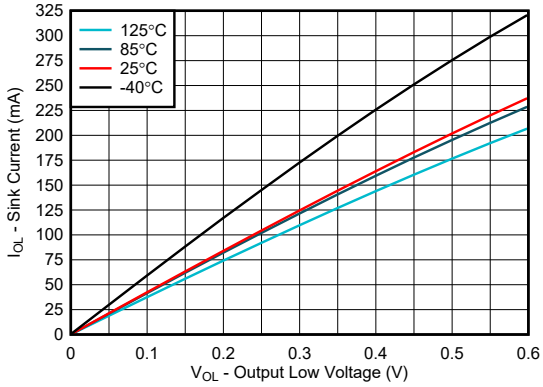


图 5-11. I/O 灌电流与输出低电压的关系，V_{CCP} = 3.6V

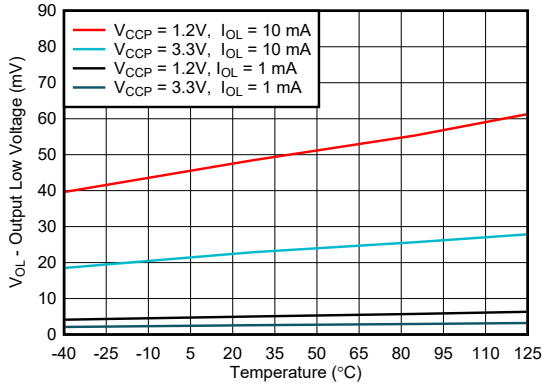


图 5-12. I/O 低电压与温度的关系

5.9 典型特性（续）

T_A = 25°C（除非另有说明）

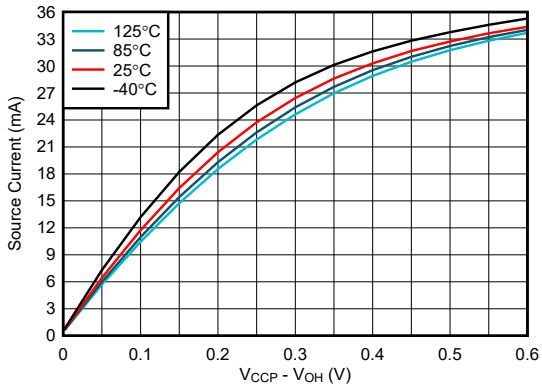


图 5-13. I/O 拉电流与输出高电压的关系，V_{CCP} = 1.08V

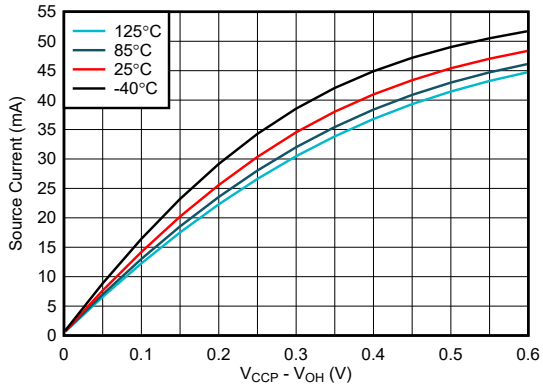


图 5-14. I/O 拉电流与输出高电压的关系，V_{CCP} = 1.2V

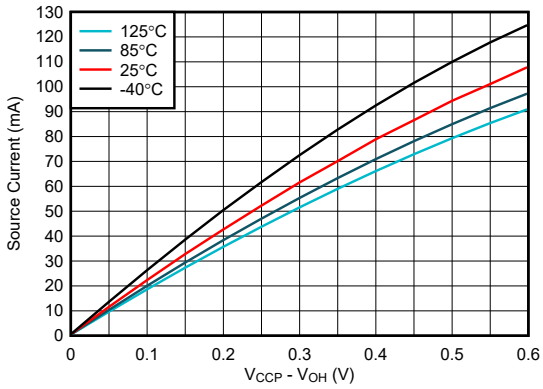


图 5-15. I/O 拉电流与输出高电压的关系，V_{CCP} = 1.8V

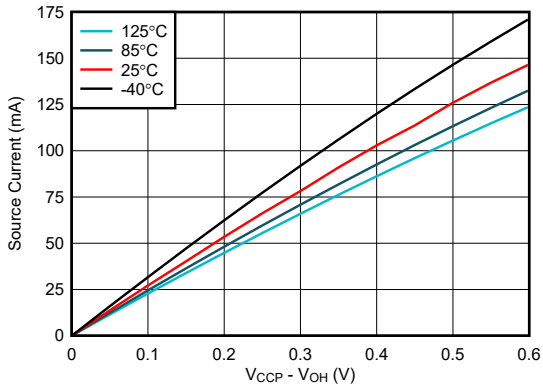


图 5-16. I/O 拉电流与输出高电压的关系，V_{CCP} = 2.5V

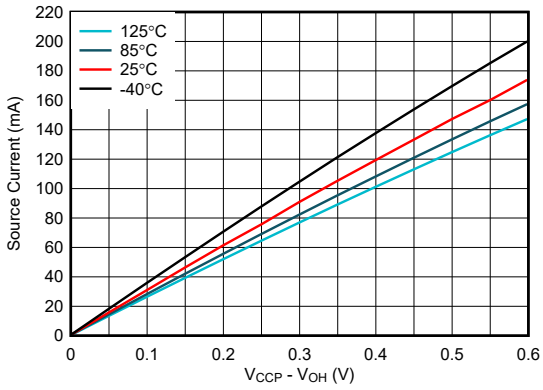


图 5-17. I/O 拉电流与输出高电压的关系，V_{CCP} = 3.3V

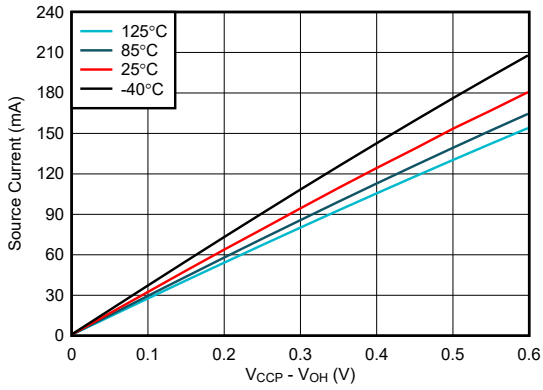


图 5-18. I/O 拉电流与输出高电压的关系，V_{CCP} = 3.6V

Copyright © 2023 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C（除非另有说明）

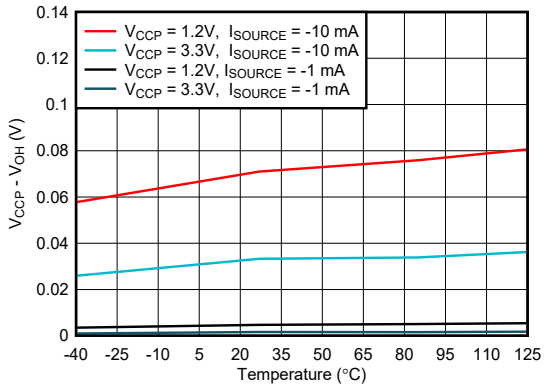
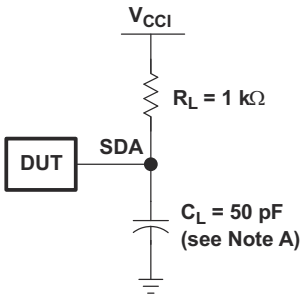
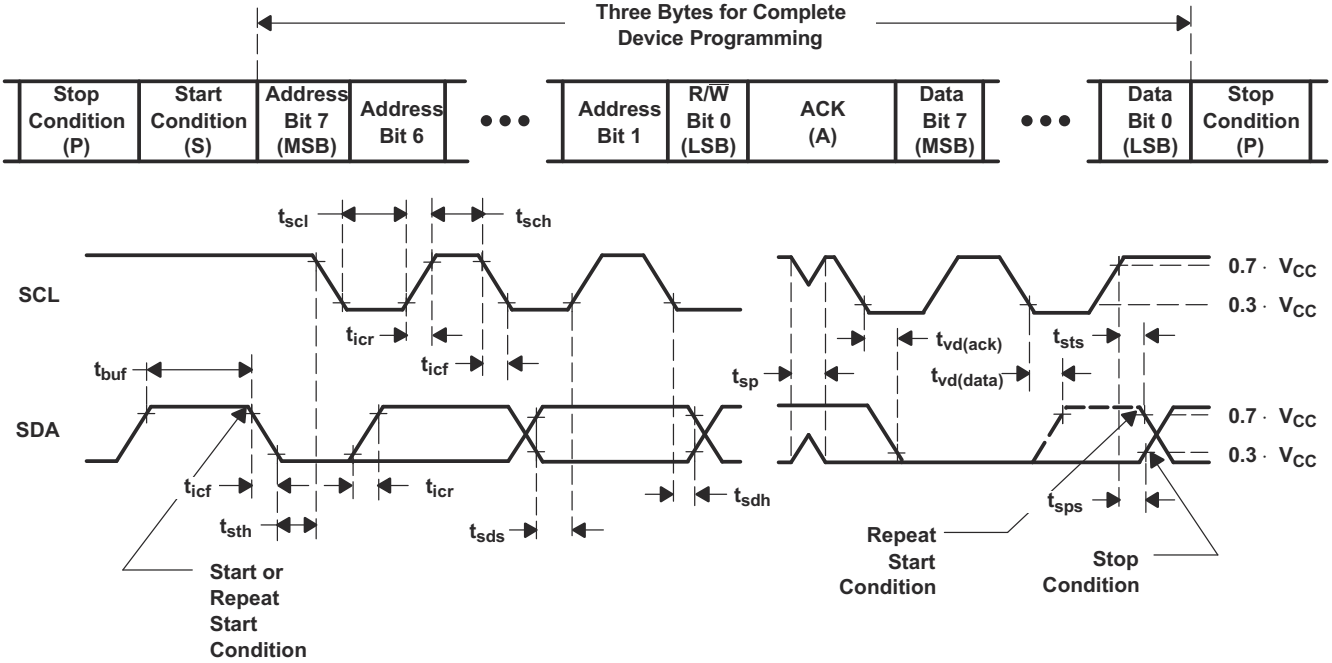


图 5-19. I/O 高电压与温度间的关系

6 参数测量信息



SDA LOAD CONFIGURATION



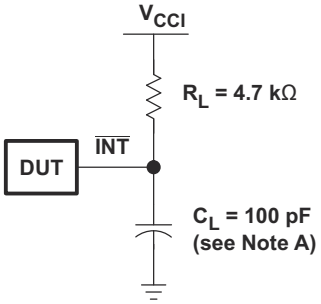
VOLTAGE WAVEFORMS

BYTE	DESCRIPTION
1	I²C address
2, 3	P-port data

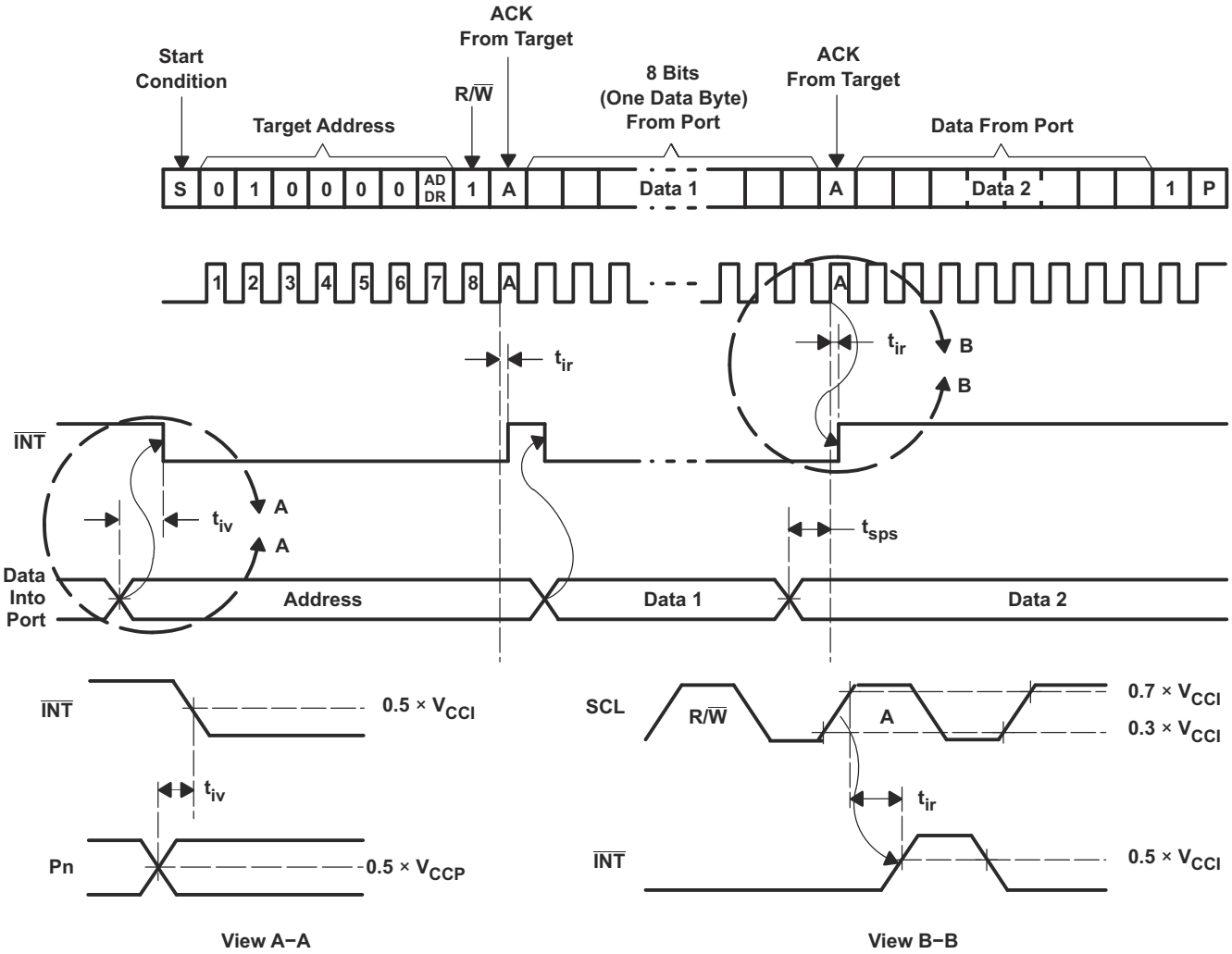
A. C_L 包括探头和夹具电容。使用 10pF 或 400pF 的 C_L 测量 tocf。
B. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz，Z_O = 50Ω，t_r/t_f ≤ 30ns。
C. 并非所有参数和波形都适用于所有器件。

图 6-1. I²C 接口负载电路和电压波形

Copyright © 2023 Texas Instruments Incorporated



INTERRUPT LOAD CONFIGURATION

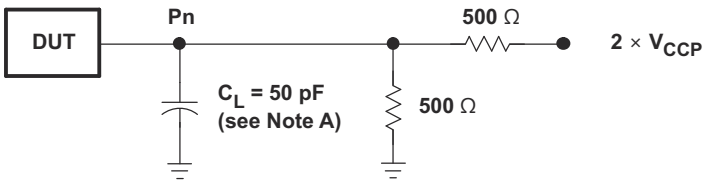


A. C_L 包括探头和夹具电容。

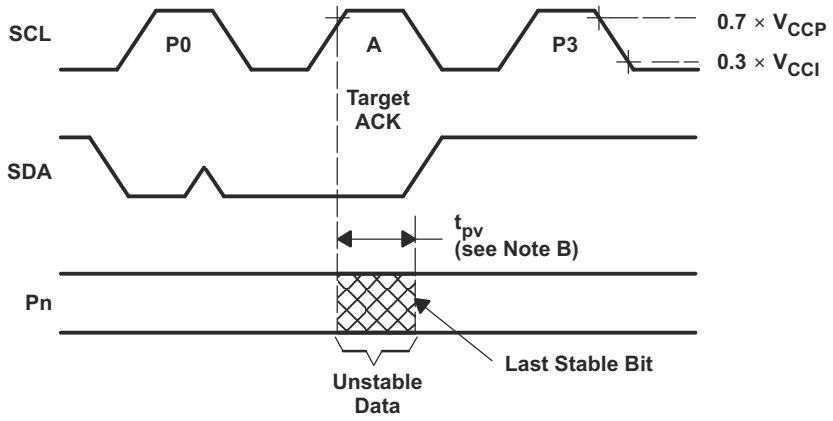
B. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz，Z_O = 50Ω，t_r/t_f ≤ 30ns。

C. 并非所有参数和波形都适用于所有器件。

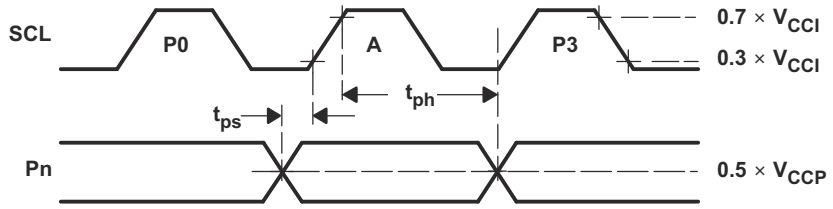
图 6-2. 中断负载电路和电压波形



P-PORT LOAD CONFIGURATION



WRITE MODE (R/$\overline{W}$ = 0)

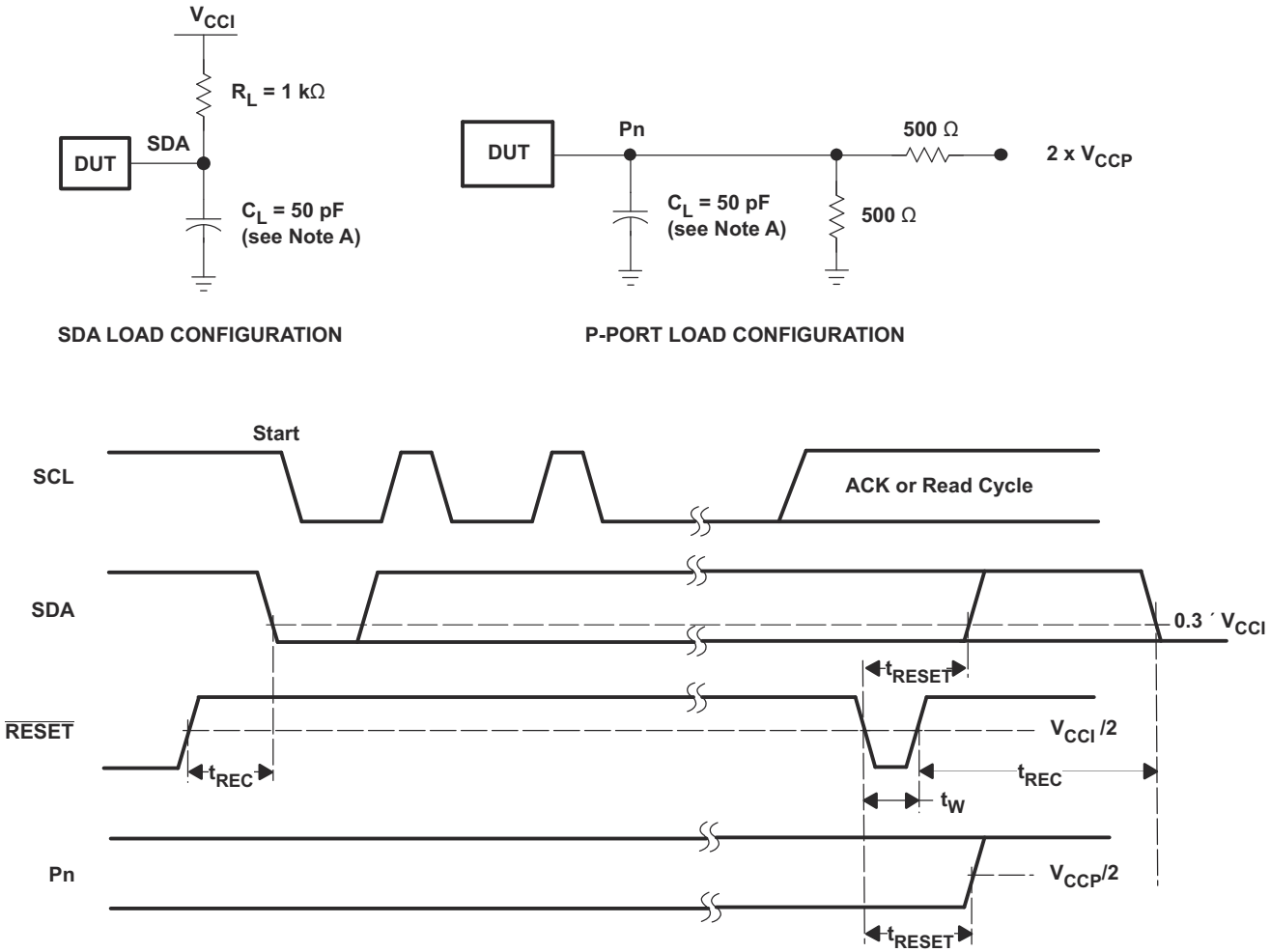


READ MODE (R/$\overline{W}$ = 1)

A. C_L 包括探头和夹具电容。
B. t_{pv} 的测量范围为 0.7 × SCL 上的 V_{CC} 到 50% 的 I/O (Pn) 输出。
C. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz，Z_O = 50Ω，t_r/t_f ≤ 30ns。
D. 每次测量这些输出中的一个，每次测量转换一次。
E. 并非所有参数和波形都适用于所有器件。

图 6-3. P 端口负载电路和时序波形

Copyright © 2023 Texas Instruments Incorporated



A. C_L 包括探头和夹具电容。
B. 所有输入均由具有以下特性的发生器供电：PRR ≤ 10MHz，Z_O = 50Ω，t_r/t_f ≤ 30ns。
C. 每次测量这些输出中的一个，每次测量转换一次。
D. I/O 配置为输入。
E. 并非所有参数和波形都适用于所有器件。

图 6-4. 重置负载电路和电压波形

7 详细说明

7.1 概述

TCAL6408 支持宽电源电压范围内的电压转换。这使得器件能够与 I^2C 侧的现代处理器连接，在那里，电源电平较低，可节省电能。与处理器的电源下降相反，一些 PCB 元件（如 LED）仍然需要更高电压的电源。

V_{CCI} 引脚是 I^2C 总线的电源，因此连接到 SCL、SDA 和 RESET 引脚的上拉电阻器应终止于 V_{CCI}。INT 输出具有开漏结构，需要外部上拉电阻器连接到 V_{CCP} 或 V_{CCI}，具体取决于应用。V_{CCP} 引脚是 P 端口的电源。如果在任何 P 端口上使用外部上拉电阻器，或 LED 由任何 P 端口驱动，则连接到 P0-P7 的电阻器或 LED 应终止于 V_{CCP}。配置为输出的器件 P 端口能够吸收高达 25mA 的电流以直接驱动 LED，但必须使用额外的电阻从外部限制电流。

TCAL6408 数字内核由 8 位数据寄存器组成，允许用户配置 I/O 端口特性。在上电或复位后，I/O 被配置为输入。但是，系统控制器可以通过写入配置寄存器将 I/O 配置为输入或输出。每个输入或输出的数据都保存在相应的输入端口或输出端口寄存器中。输入端口寄存器的极性可由极性反转寄存器转换。所有寄存器都可由系统控制器读取。此外，TCAL6408 还具有专门用于增强 I/O 端口的敏捷 I/O 功能。敏捷 I/O 特性和寄存器包括可编程输出驱动强度、可编程上拉和下拉电阻器、可锁存输入、可屏蔽中断、中断状态寄存器，以及可编程开漏或推挽输出。这些配置寄存器通过增加灵活性并允许用户优化功耗、速度和 EMI 的设计来改善 I/O。

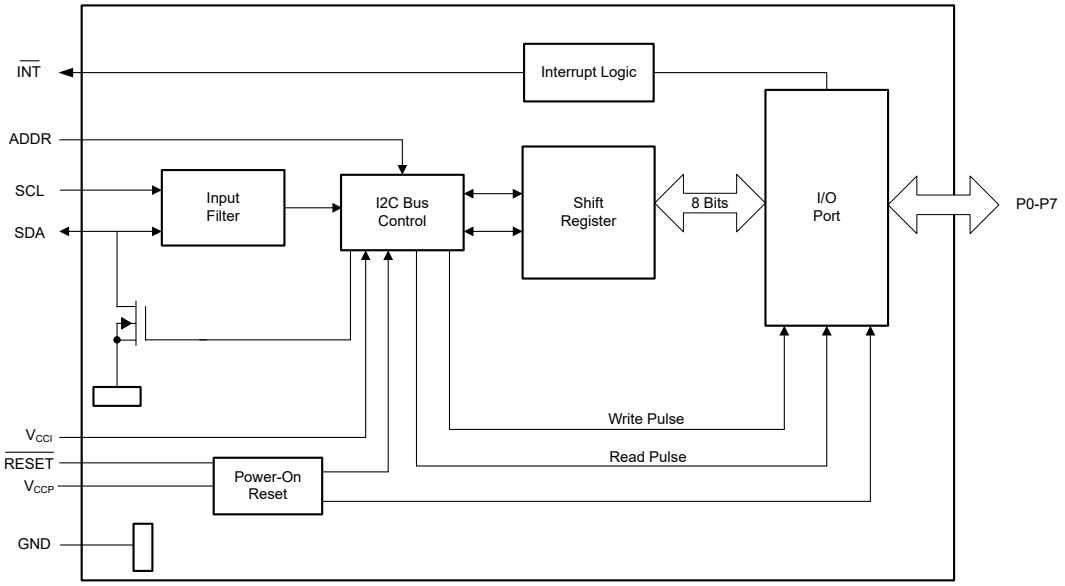
该器件的其他功能包括每当输入端口改变状态时，都会在 $\overline{INT}$ 引脚上生成中断。通过向 $\overline{RESET}$ 引脚施加低逻辑电平，发出软件复位命令，或通过循环对器件供电并导致上电复位，可以将器件重置为默认状态。ADDR 硬件可选地址引脚允许两个 TCAL6408 器件连接到同一 I^2C 总线。

当任何输入状态与其对应的输入端口寄存器状态不同时，TCAL6408 开漏中断 ($\overline{INT}$) 输出会被激活，并用于向系统控制器指示输入状态已更改。$\overline{INT}$ 引脚可以连接到处理器的中断输入。通过在这条线路上发送一个中断信号，该器件可通知处理器在远程 I/O 端口上是否存在输入数据，而无须通过 I^2C 总线进行通信。因此，该器件还可作为简单的响应器件。

在发生超时或其他不正确操作时，系统控制器可以通过在 $\overline{RESET}$ 输入引脚上断言低电平，或通过将电源循环至 V_{CCP} 引脚并导致通电复位 (POR) 来重置器件。重置会将寄存器置于其默认状态，并初始化 I^2C /SMBus 状态机。$\overline{RESET}$ 功能和 POR 会导致发生相同的重置/初始化，但 $\overline{RESET}$ 功能无需关闭器件电源即可实现此操作。

一个硬件引脚 (ADDR) 可用于编程和改变固定 I^2C 地址，并允许两个器件共享相同的 I^2C 总线或 SMBus。

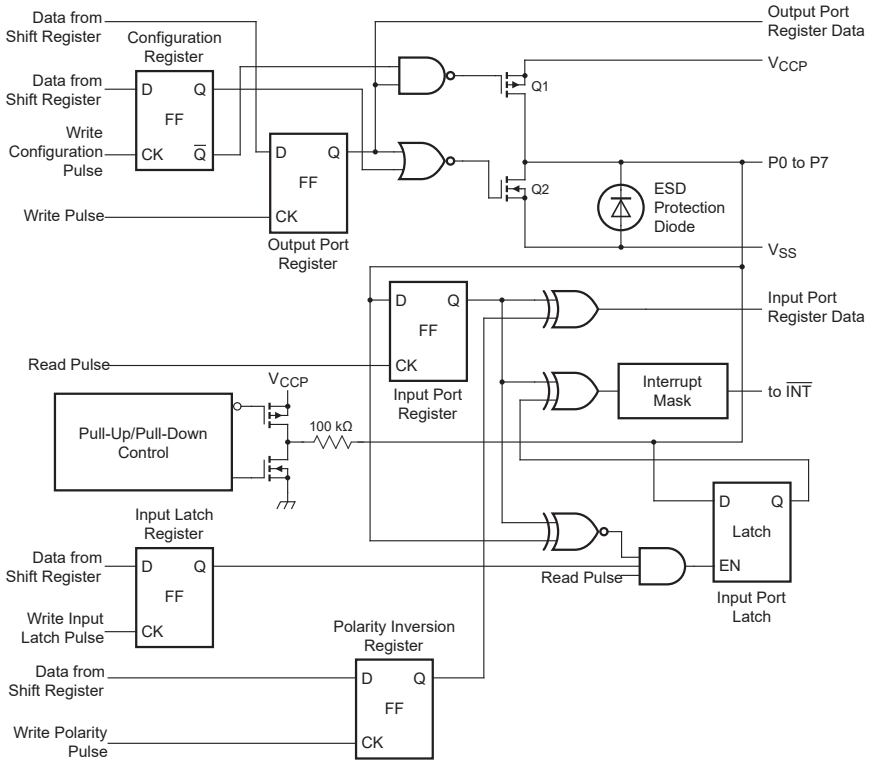
7.2 功能方框图



A. 所有 I/O 在复位时都设置为输入。

图 7-1. 逻辑图（正逻辑）

Copyright © 2023 Texas Instruments Incorporated



A. 上电或复位时，所有寄存器都恢复为默认值。

图 7-2. P0 至 P7 的简化原理图

7.3 特性说明

7.3.1 电压转换

表 7-1 列出了 TCAL6408 支持的适用于 I²C 总线 (V_{CCI}) 和 P 端口 (V_{CCP}) 的所有可选电压供应电平组合。

表 7-1. 电压转换

V_{CCI} (²C 控制器的 SDA 和 SCL) (V)	V_{CCP} (P 端口) (V)
1.2	1.2
1.2	1.8
1.2	2.5
1.2	3.3
1.8	1.2
1.8	1.8
1.8	2.5
1.8	3.3
2.5	1.2
2.5	1.8
2.5	2.5
2.5	3.3
3.3	1.2
3.3	1.8

表 7-1. 电压转换（续）

V_{CCI}（^2C 控制器的 SDA 和 SCL）(V)	V_{CCP}（P 端口）(V)
3.3	2.5
3.3	3.3

7.3.2 I/O 端口

当 I/O 配置为输入时，FET Q1 和 Q2 处于关闭状态（请参阅图 8-2），从而创建一个高阻抗输入。输入电压可以升高到高于电源电压，最大值为 3.6V。

如果 I/O 配置为输出，则将启用 Q1 或 Q2，具体取决于输出端口寄存器的状态。在这种情况下，I/O 引脚和电源或 GND 之间存在低阻抗路径。要确保正常运行，施加到此 I/O 引脚的外部电压不应超过推荐电压值。

7.3.3 可调输出驱动强度

输出驱动强度寄存器允许用户控制 GPIO 的驱动电平。每个 GPIO 都可以独立地配置为四个可能的电流电平之一。通过对这些位进行编程，用户可以改变驱动 I/O 焊盘的晶体管对或“手指”的数量。图 8-3 展示了一个简化的输出级。焊盘的行为受配置寄存器、输出端口数据和电流控制寄存器的影响。当电流控制寄存器位被编程为 01b 时，只有两个手指处于活动状态，从而将电流驱动能力降低了 50%。

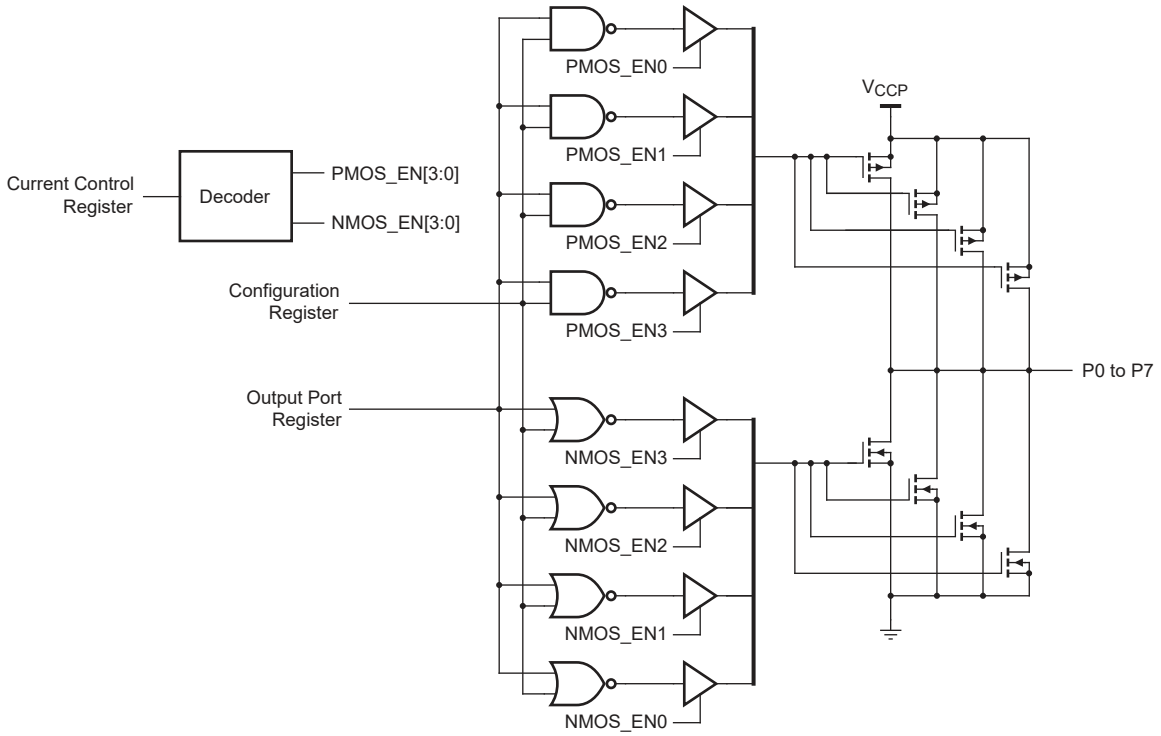


图 7-3. 简化的输出级

要降低系统噪声，可能需要降低电流驱动能力。当输出切换时，会有一个峰值电流，此电流是输出驱动选择的函数。该峰值电流流经电源和 GND 封装电感并产生噪声（会产生一些辐射，但更严重的是会产生同时开关噪声 (SSN)）。换句话说，同时切换多个输出将产生接地和电源噪声。通过输出驱动强度寄存器的输出驱动强度控制使用户能够缓解 SSN 问题，而无需额外的外部组件。

Copyright © 2023 Texas Instruments Incorporated

7.3.4 中断输出 ($\overline{INT}$)

如果中断特性未被屏蔽，在输入模式中，端口输入的任何上升沿或下降沿都会生成中断。经过时间 t_{iv} 后，$\overline{INT}$ 信号将有效。当端口上的数据改回原始设置或从生成中断的端口读取数据时，即可实现中断电路的复位。复位发生在读取模式下 SCL 信号上升沿之后的确认 (ACK) 位处。由于在 ACK 时钟脉冲期间发生的中断进行了复位，因此在该脉冲期间发生的中断可能会丢失（或非常短）。复位后，I/O 的每次更改都会被检测到并作为 $\overline{INT}$ 发送。

对另一个器件进行读取或写入不会影响中断电路，并且配置为输出的引脚不会导致中断。将 I/O 从输出更改为输入时，如果引脚的状态与输入端口寄存器的内容不匹配，可能会导致伪中断。

$\overline{INT}$ 输出具有开漏结构，需要将外部上拉电阻器连接到 V_{CCP} 或 V_{CCI}，具体取决于应用 。$\overline{INT}$ 的上拉电阻器应连接到需要中断信息的器件的电压源。

7.3.5 复位输入 ($\overline{RESET}$)

可以断言 $\overline{RESET}$ 输入以初始化系统，同时保持 V_{CCP} 电源在其工作电平。将 $\overline{RESET}$ 引脚保持在低电平至少 t_W，可实现复位。TCAL6408 寄存器和 I^2C/SMBus 状态机在 $\overline{RESET}$ 为低电平 (0) 时更改为其默认状态。当 $\overline{RESET}$ 为高电平 (1) 时，可从外部或通过控制器更改 P 端口的 I/O 电平。如果未使用有效连接，该输入需要将一个上拉电阻器连接到 V_{CCI}。当 $\overline{RESET}$ 被切换时，会更新输入端口寄存器以反映 GPIO 引脚的状态。

7.3.6 软件复位广播

软件复位广播是 I2C 总线上的控制器发出的命令，指示所有支持该命令的器件复位为上电默认状态。要确保按预期运行，I2C 总线必须能够正常工作，并且任何器件都不能挂起总线。

软件复位广播定义为以下步骤：

1. I2C 总线控制器发送一个启动条件。
2. 使用的地址是保留的通用广播 I2C 总线地址“0000 0000”，其中 R/W 位设置为 0。发送的字节为 0x00。
3. 任何支持通用广播功能的器件都将 ACK。如果 R/W 位设置为 1（读取），器件将 NACK。
4. 通用广播地址得到确认后，控制器仅发送等于 0x06 的 1 字节数据。如果数据字节是任何其他值，器件将不会确认或复位。如果发送的数据超过 1 字节，则不会再确认更多字节，并且器件将忽略此 I2C 消息，将其视为无效。
5. 发送 1 字节数据 (0x06) 后，控制器发送一个停止条件来结束软件复位序列。器件将忽略重复的启动条件，并且不执行复位。

成功完成上述步骤后，器件将执行复位。这会将所有寄存器值恢复为上电默认值。

7.4 器件功能模式

7.4.1 上电复位

将电源（从 0V）施加到 V_{CCP} 时，内部上电复位会将 TCAL6408 保持在复位状态，直到电源达到 V_{POR}。届时，复位条件会被释放，并且 TCAL6408 寄存器和 I^2C/SMBus 状态机初始化为默认状态。之后，必须将 V_{CCP} 降至低于 V_{PORF}，并恢复到工作电压以完成电源复位周期。

7.5 编程

7.5.1 I^2C 接口

双向 I^2C 总线由串行时钟 (SCL) 线和串行数据 (SDA) 线组成。当连接到器件的输出级时，两条线都必须通过上拉电阻连接到正电源。只有当总线处于不忙状态时，才能启动数据传输。

当 SCL 输入为高电平时，控制器发送启动条件（SDA 输入/输出上由高电平到低电平转换）启动与该器件的 I^2C 通信（请参阅图 7-4）。在发送启动条件之后，会发送器件地址字节，首先发送最高有效位 (MSB)，包括数据方向位 (R/ $\overline{W}$)。

接收到有效地址字节后，该器件以确认 (ACK) 响应，在 ACK 相关时钟脉冲的高电平期间，SDA 输入/输出为低电平。响应器器件的地址输入不得在启动条件和停止条件之间更改。

在 I²C 总线上，在每个时钟脉冲期间仅传输一个数据位。在时钟周期的高脉冲期间，SDA 线上的数据必须保持稳定，因为此时数据线上的变化会被解释为控制命令（开始或停止）（请参阅图 7-5）。

控制器会发送停止条件，即当 SCL 输入为高电平时，SDA 输入/输出由低电平到高电平转换（请参阅图 7-4）。

在开始和停止条件之间，可以将任意数量的数据字节从发送器传输到接收器。每个 8 位字节后跟一个 ACK 位。发送器必须先释放 SDA 线，接收器才能发送 ACK 位。做出确认的器件必须在 ACK 时钟脉冲期间下拉 SDA 线路，这样，在 ACK 相关时钟周期的高脉冲期间，SDA 线路稳定为低电平（请参阅图 7-6）。当响应器接收器被寻址时，它必须在接收到每个字节后生成一个 ACK。类似地，控制器必须在它从响应器发送器接收到每个字节之后生成一个 ACK。必须满足设置和保持时间才能正常运行。

控制器接收器通过在最后一个字节已经从响应器计时输出之后不生成确认 (NACK) 来向响应器发送器发送数据结束信号。这是由控制器接收器通过将 SDA 线保持为高电平来完成的。在这种情况下，发送器必须释放数据线，才能使控制器生成停止条件。

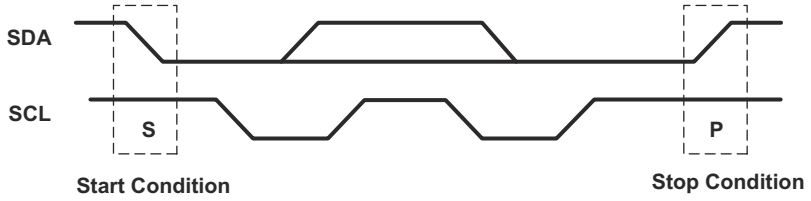


图 7-4. 启动和停止条件的定义

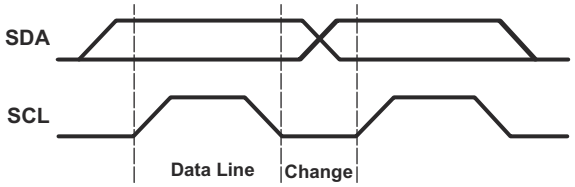


图 7-5. 位传输

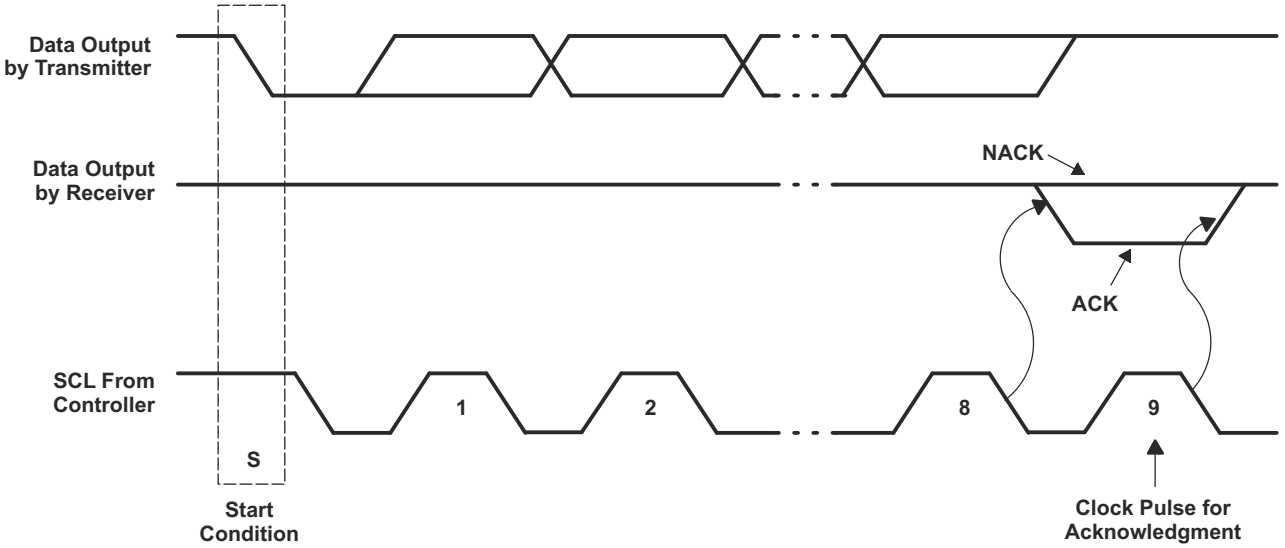


图 7-6. I²C 总线上的确认

Copyright © 2023 Texas Instruments Incorporated

表 7-2. 接口定义

字节	位							
	7 (MSB)	6	5	4	3	2	1	0 (LSB)
器件 I^2C 地址	低电平	H	L	L	L	低电平	ADDR	R/ $\overline{W}$
I/O 数据总线	P7	P6	P5	P4	P3	P2	P1	P0

7.6 寄存器映射

7.6.1 器件地址

TCAL6408 的地址如图 7-7 中所示。

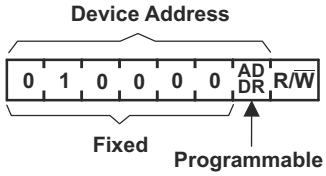


图 7-7. TCAL6408 地址

表 7-3. 地址参考

ADDR	I²C 总线响应器地址
L	32（十进制）、20（十六进制）
H	33（十进制）、21（十六进制）

响应器地址的最后一位定义了要执行的操作（读取或写入）。高 (1) 选择读操作，而低 (0) 选择写操作。

Copyright © 2023 Texas Instruments Incorporated

7.6.2 控制寄存器和命令字节

成功确认地址字节后，总线控制器会发送一个存储在 TCAL6408 中的控制寄存器中的命令字节。此数据字节的较低两位反映了受影响的内部寄存器（输入、输出、极性反转或配置）。第 6 位与命令字节的较低三位一起用于指向器件的扩展功能（敏捷 IO）。仅在写入传输期间发送命令字节。

发送新命令后，被寻址的寄存器将继续被读取访问，直到发送新的命令字节。在上电、硬件复位或软件复位时，控制寄存器默认为 00h。

B7	B6	B5	B4	B3	B2	B1	B0

图 7-8. 控制寄存器位

表 7-4. 命令字节

控制寄存器位								命令字节 (HEX)	寄存器	协议	上电默认值
B7	B6	B5	B4	B3	B2	B1	B0				
0	0	0	0	0	0	0	0	00	输入端口	读取字节	xxxx xxxx
0	0	0	0	0	0	0	1	01	输出端口	读取/写入字节	1111 1111
0	0	0	0	0	0	1	0	02	极性反转	读取/写入字节	0000 0000
0	0	0	0	0	0	1	1	03	Configuration	读取/写入字节	1111 1111
0	1	0	0	0	0	0	0	40	输出驱动器强度 0	读取/写入字节	1111 1111
0	1	0	0	0	0	0	1	41	输出驱动器强度 1	读取/写入字节	1111 1111
0	1	0	0	0	0	1	0	42	输入锁存寄存器	读取/写入字节	0000 0000
0	1	0	0	0	0	1	1	43	上拉/下拉使能寄存器	读取/写入字节	0000 0000
0	1	0	0	0	1	0	0	44	上拉/下拉选择寄存器	读取/写入字节	1111 1111
0	1	0	0	0	1	0	1	45	中断屏蔽寄存器	读取/写入字节	1111 1111
0	1	0	0	0	1	1	0	46	中断状态寄存器	读取字节	0000 0000
0	1	0	0	1	1	1	1	4F	输出端口配置寄存器	读取/写入字节	0000 0000

7.6.3 寄存器说明

输入端口寄存器（寄存器 0）反映引脚的输入逻辑电平，无论配置寄存器将引脚定义为输入还是输出。输入端口寄存器为只读。写入此寄存器时将不起作用。默认值 (X) 由外部应用的逻辑电平决定。在执行读取操作之前，系统将连同命令字节发送写入传输，以指示 I^2C 器件接下来将访问输入端口寄存器。

表 7-5. 寄存器 0（输入端口寄存器）

位	I-7	I-6	I-5	I-4	I-3	I-2	I-1	I-0
默认值	X	X	X	X	X	X	X	X

输出端口寄存器（寄存器 1）显示由配置寄存器定义为输出的引脚的输出逻辑电平。该寄存器中的位值对定义为输入的引脚没有影响。反过来，从该寄存器读取的值反映了控制输出选择的触发器中的值，而不是实际的引脚值。

表 7-6. 寄存器 1（输出端口寄存器）

位	O-7	O-6	O-5	O-4	O-3	O-2	O-1	O-0
默认值	1	1	1	1	1	1	1	1

极性反转寄存器（寄存器 2）允许对配置寄存器定义为输入的引脚进行极性反转。如果对该寄存器中的某个位进行设置（写入”1“），则相应端口引脚的极性会反转。如果该寄存器中的某个位被清除（写入”0“），则相应端口引脚的原始极性会保留。

表 7-7. 寄存器 2（极性反转寄存器）

位	P-7	P-6	P-5	P-4	P-3	P-2	P-1	P-0
默认值	0	0	0	0	0	0	0	0

配置寄存器（寄存器 3）配置 I/O 引脚的方向。如果该寄存器中的某个位设置为 1，则相应端口引脚被启用为具有高阻抗输出驱动器的输入。如果该寄存器中的某个位被清除为 0，则相应端口引脚被启用为输出。

表 7-8. 寄存器 3（配置寄存器）

位	C-7	C-6	C-5	C-4	C-3	C-2	C-1	C-0
默认值	1	1	1	1	1	1	1	1

输出驱动强度寄存器控制 P 端口 GPIO 缓冲器的输出驱动电平。每个 GPIO 都可以通过两个寄存器控制位独立地配置为所需的输出电流电平。例如，端口 P7 由寄存器 41（位 7 和 6）控制，端口 P6 由寄存器 41（位 5 和 4）控制，依此类推。GPIO 的输出驱动电平编程为 00b = 0.25x 驱动强度、01b = 0.5x 驱动强度、10b = 0.75x 驱动强度或 11b = 1x，以实现全驱动强度能力。

表 7-9. 寄存器 40 和 41（输出驱动强度寄存器）

位	CC-3	CC-3	CC-2	CC-2	CC-1	CC-1	CC-0	CC-0
默认值	1	1	1	1	1	1	1	1
位	CC-7	CC-7	CC-6	CC-6	CC-5	CC-5	CC-4	CC-4
默认值	1	1	1	1	1	1	1	1

输入锁存寄存器启用和禁用 P 端口 GPIO 引脚的输入锁存功能。该寄存器仅在引脚配置为输入端口时有效。当输入锁存寄存器位为 0 时，不锁存相应的输入引脚状态。相应输入引脚的状态变化会产生中断。读取输入寄存器会清除中断。如果在读取输入端口寄存器之前输入返回到其初始逻辑状态，则中断被清除。

将输入锁存寄存器位设置为 1 时，会锁存相应的输入引脚状态。输入状态的变化会产生一个中断，输入逻辑值被加载到输入端口寄存器（寄存器 0 和 1）的相应位中。读取输入端口寄存器会清除中断。但是，如果输入引脚在读取输入端口寄存器之前返回其初始逻辑状态，则不会清除中断，并且输入端口寄存器的相应位会保持引发中断的逻辑值。

例如，如果 P4 输入处于逻辑 0 状态，然后转换为逻辑 1 状态，再返回逻辑 0 状态，则输入端口寄存器将捕获此更改并生成中断（如果未屏蔽）。当对输入端口 0 寄存器执行读取操作时，假设没有其他输入发生变化，中断将被清除，并且输入端口寄存器的第 4 位将读取“1”。输入端口寄存器第 4 位的下一次读取现在应读取“0”。

当非锁存输入与锁存输入同时切换状态，然后返回其原始状态时，中断保持激活。输入寄存器的读取只反映了锁存输入状态的变化，同时也清除了中断。如果输入锁存寄存器从锁存配置变为非锁存配置，并且输入逻辑值恢复到其原始状态，中断将被清除。

如果输入引脚从锁存输入变为非锁存输入，则从输入端口寄存器读取会反映当前端口逻辑电平。如果输入引脚从非锁存输入变为锁存输入，则从输入寄存器读取会反映锁存逻辑电平。

表 7-10. 寄存器 42（输入锁存寄存器）

位	L-7	L-6	L-5	L-4	L-3	L-2	L-1	L-0

Copyright © 2023 Texas Instruments Incorporated

表 7-10. 寄存器 42（输入锁存寄存器）（续）

默认值	0	0	0	0	0	0	0	0

上拉/下拉使能寄存器允许用户启用或禁用 GPIO 引脚上的上拉/下拉电阻器。将该位设置为逻辑 1 可以选择上拉/下拉电阻。将该位设置为逻辑 0 会断开上拉/下拉电阻与 GPIO 引脚的连接。当 GPIO 配置为输出时，电阻被禁用。使用上拉/下拉选择寄存器选择上拉或下拉电阻。

表 7-11. 寄存器 43（上拉/下拉使能寄存器)

位	PE-7	PE-6	PE-5	PE-4	PE-3	PE-2	PE-1	PE-0
默认值	0	0	0	0	0	0	0	0

上拉/下拉选择寄存器允许用户通过编程相应的寄存器位来配置每个 GPIO，以具有上拉或下拉电阻。将某个位设置为逻辑 1 会为该 GPIO 引脚选择一个 100kΩ 的上拉电阻。将某个位设置为逻辑 0 会为该 GPIO 引脚选择一个 100kΩ 的下拉电阻。如果通过寄存器 43 禁用上拉/下拉功能，则写入该寄存器对 GPIO 引脚没有影响。

表 7-12. 寄存器 44（上拉/下拉选择寄存器)

位	PUD-7	PUD-6	PUD-5	PUD-4	PUD-3	PUD-2	PUD-1	PUD-0
默认值	1	1	1	1	1	1	1	1

上电时，中断屏蔽寄存器默认为逻辑 1，在系统启动期间禁用中断。可以通过将相应的屏蔽位设置为逻辑 0 来启用中断。

如果输入改变了状态，并且中断屏蔽寄存器中的相应位为 1，则屏蔽中断并且不断言中断引脚。如果中断屏蔽寄存器中的相应位设置为 0，则中断引脚被断言。

当输入改变了状态，并且产生的中断被屏蔽时，将中断屏蔽寄存器位设置为 0 将导致中断引脚被断言。如果当前已经是中断源的输入的中断屏蔽位设置为 1，则中断引脚被解除断言。

表 7-13. 寄存器 45（中断屏蔽寄存器）

位	M-7	M-6	M-5	M-4	M-3	M-2	M-1	M-0
默认值	1	1	1	1	1	1	1	1

中断状态寄存器是一个只读寄存器，用于识别中断源。读取时，逻辑 1 表示相应的输入引脚是中断源。逻辑 0 表示输入引脚不是中断源。当中断屏蔽寄存器中的相应位设置为 1（已屏蔽）时，中断状态位将返回逻辑 0。

表 7-14. 寄存器 46（中断状态寄存器）

位	S-7	S-6	S-5	S-4	S-3	S-2	S-1	S-0
默认值	0	0	0	0	0	0	0	0

输出端口配置寄存器选择按端口推挽或开漏 I/O 级。逻辑 0 会将 I/O 配置为推挽式（Q1 和 Q2 处于活动状态，请参阅图 7-2）。逻辑 1 将 I/O 配置为开漏（Q1 被禁用，Q2 处于活动状态），建议的命令序列是在配置寄存器 (03) 将端口引脚设置为输出之前，对该寄存器 (4F) 进行编程。

表 7-15. 寄存器 4F（输出端口配置寄存器）

位	被保留							ODEN-0
默认值	0	0	0	0	0	0	0	0

7.6.4 总线事务

控制器与 TCAL6408 之间通过写入和读取命令交换数据。

7.6.4.1 写入

通过发送器件地址并将最低有效位 (LSB) 设置为逻辑 0，将数据传输至 TCAL6408（请参阅图 7-7 以了解器件地址）。命令字节在地址之后发送，并确定哪个寄存器接收命令字节之后的数据。一次写入传输中发送的数据字节数没有限制。

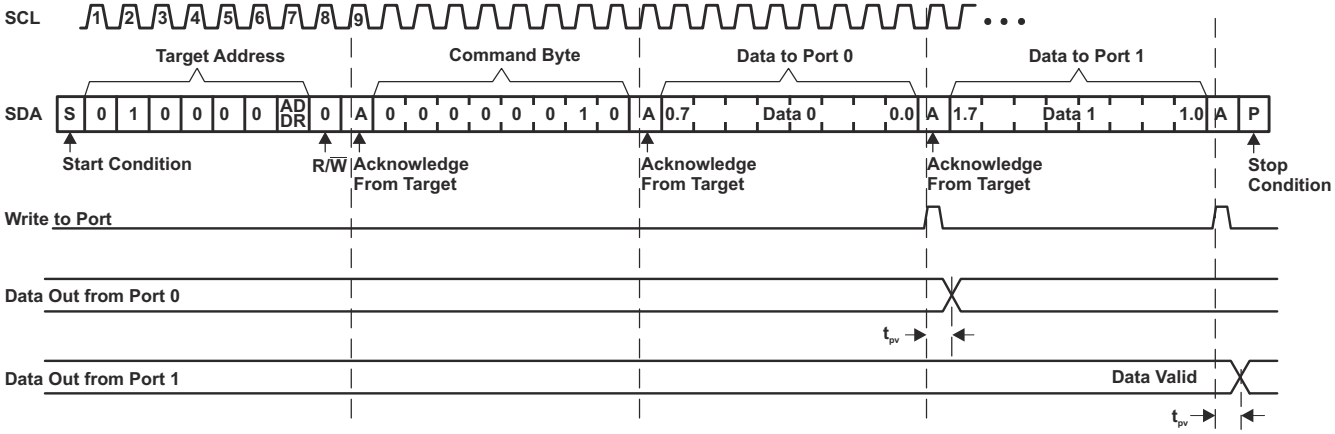


图 7-9. 对输出端口寄存器进行写入

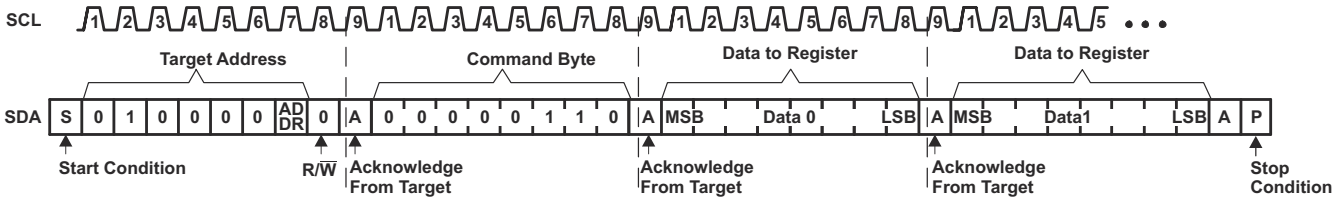


图 7-10. 写入配置寄存器或极性反转寄存器

Copyright © 2023 Texas Instruments Incorporated

7.6.4.2 读取

总线控制器必须首先发送 TCAL6408 地址，并将 LSB 设置为逻辑 0（请参阅图 7-7 以查看器件地址）。命令字节在地址之后发送，决定了要访问哪个寄存器。

数据在 ACK 时钟脉冲的上升沿输入到寄存器中。一次读取传输中接收的数据字节数量没有限制，但接收最后一个字节后，总线控制器不得确认数据。

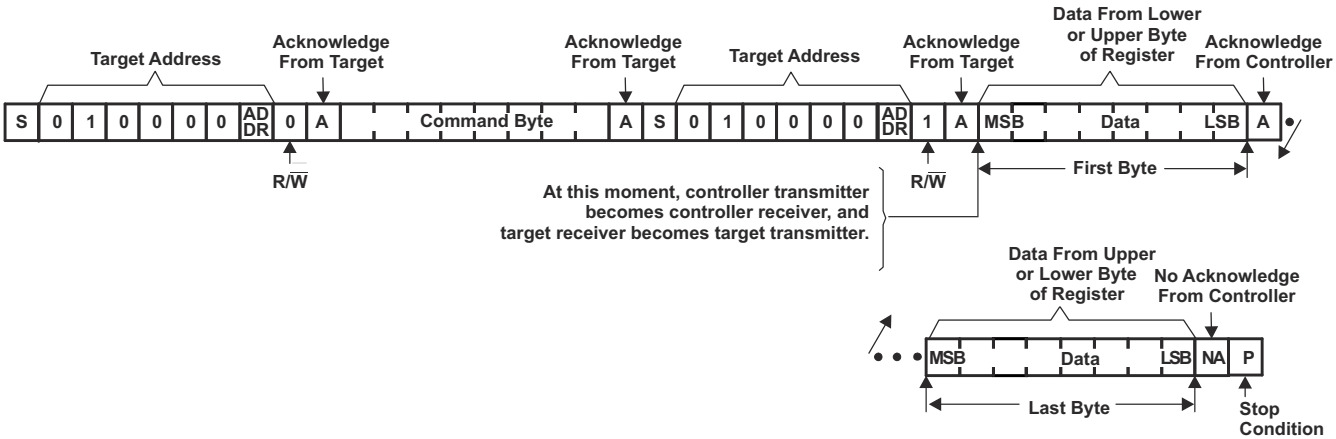
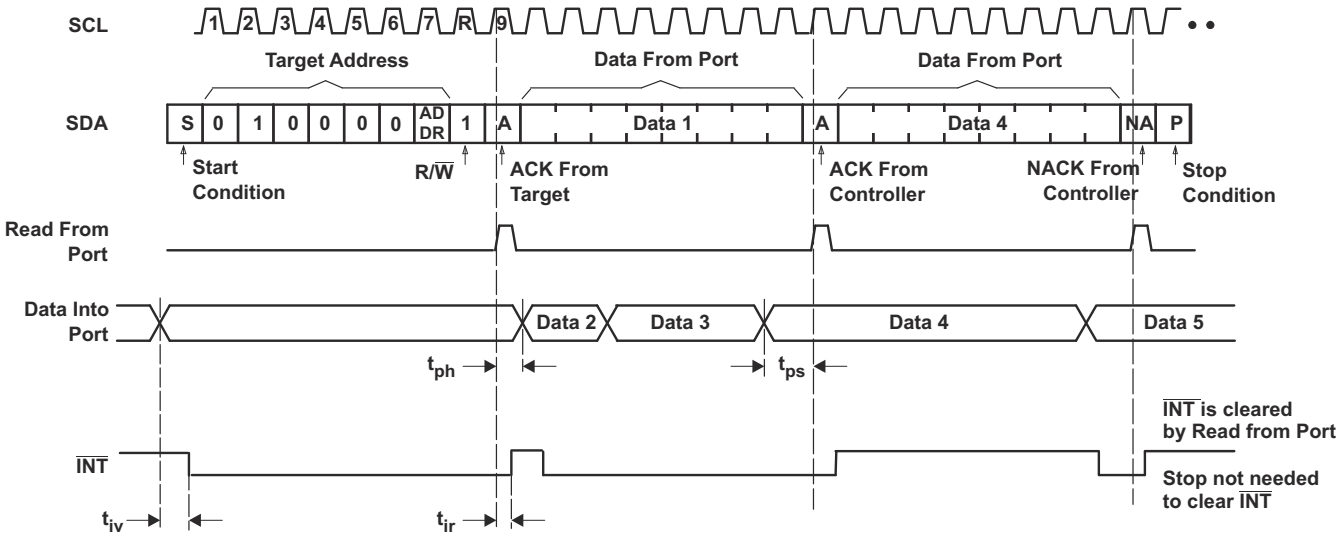


图 7-11. 从寄存器读取



A. 可以通过停止条件随时停止数据传输。发生这种情况时，出现在最新确认阶段的数据有效（输出模式）。本文假设之前的命令字节已设置为 00（读取输入端口寄存器）。

B. 这张图不考虑命令字节传输、重新启动，以及初始响应器地址调用和来自 P 端口的实际数据传输之间的响应器地址调用（请参阅图 7-11）。

图 7-12. 读取输入端口寄存器

8 应用和实现

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

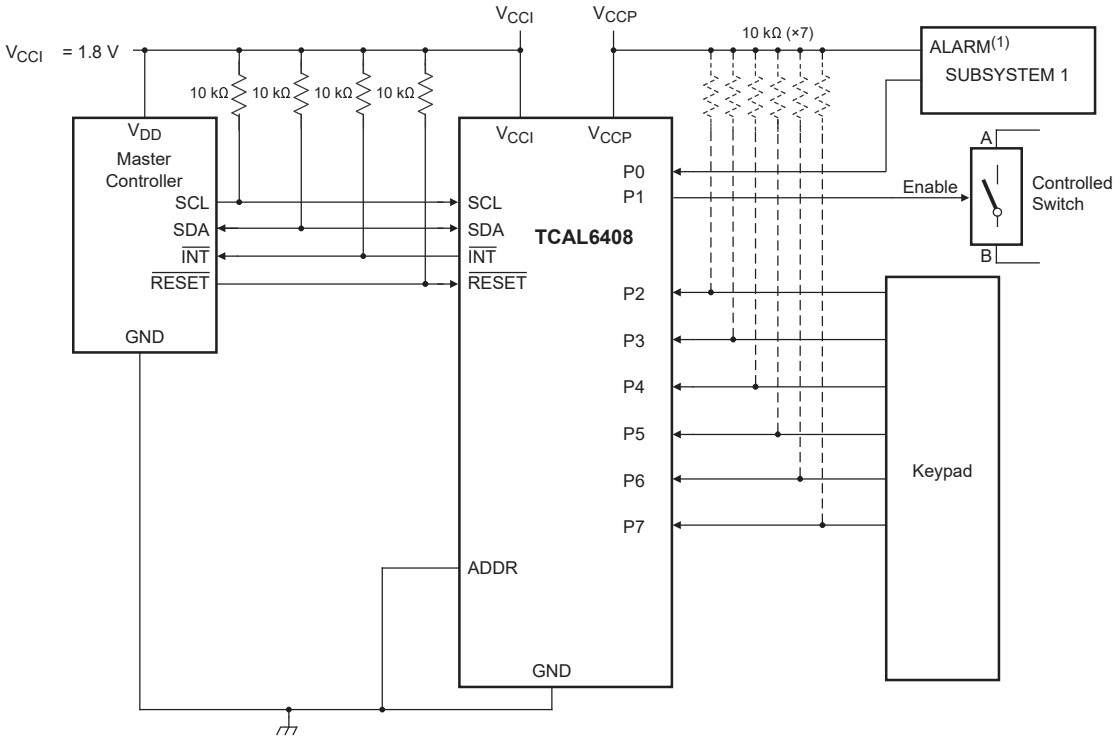
8.1 应用信息

TCAL6408 的应用使用此器件作为响应器连接到 I2C 控制器（处理器），I2C 总线可以包含任何数量的其他响应器器件。TCAL6408 位于远离控制器的远程位置，靠近控制器需要监视或控制的 GPIO。

TCAL6408 的一个典型应用在控制器侧的电压 (V_{CCI}) 较低，在 P 端口侧的电压 (V_{CCP}) 较高。可以将 P 端口配置为连接到器件输入的输出，例如启用、重置、电源选择、开关栅极和 LED。还可以将 P 端口配置为输入，以接收来自中断、警报、状态输出或按钮的数据。

8.2 典型应用

图 8-1 展示了可以使用 TCAL6408 的应用。



A. 对于本示例，器件地址配置为 0100000。
B. P0 和 P2 – P7 配置为输入。
C. P1 配置为输出。
D. 可能浮动的输入（在 P 端口上）需要电阻器。如果输入的驱动器不会让输入浮动，则不需要电阻器。输出（在 P 端口中）不需要上拉电阻。

图 8-1. 典型应用原理图

Copyright © 2023 Texas Instruments Incorporated

8.2.1 设计要求

表 8-1. 设计参数

设计参数	示例值
I^2C 输入电压 (V_{CCI})	1.8V
P 端口输入/输出电压 (V_{CCP})	3.6V
输出电流额定值，P 端口下沉 (I_{OL})	25mA
输出电流额定值，P 端口拉电流 (I_{OH})	10mA
I^2C 总线时钟 (SCL) 速度	1MHz

8.2.2 详细设计过程

需要为 SCL 和 SDA 线选择适当的上拉电阻器 R_P，并考虑 I^2C 总线上所有响应器的总电容。最小上拉电阻是 V_{CCI}、$V_{OL,(max)}$ 和 I_{OL} 的函数：

$$R_{p(min)} = \frac{V_{CCI} - V_{OL(max)}}{I_{OL}} \tag{1}$$

最大上拉电阻是最大上升时间 t_r（对于 f_{SCL} = 1MHz 的快速模式增强版运行，该时间为 120ns）和总线电容 C_b 的函数：

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \tag{2}$$

对于标准模式或快速模式运行，I^2C 总线的最大总线电容不得超过 400pF，对于快速模式增强版，不得超过 550pF。可以通过将 TCAL6408 的电容（SCL 为 $_i$，SDA 为 C_{io}）、电线/连接/布线的电容，以及总线上其他响应器的电容相加，估算出总线电容。

8.2.2.1 当 I/O 控制 LED 时更大程度减小 I_{CC}

当 I/O 用于控制 LED 时，它们通常通过图 8-2 中所示的电阻器连接到 V_{CCP}。对于配置为输入的 P 端口，电流消耗随着 V_I 变得低于 V_{CCP} 而增加。LED 是一个二极管，具有阈值电压 V_T，当 P 端口配置为输入时，LED 熄灭，但 V_I 是 V_T，低于 $V_{CCP\ CC}$。

对于电池供电的应用，当 P 端口配置为输入以最小化电流消耗时，控制 LED 的 P 端口的电压必须大于或等于 V_{CCP}。图 8-2 展示了一个与 LED 并联的高阻值电阻器。图 8-3 显示 V_{CCP} 比 LED 电源电压低至少 V_T。这两种方法都将 I/O V_I 保持在等于或高于 V_{CCP}，当 P 端口配置为输入并且 LED 熄灭时，可以防止额外的电源电流消耗。

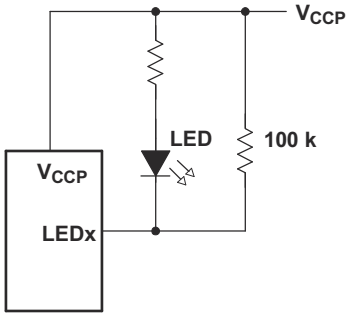


图 8-2. 与 LED 并联的高阻值电阻器

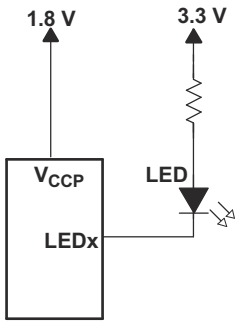
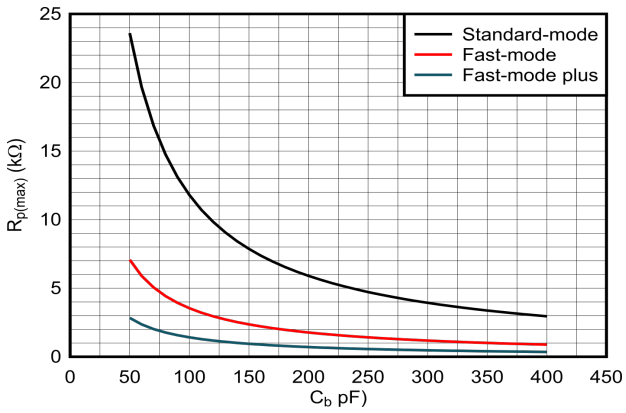


图 8-3. 由较低电压供电的器件

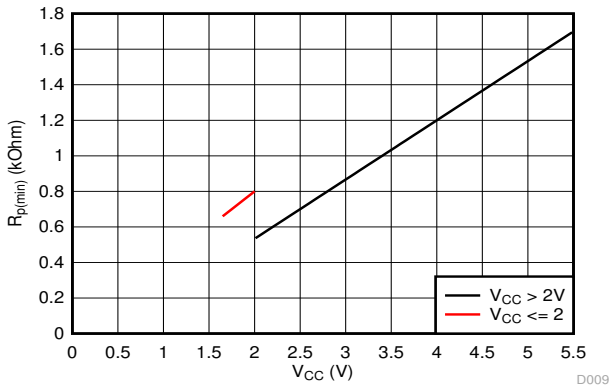
8.2.3 应用曲线



标准模式：f_{SCL}= 100kHz，t_r = 1μs

快速模式：f_{SCL}= 400kHz，t_r= 300ns

图 8-4. 最大上拉电阻 ($R_{p(max)}$) 与总线电容 (C_b) 间的关系



当 V_{CC} ≤ 2V 时，V_{OL} = 0.2 × V_{CC}，I_{OL} = 2mA

当 V_{CC} > 2V 时，V_{OL} = 0.4V，I_{OL} = 3mA

图 8-5. 最小上拉电阻 ($R_{p(min)}$) 与上拉基准电压 (V_{CC}) 间的关系

Copyright © 2023 Texas Instruments Incorporated

8.3 电源相关建议

8.3.1 上电复位要求

如果发生干扰或数据损坏，可以使用上电复位功能将 TCAL6408 复位为默认状态。上电复位要求器件经过下电上电后才能完全复位。当器件在应用中首次上电时，也会发生此复位。

图 8-6 和图 8-7 中展示了两种类型的通电复位。

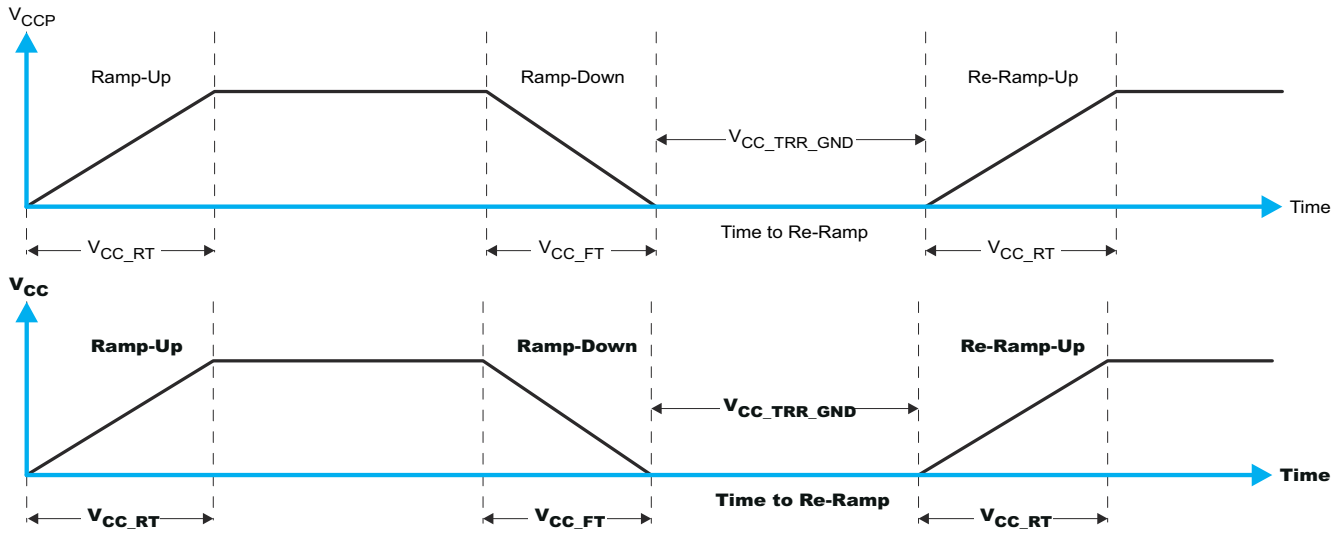


图 8-6. 将 V_{CCP} 降至 0.2V 或 0V 以下，然后上升

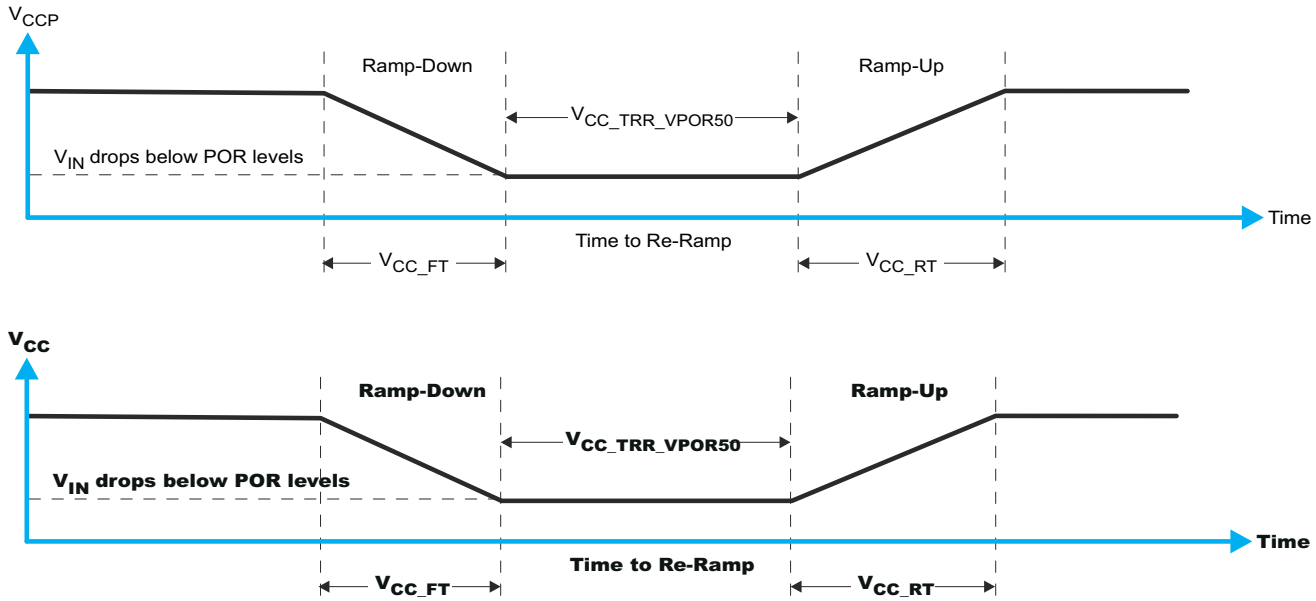


图 8-7. 将 V_{CCP} 降至低于 POR 阈值，然后重新上升

表 8-2 指定了 TCAL6408 上电复位功能在进行两种类型的上电复位时的性能。

表 8-2. 建议的电源时序和斜升速率

参数(1) (2)			最小值	典型值	最大值	单位
t_{FT}	下降速率	请参阅图 8-6	0.1		2000	ms
t_{RT}	上升速率	请参阅 图 8-6	0.1		2000	ms
t_{TRR_GND}	重新上升的时间（当 V_{CC} 降至 GND 时）	请参阅 图 8-6	1			µs
t_{TRR_POR50}	重新上升的时间（当 V_{CC} 降至 V_{POR_MIN} – 50mV 时）	请参阅 图 8-7	1			µs
V_{CC_GH}	当 V_{CCP_GW} = 1 µs 时，V_{CCP} 可能会受到干扰但不会导致功能中断的电平	请参阅 图 8-8			1.0	V
t_{GW}	当 V_{CCP_GH} = 0.5 × V_{CCx} 时，不会导致功能中断的干扰宽度	请参阅 图 8-8			10	µs
V_{PORF}	降低 V_{CC} 时 POR 的电压跳闸点		0.6			V
V_{PORR}	上升 V_{CC} 时 POR 的电压跳闸点				1.0	V

(1) T_A = 25°C（除非另有说明）。
(2) 未经过测试。根据设计确定。

电源中的干扰也会影响此器件的上电复位性能。干扰宽度 (V_{CC_GW}) 和高度 (V_{CC_GH}) 相互依赖。旁路电容、源阻抗和器件阻抗是影响上电复位性能的因素。图 8-8 和表 8-2 提供了有关如何测量这些规格的更多信息。

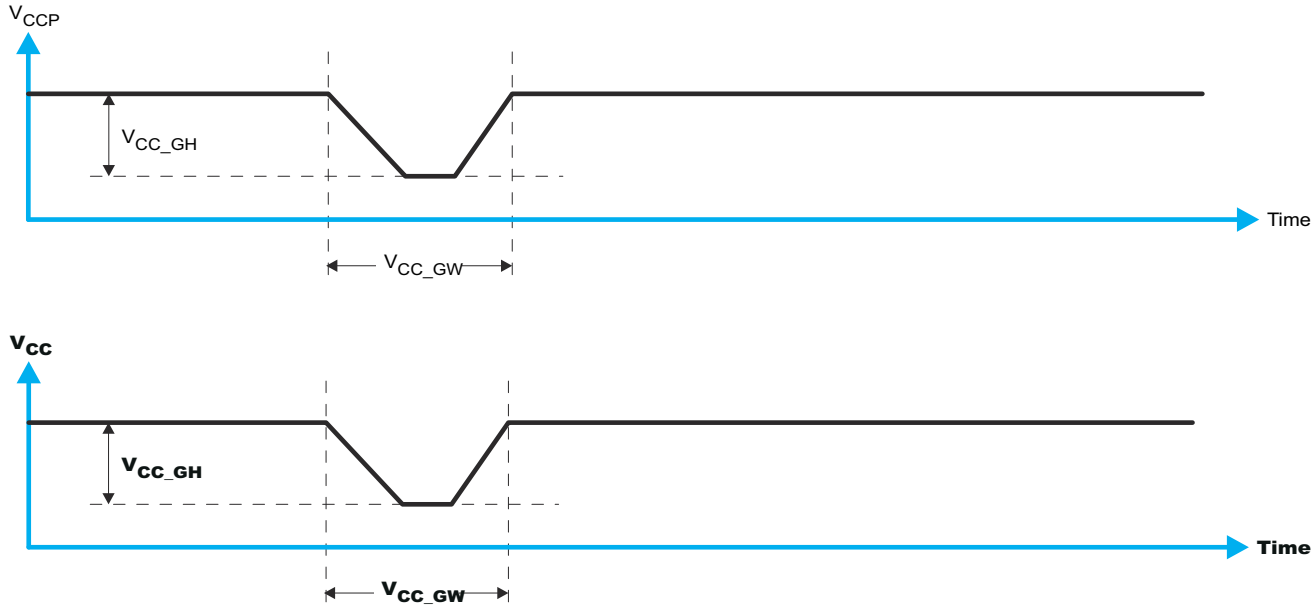


图 8-8. 干扰宽度和干扰高度

V_{POR} 对上电复位至关重要。达到 V_{POR} 这一电压电平时，系统会释放复位条件，并将所有寄存器和 I²C/SMBus 状态机初始化为默认状态。V_{POR} 的值不同，具体取决于 V_{CCP} 是下降至 0 还是从 0 开始上升。图 8-9 和表 8-2 提供了有关此规格的更多详细信息。

Copyright © 2023 Texas Instruments Incorporated

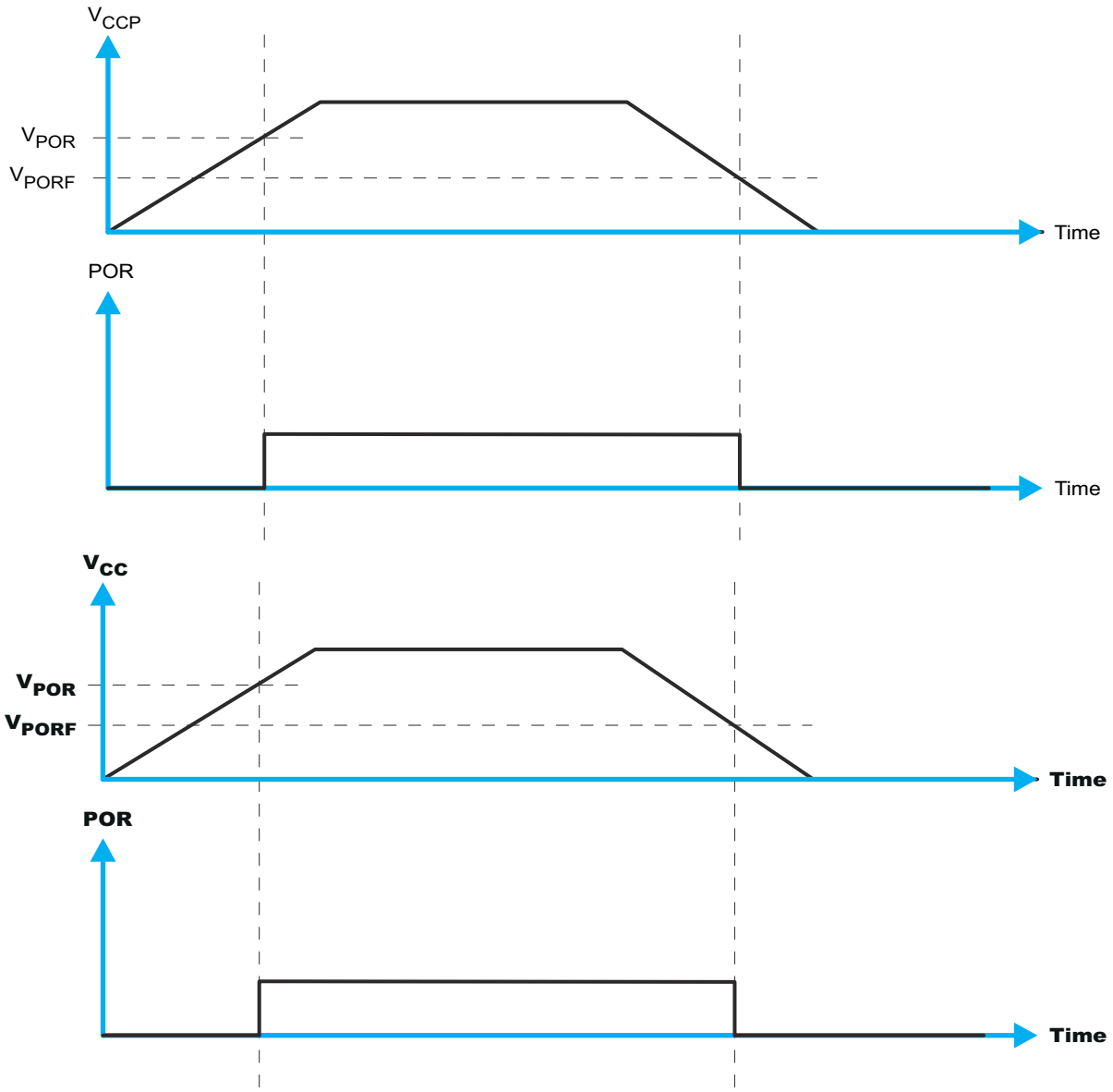


图 8-9. V_{POR}

8.4 布局

8.4.1 布局指南

对于 TCAL6408 的印刷电路板 (PCB) 布局，应遵循常见的 PCB 布局实践，但与高速数据传输相关的其他问题（例如匹配阻抗和差分对）对 I^2C 信号速度而言不是问题。

在所有 PCB 布局中，最佳实践是避免信号布线呈直角，在离开集成电路 (IC) 附近时让信号布线呈扇形彼此散开，并使用较粗的布线来承载通常会经过电源和接地布线的更大的电流。旁路电容器和去耦电容器通常用于控制电源引脚上的电压，使用较大的电容器可在发生短暂电源干扰时提供额外电能，使用较小的电容器则能滤除高频纹波。这些电容器应尽可能靠近 TCAL6408。图 8-10 中展示了这些优秀实践。

对于图 8-10 中提供的布局示例，可以将顶层用于信号布线，将底层用作电源和接地 (GND) 的分割平面，从而打造只有 2 层的 PCB。但是，对于信号布线密度更大的电路板，最好使用 4 层电路板。在 4 层 PCB 上，通常在顶层和底层上进行信号布线，将一个内部层专门用作接地平面，并将另一个内部层专门用作电源平面。在使用平面或分割平面作为电源和接地平面的电路板布局布线中，通孔直接放置在需要连接到电源或 GND 的表面贴装元件焊盘旁边，并且通孔以电气方式连接到内部层或电路板的另一侧。如果需要将信号走线排布到电路板的另一侧，也要使用通孔，但图 8-10 中未演示该技术。

8.4.2 布局示例

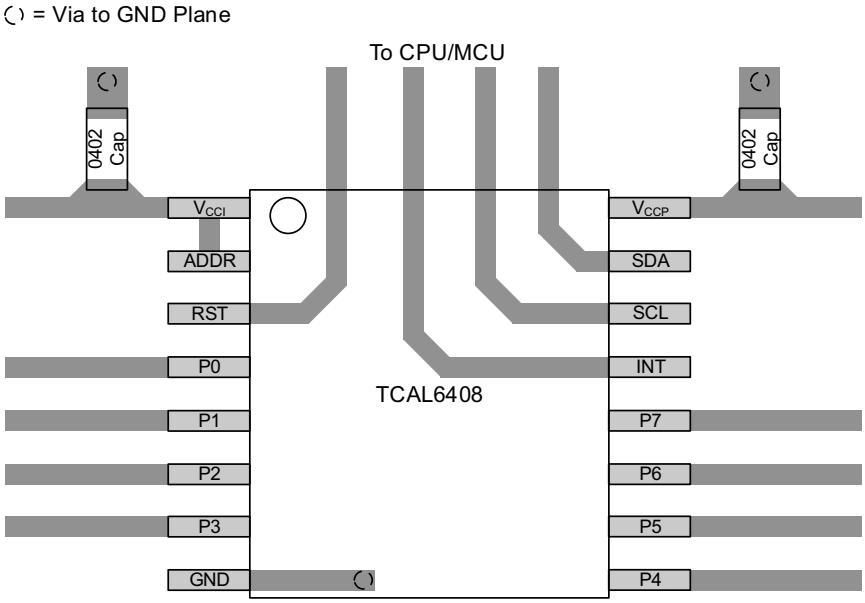


图 8-10. TCAL6408 布局

Copyright © 2023 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2022) to Revision B (November 2023)	Page
• 将*器件信息* 表更改为*封装信息* 表。删除了*产品预发布* 说明	1

Changes from Revision * (November 2022) to Revision A (December 2022)	Page
• 将文档状态从：*预告信息* 更改为*量产* 数据	1

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TCAL6408DTUR	ACTIVE	X2QFN	DTU	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NG	Samples
TCAL6408PWR	ACTIVE	TSSOP	PW	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL6408	Samples
TCAL6408RSVR	ACTIVE	UQFN	RSV	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	6408	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

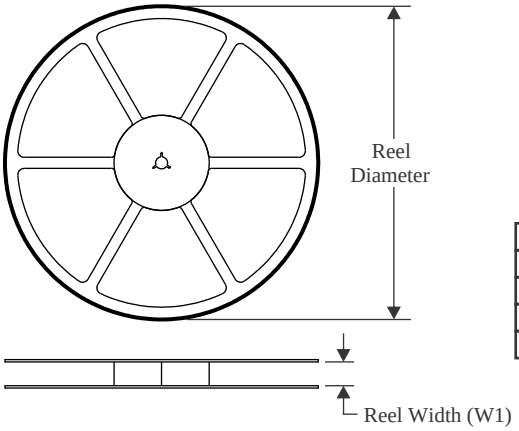
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

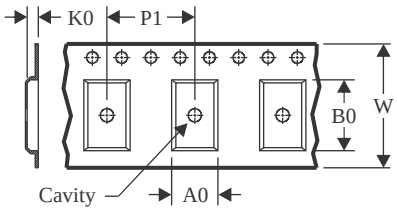
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

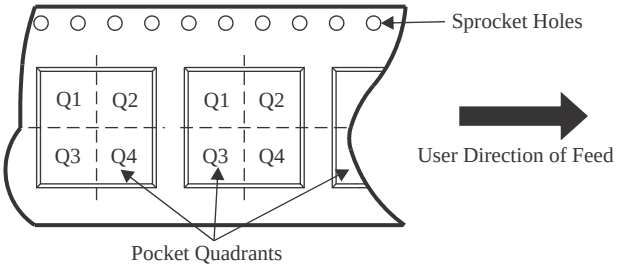


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

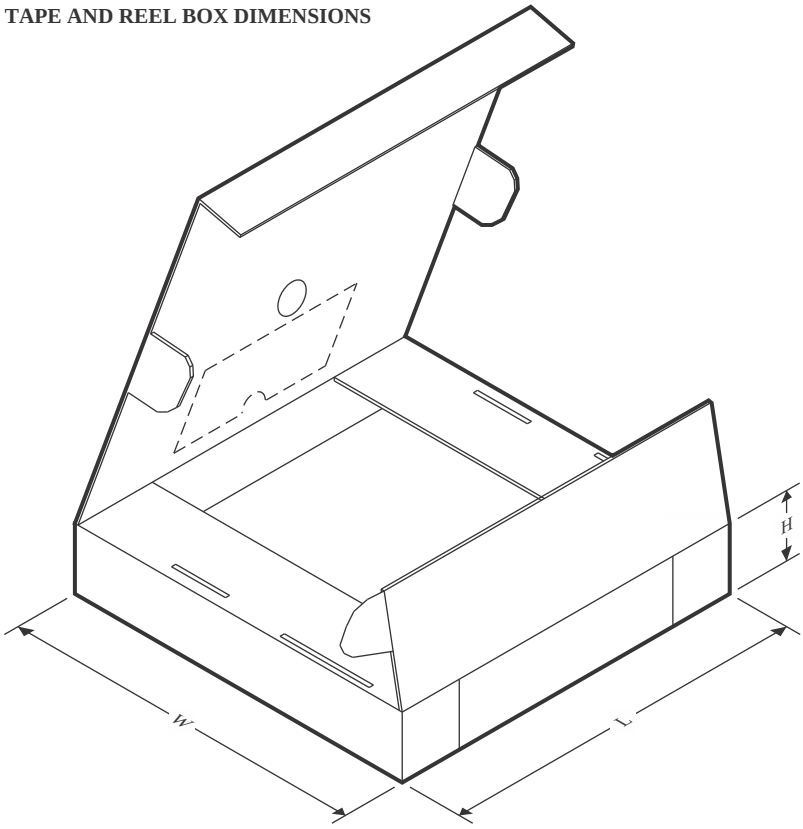
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAL6408DTUR	X2QFN	DTU	16	3000	180.0	9.5	1.75	1.75	0.5	4.0	8.0	Q1
TCAL6408PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TCAL6408RSVR	UQFN	RSV	16	3000	178.0	13.5	2.1	2.9	0.75	4.0	12.0	Q1

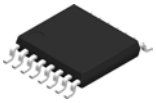
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAL6408DTUR	X2QFN	DTU	16	3000	189.0	185.0	36.0
TCAL6408PWR	TSSOP	PW	16	3000	356.0	356.0	35.0
TCAL6408RSVR	UQFN	RSV	16	3000	189.0	185.0	36.0

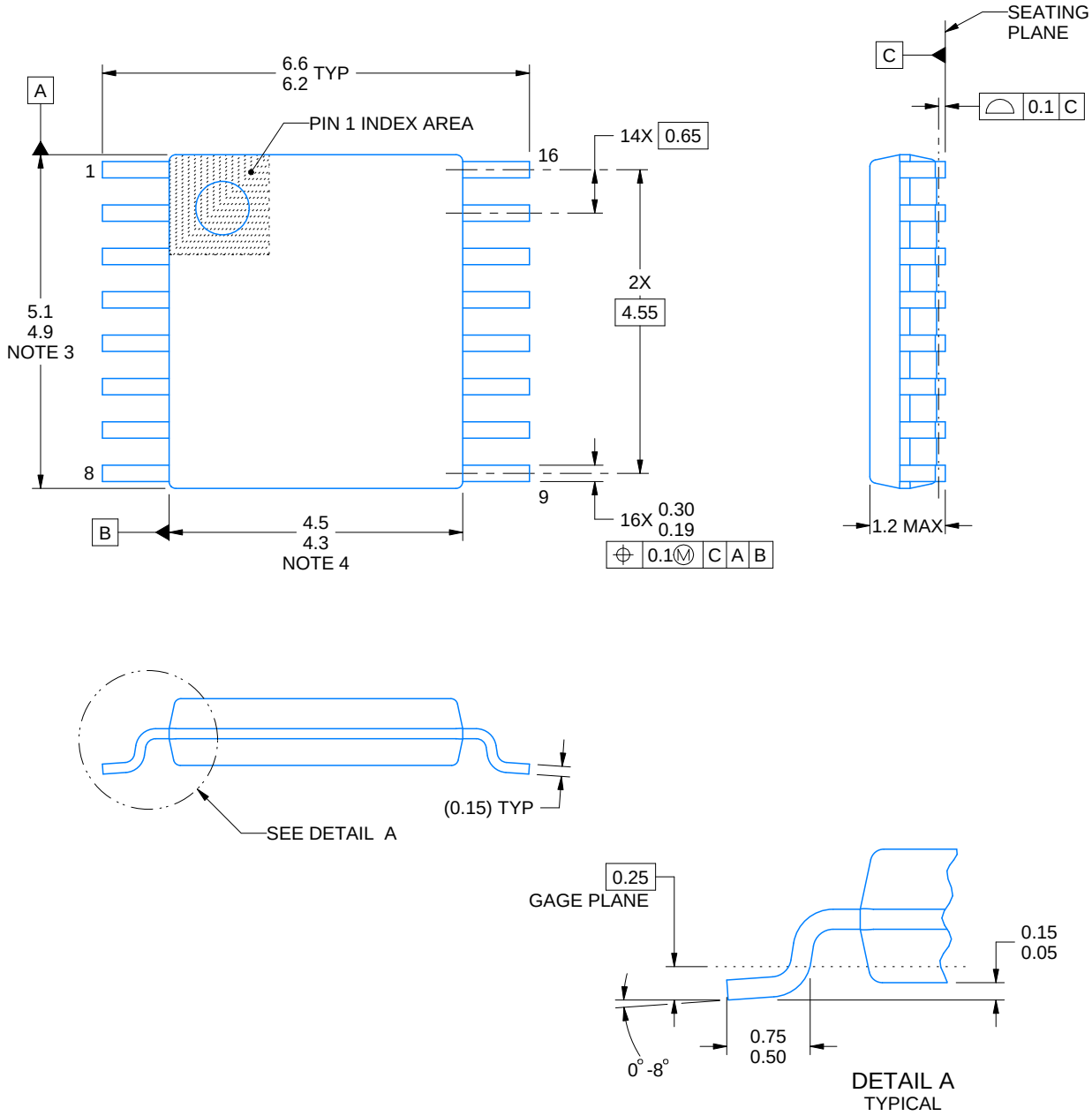
PW0016A



PACKAGE OUTLINE

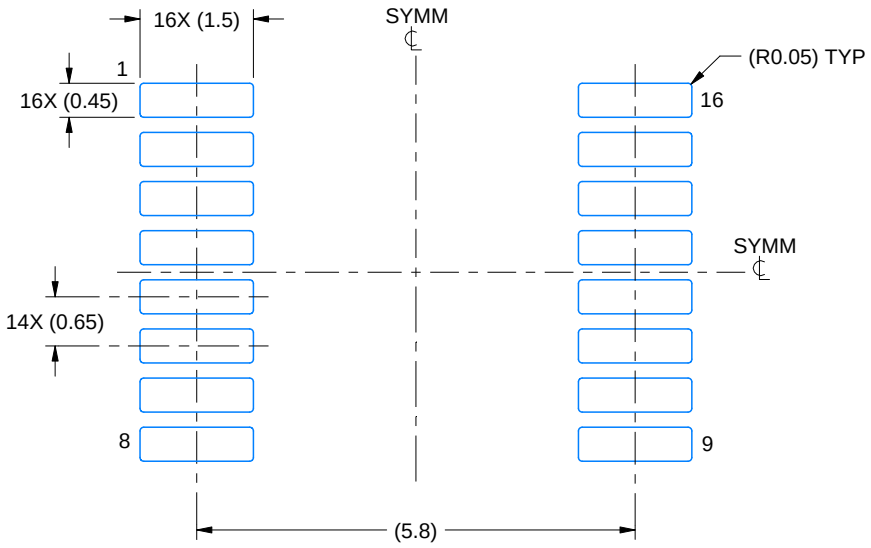
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

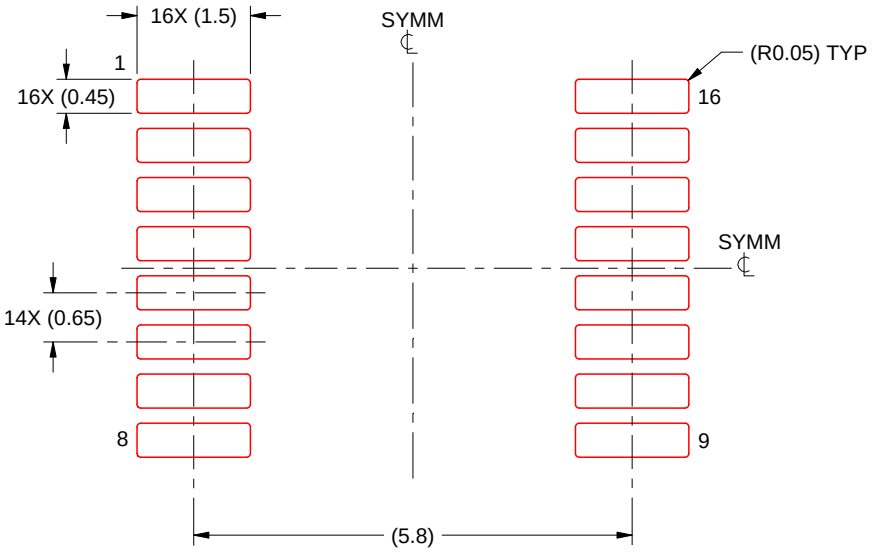
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

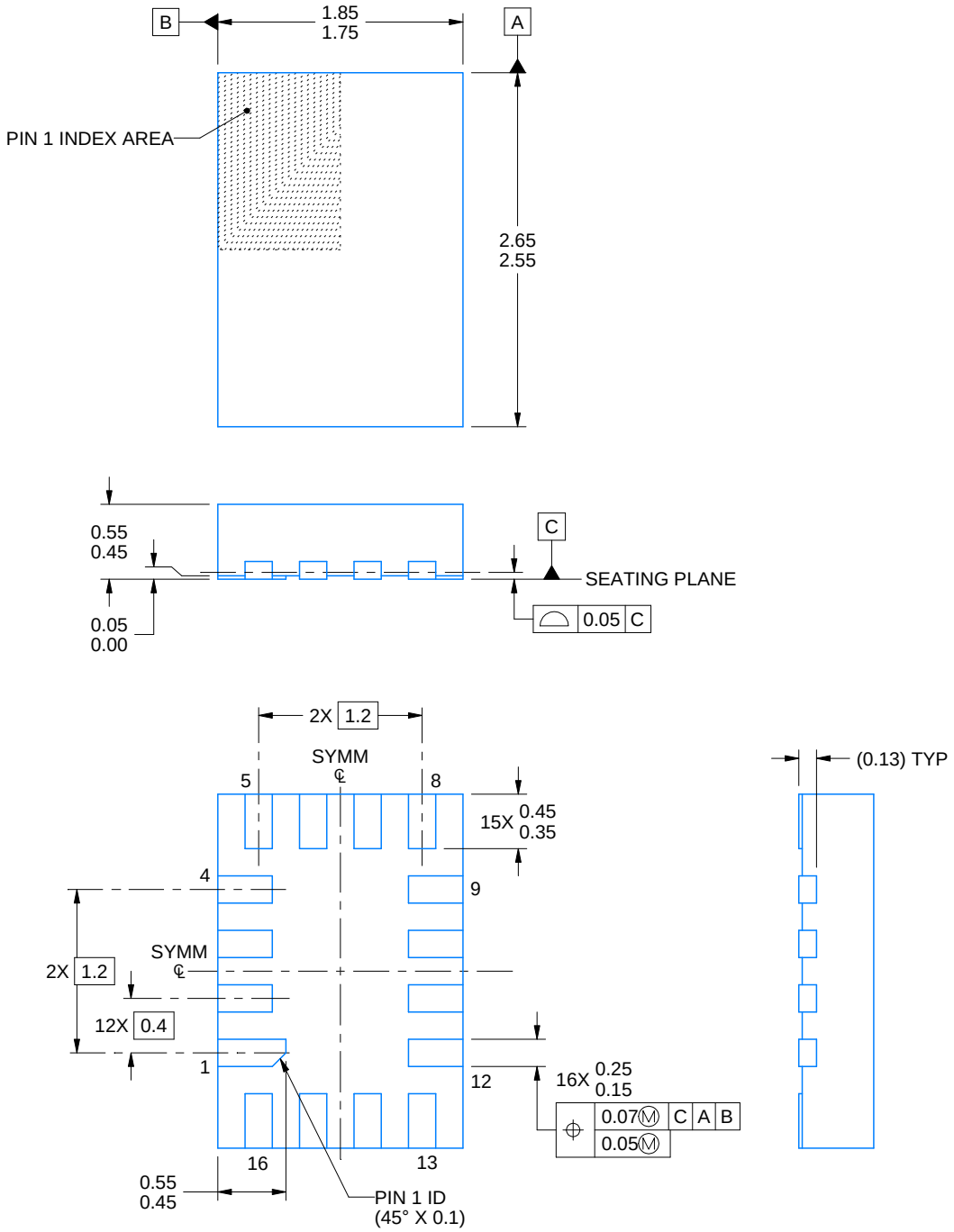


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

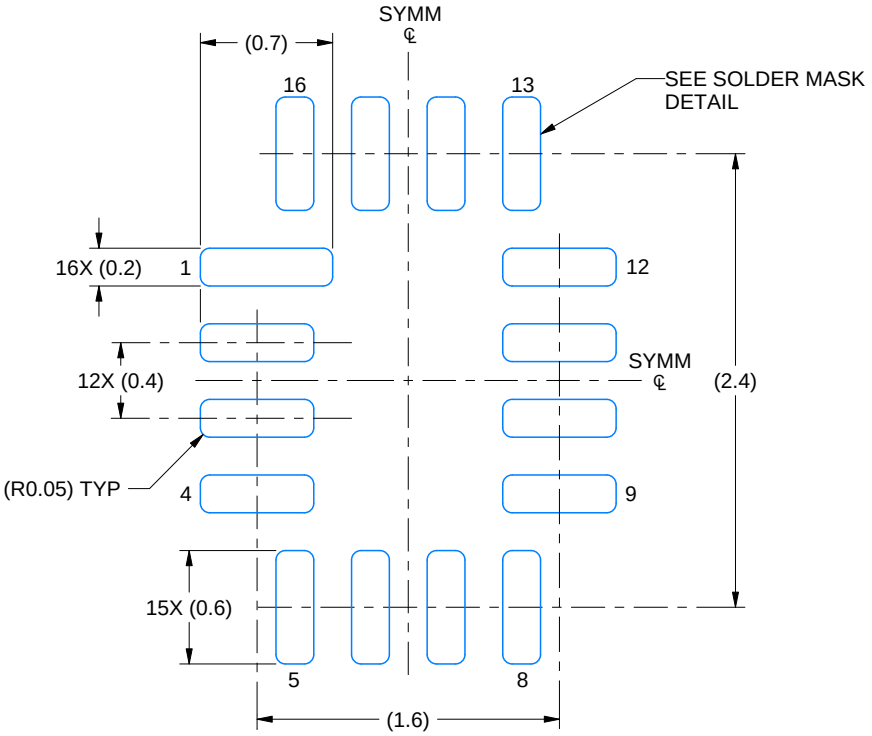
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

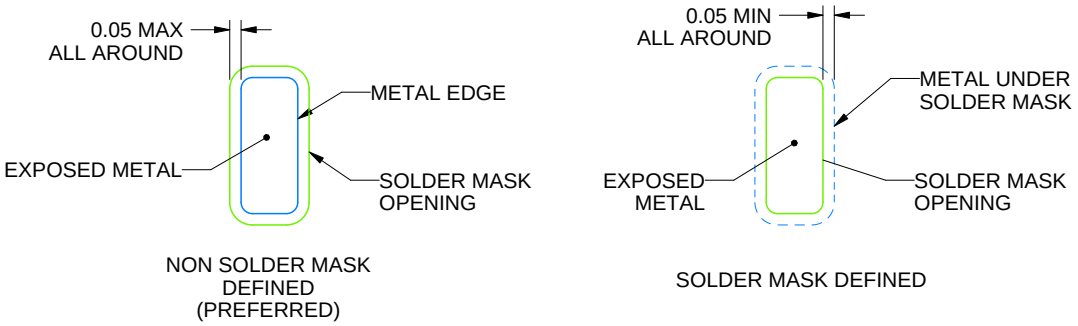


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

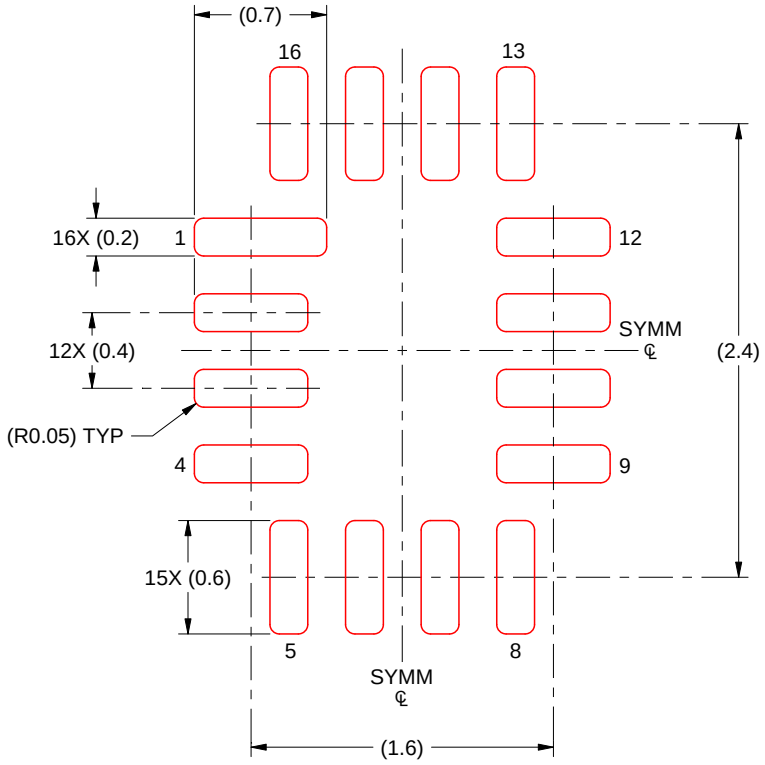


SOLDER MASK DETAILS

4220314/C 02/2020

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

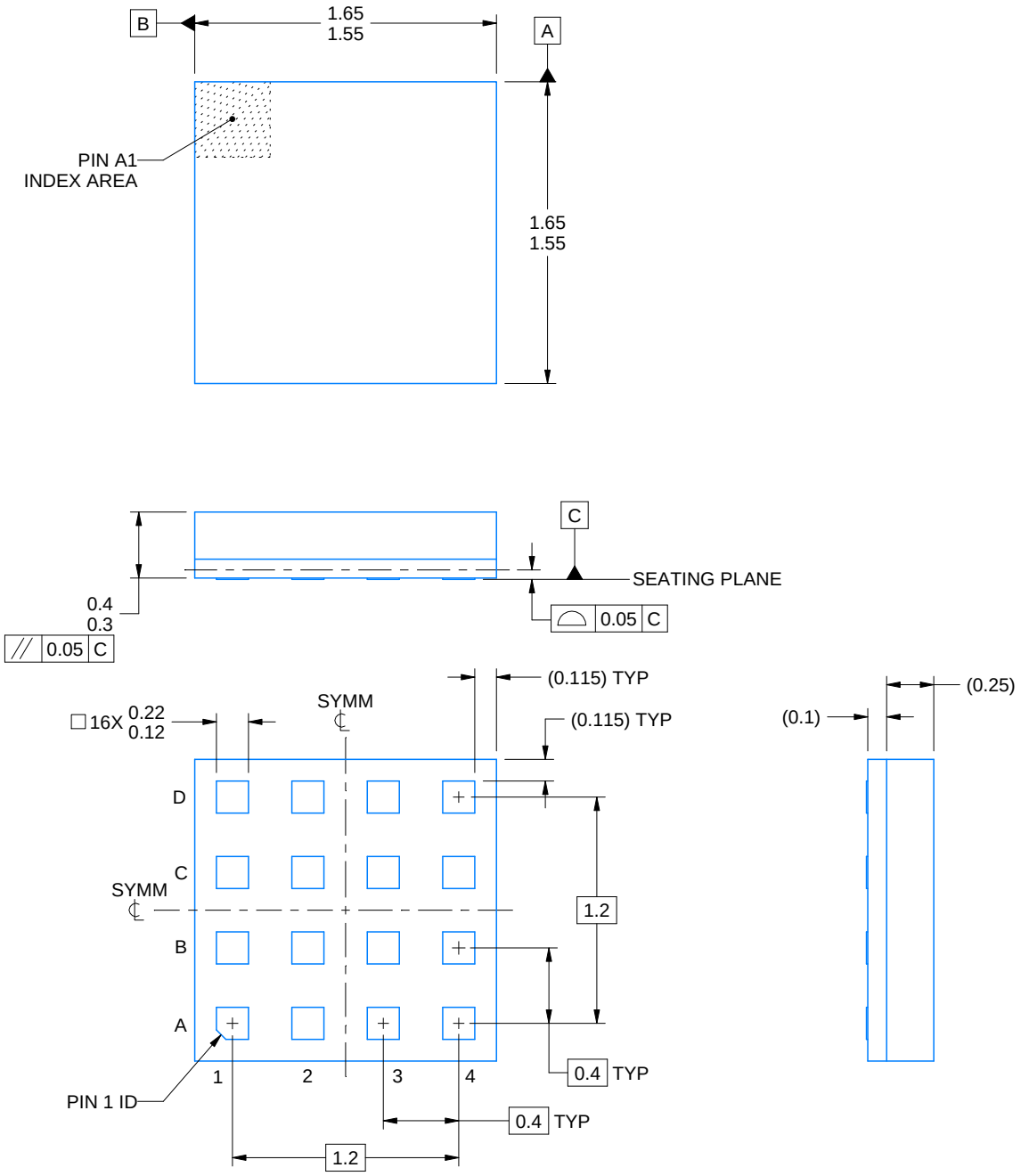


SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 25X

4220314/C 02/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

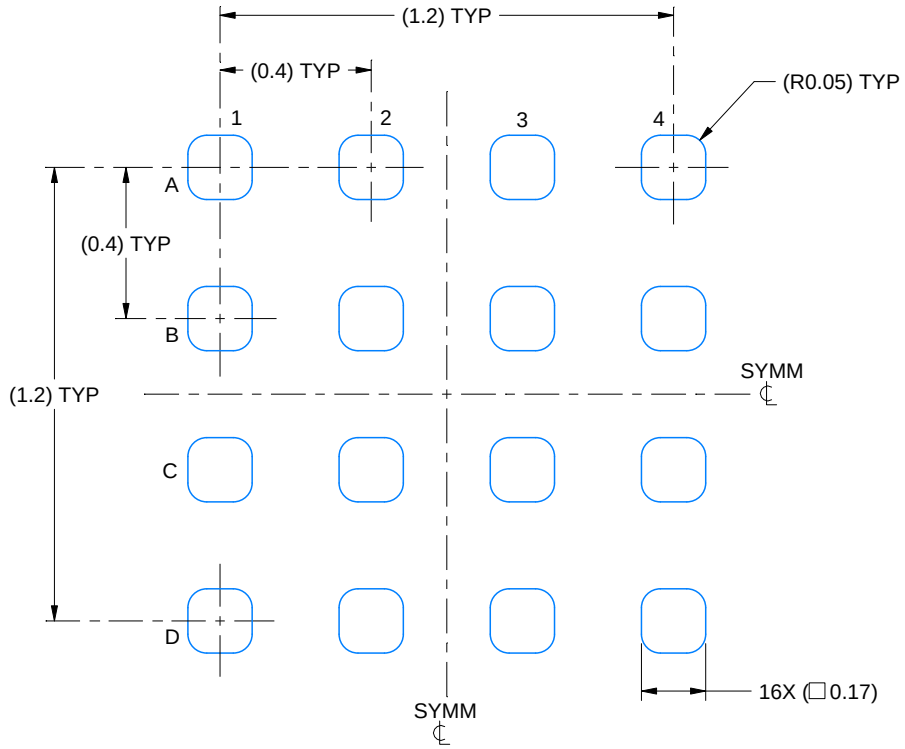


4228238/B 03/2022

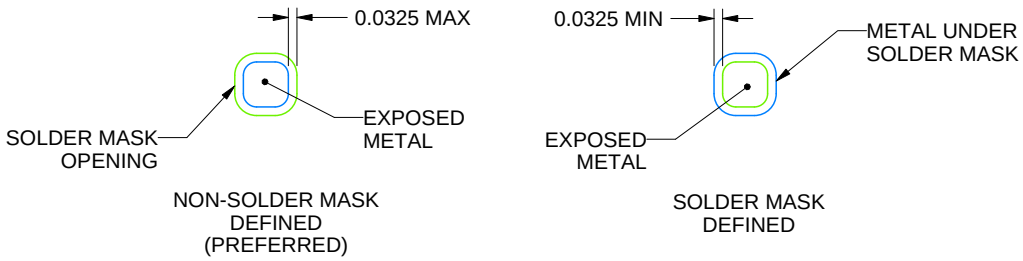
PicoStar is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is for Embedded Application only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:50X

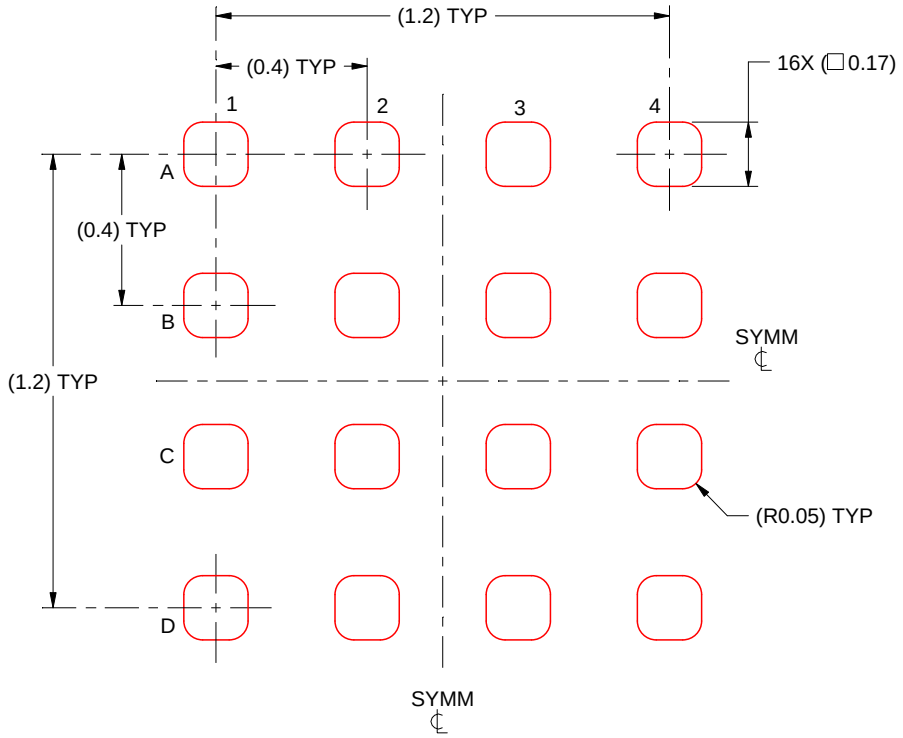


SOLDER MASK DETAILS
NOT TO SCALE

4228238/B 03/2022

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.0625 mm THICK STENCIL
SCALE:50X

4228238/B 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司