TAD5212 具有 119dB 动态范围的高性能 立体声音频 DAC

1 特性

- DAC 性能：
  - DAC 至线路输出动态范围：119dB
  - DAC 至 HP 输出动态范围：115dB
  - THD+N：-95dB
- 耳机/线路输出输出电压：
  - 差分 $2V_{RMS}$ 满量程
  - 单端 $1V_{RMS}$ 满量程
- DAC 采样速率 (f_s) = 8KHz 至 768KHz
- 模拟输入至输出旁路
- 电池保护
- 信号失真限制器
- 热折返
- 低延迟滤波器选择
- 可编程 HPF 和双二阶滤波器
- I^2C 和 SPI 控制接口
- 音频串行接口
  - 格式：TDM、I^2S 或左对齐
  - 字长：16 位、20 位、24 位或 32 位
- 用于灵活时钟的可编程 PLL
- 低功耗模式
  - TBDmW（回放）
- 单电源运行：1.8V 或 3.3V
- I/O 电源工作电压：1.2V、1.8V 或 3.3V

2 应用

- 远程信息处理控制单元
- 汽车音响主机
- 数字驾驶舱处理单元
- 后座娱乐系统
- 可重新配置仪表组

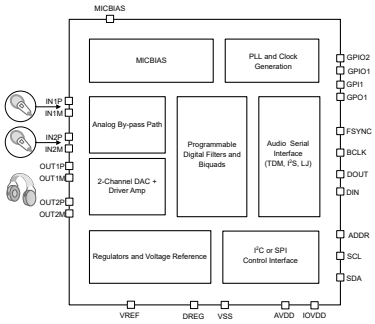
3 说明

TAD5212 是一款高性能 立体声 $2V_{RMS}$ DAC。TAD5212 支持差分和单端输入与输出。DAC 输出可配置为线路输出或耳机负载。TAD5212 可为耳机负载提供高达 TBDmW 的驱动功率。TAD5212 集成了可编程通道增益、数字音量控制、低抖动锁相环 (PLL)、可编程高通滤波器 (HPF)、可编程 EQ 和双二阶滤波器、低延迟滤波器模式，并可实现高达 768kHz 的采样速率。TAD5212 支持模拟输入到输出旁路选项。来自模拟输入和数字输入的数据也可以在器件内部混合。TAD5212 支持时分多路复用 (TDM)、I^2S 或左对齐 (LJ) 音频格式，并可通过 I^2C 或 SPI 进行控制。这些集成的高性能特性以及单电源运行，使 TAD5212 特别适用于空间受限的音频应用。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
TAD5212	WQFN(28)	4mm x 4mm，0.5mm 间距

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....6
6.5 电气特性.....6
6.6 时序要求：I^2C 接口.....10
6.7 开关特性：I^2C 接口.....10
6.8 时序要求：SPI 接口.....11
6.9 开关特性：SPI 接口.....11
6.10 时序要求：TDM、I^2S 或 LJ 接口.....11
6.11 开关特性：TDM、I^2S 或 LJ 接口.....11
7 详细说明.....13
7.1 概述.....13
7.2 功能方框图.....13
7.3 特性说明.....14
7.4 器件功能模式.....35
7.5 寄存器映射.....35
8 应用和实施.....121
8.1 应用信息.....121
8.2 典型应用.....121
9 电源相关建议.....123
10 器件和文档支持.....124
10.1 文档支持.....124
10.2 接收文档更新通知.....124
10.3 支持资源.....124
10.4 商标.....124
10.5 静电放电警告.....124
10.6 术语表.....124
11 机械、封装和可订购信息.....124

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
December 2023	*	初始发行版

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

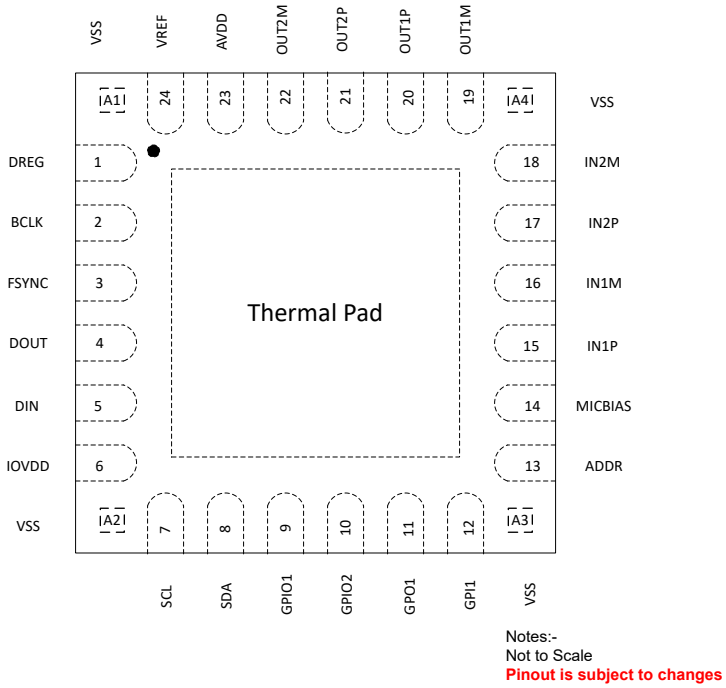


图 5-1. 带有外露散热焊盘的 28 引脚 QFN，顶视图

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
DREG	1	数字电源	数字电源的数字片上稳压器输出电压（标称值为 1.5V）
BCLK	2	数字 I/O	音频串行数据接口总线位时钟
FSYNC	3	数字 I/O	音频串行数据接口总线帧同步信号
DOUT	4	数字 I/O	音频串行数据接口总线输出
DIN	5	数字输入	音频串行数据接口总线输入
IOVDD	6	数字电源	数字 I/O 电源（标称值为 1.8V 或 3.3V）
VSS	A2	地	接地引脚。直接短接至电路板接地层。
SCL	7	数字输入	I^2C 控制接口的时钟
SDA	8	数字输入	I^2C 控制接口的数据
GPIO1	9	数字 I/O	通用数字输入/输出 0（菊花链输入、音频数据输出、PLL 输入时钟源、中断等通用功能）
GPIO2	10	数字 I/O	通用数字输入/输出 1（菊花链输入、音频数据输出、PLL 输入时钟源、中断等通用功能）
GPO1	11	数字输出	通用数字输出 1（音频数据输出、中断等通用功能）
GPI1	12	数字输入	通用数字输入 1（菊花链输入、PLL 输入时钟源等通用功能）
VSS	A3	地	接地引脚。直接短接至电路板接地层。
ADDR	13	模拟输入	I2C 地址
MICBIAS	14	模拟	MICBIAS 输出（可编程输出高达 3V）
IN1P	15	模拟输入	模拟输入 1P 引脚
IN1M	16	模拟输入	模拟输入 1M 引脚
IN2P	17	模拟输入	模拟输入 2P 引脚
IN2M	18	模拟输入	模拟输入 2M 引脚
VSS	A4	地	接地引脚。直接短接至电路板接地层。
OUT1M	19	模拟输出	模拟输出 1M 引脚

ADVANCE INFORMATION

表 5-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
OUT1P	20	模拟输出	模拟输出 1P 引脚
OUT2P	21	模拟输出	模拟输出 2P 引脚
OUT2M	22	模拟输出	模拟输出 2M 引脚
AVDD	23	模拟电源	模拟电源（标称值为 3.3V）
VREF	24	模拟	模拟基准电压滤波器输出
VSS	A1	接地	接地引脚。直接短接至电路板接地层。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	–0.3	3.9	V
电源电压	IOVDD 至 VSS（散热焊盘）	–0.3	3.9	V
接地电压差	AVSS 至 VSS（散热焊盘）	–0.3	0.3	V
模拟输入电压	模拟输入引脚电压至 AVSS	–0.3	5.656	V
数字输入电压	数字输入引脚电压至 VSS（散热焊盘）	–0.3	IOVDD + 0.3	V
温度	功能环境温度，T_A	-55	125	°C
	工作环境温度，T_A	-40	125	
	结温，T_J	-40	150	
	贮存温度，T_{stg}	-65	150	

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 AEC Q100-011	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

			最小值	标称值	最大值	单位
POWER						
AVDD[(1)]	模拟电源电压至 AVSS，AVDD 3.3V 工作电压		3.0	3.3	3.6	V
AVDD[(1)]	模拟电源电压至 AVSS - AVDD 1.8V 工作电压		1.65	1.8	1.95	V
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 3.3V 工作电压		3.0	3.3	3.6	V
	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.8V 工作电压		1.65	1.8	1.95	
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.2V 工作电压		1.08	1.2	1.32	V
输入						
INxx	模拟输入引脚电压至 AVSS，用于线路输入旁路路径	模拟输入引脚电压至 AVSS，用于线路输入旁路路径	0		5.6	V
INxx	模拟输入引脚电压至 AVSS，用于麦克风旁路路径		0.1		MICBIAS – 0.1	V
	数字输入引脚电压至 VSS（散热焊盘）		0		IOVDD	V
ADDR	ADDR 引脚，以 AVSS 为基准		0		AVDD	V
温度						
T_A	工作环境温度		-40		125	°C

ADVANCE INFORMATION

		最小值	标称值	最大值	单位
其他					
	GPIOx 或 GPIx（用作 CCLK 输入）时钟频率			36.864[(2)]	MHz
C_b	I^2C 接口的 SCL 和 SDA 总线电容支持标准模式和快速模式			400	pF
	I^2C 接口的 SCL 和 SDA 总线电容支持快速+ 模式			550	
C_L	数字输出负载电容		20	50	pF

(1) AVSS 和 VSS（散热焊盘）；所有接地引脚必须连接在一起，并且电压差不得超过 0.2V。
(2) MCLK 输入上升时间（V_{IL} 到 V_{IH}）和下降时间（V_{IH} 到 V_{IL}）必须小于 5ns。为了获得更好的音频噪声性能，必须使用低抖动的 MCLK 输入。

6.4 热性能信息

热指标[(1)]		TAD5212-Q1 RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.3	°C/W
$R_{\theta JB}$	结至电路板热阻	15.9	°C/W
ψ_{JT}	结至顶部特征参数	0.5	°C/W
ψ_{JB}	结至电路板特征参数	15.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅 spra953 应用报告。

6.5 电气特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
线路输出/耳机回放的 DAC 性能						
	满量程输出电压	OUTxP 和 OUTxM 之间的差分输出，AVDD=3.3V		2		V_{RMS}
		OUTxP 和 OUTxM 之间的差分输出，AVDD=1.8V		1		
		单端输出，AVDD=3.3V		1		
		单端输出，AVDD=1.8V		0.5		
		OUTxP 和 OUTxM 之间的伪差分输出，AVDD=3.3V		1		
		OUTxP 和 OUTxM 之间的伪差分输出，AVDD=1.8V		0.5		

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
SNR	信噪比，A 加权[1] [2]	差分输出，0dBFS 信号，AVDD=3.3V		119		dB
		单端输出，0dBFS 信号，AVDD=3.3V		111		
		伪差分输出，0dBFS 信号，AVDD=3.3V		110		
		差分输出，0dBFS 信号，AVDD=1.8V		114		
		单端输出，0dBFS 信号，AVDD=1.8V		105		
		伪差分输出，0dBFS 信号，AVDD=1.8V		104		
		差分输出，0dBFS 信号，AVDD=3.3V，0dBFS 信号，Power Tune 模式		112		
		单端输出，0dBFS 信号，AVDD=3.3V，Power Tune 模式		102		
		伪差分输出，0dBFS 信号，AVDD=3.3V，Power Tune 模式		101		
		差分输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式		108		
		单端输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式		97		
		伪差分输出，0dBFS 信号，AVDD=1.8V，Power Tune 模式		96		
DR	动态范围，A 加权[2]	差分输出，-60dBFS 信号，AVDD=3.3V		119		dB
		单端输出，-60dBFS 信号，AVDD=3.3V		111		
		伪差分输出，-60dBFS 信号，AVDD=3.3V		110		
		差分输出，-60dBFS 信号，AVDD=1.8V		114		
		单端输出，-60dBFS 信号，AVDD=1.8V		105		
		伪差分输出，-60dBFS 信号，AVDD=1.8V		104		
		差分输出，-60dBFS 信号，AVDD=3.3V，0dBFS 信号，Power Tune 模式		112		
		单端输出，-60dBFS 信号，AVDD=3.3V，Power Tune 模式		102		
		伪差分输出，-60dBFS 信号，AVDD=3.3V，Power Tune 模式		101		
		差分输出，-60dBFS 信号，AVDD=1.8V，Power Tune 模式		108		
		单端输出，-60dBFS 信号，AVDD=1.8V，Power Tune 模式		97		
		伪差分输出，-60dBFS 信号，AVDD=1.8V，Power Tune 模式		96		
THD+N	总谐波失真[2]			-95		dB
	耳机负载范围			16		Ω
	线路输出负载范围		600			Ω
	通道增益控制范围	可编程 1dB 步长	-6		12	dB
模拟旁路至线路输出/耳机放大器						
	输入阻抗	差分输入，INxP 和 INxM 之间		8.8		kΩ
		单端输入，INxP 和 INxM 之间		4.4		
		差分输入，INxP 和 INxM 之间，40k 模式		40k		
		单端输入，INxP 和 INxM 之间，40k 模式		20k		
	单端满量程输出	AVDD=3.3V　AVDD=3.3V		1		Vrms
	差分满量程输出	AVDD=3.3V		2		Vrms
		AVDD=1.8V		1		Vrms

ADVANCE INFORMATION

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
	增益误差			0.1		dB
	噪声，A 加权	空闲通道，交流耦合输入对地短路，全差分输出		4.5		μV_{RMS}
	噪声，A 加权	空闲通道，交流耦合输入对地短路，单端输出		6.3		μV_{RMS}
SNR	信噪比，A 加权(1) (2)	空闲通道，交流耦合输入对地短路，全差分输出，AVDD=3.3V		113		dB
SNR	信噪比，A 加权(1) (2)	空闲通道，交流耦合输入对地短路，单端输出，AVDD=3.3V		104		dB
THD+N	总谐波失真(2)	选择 IN1 差分交流耦合输入，-1dB 满量程交流信号输入，0dB 通道增益				dB
DAC 通道其他参数						
	输出偏移	0 输入，全差分输出		0.2		mV
	输出偏移	0 输入，伪差分输出		0.4		mV
	输出共模	OUTxP 和 OUTxM 的共模电平 AVDD=1.8V（寄存器可配置）		0.9		V
	输出共模	OUTxP 和 OUTxM 的共模电平 AVDD=3.3V（寄存器可配置）		1.66		V
	共模误差	共模电压下的直流误差		±10		mV
	数字音量控制范围	可编程 0.5dB 步长	-120		42	dB
	输出信号带宽	高达 192KSPS FS 速率		0.46		FS
		>192KSPS		100		kHz
	输入数据采样速率	可编程	3.675		768	kHz
	输入数据样本字长	可编程	16		32	位
	数字高通滤波器截止频率	具有可编程系数的一阶 IIR 滤波器，–3dB 点（默认设置）		2		Hz
	通道间隔离			-134		dB
	通道间增益不匹配			0.1		dB
	通道间相位不匹配	1kHz 正弦信号		0.01		度
PSRR	电源抑制比	100mV_{PP}，AVDD 上 1kHz 正弦信号，选择差分输入，0dB 通道增益		100		dB
	静音衰减			–130		dB
P_{out}	输出电力输送	单端/伪差分 R_L=16Ω，THD+N<1%		62.5		mW
麦克风偏置						
	MICBIAS 噪声	BW = 20Hz 至 20kHz，A 加权，MICBIAS 和 AVSS 之间具有 1μF 电容器		2		μV_{RMS}
	MICBIAS 电压	旁路至 AVDD		AVDD		V
	MICBIAS 电压	AVDD=1.8V		1.375		V
	MICBIAS 电压	AVDD=3.3V		2.75		V
数字 I/O						
$V_{IL(SHDNZ)}$	低电平数字输入逻辑电压阈值	SHDNZ 引脚	–0.3		0.25 × IOVDD	V
$V_{IH(SHDNZ)}$	高电平数字输入逻辑电压阈值	SHDNZ 引脚	0.75 × IOVDD		IOVDD + 0.3	V
V_{IL}	低电平数字输入逻辑电压阈值	除 SDA 和 SCL 以外的所有数字引脚，IOVDD 1.8V 运行	–0.3		0.35 × IOVDD	V
		除 SDA 和 SCL 以外的所有数字引脚，IOVDD 3.3V 运行	–0.3		0.8	

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
V_{IH}	高电平数字输入逻辑电压阈值	除 SDA 和 SCL 以外的所有数字引脚，IOVDD 1.8V 运行	0.65 × IOVDD		IOVDD + 0.3	V
		除 SDA 和 SCL 以外的所有数字引脚，IOVDD 3.3V 运行	2		IOVDD + 0.3	
V_{OL}	低电平数字输出电压	除 SDA 和 SCL 以外的所有数字引脚，I_{OL} = –2mA，IOVDD 1.8V 运行			0.45	V
		除 SDA 和 SCL 以外的所有数字引脚，I_{OL} = –2mA，IOVDD 3.3V 运行			0.4	
V_{OH}	高电平数字输出电压	除 SDA 和 SCL 以外的所有数字引脚，I_{OH} = 2mA，IOVDD 1.8V 运行	IOVDD – 0.45			V
		除 SDA 和 SCL 以外的所有数字引脚，I_{OH} = 2mA，IOVDD 3.3V 运行	2.4			
$V_{IL(I2C)}$	低电平数字输入逻辑电压阈值	SDA 和 SCL	-0.5		0.3 × IOVDD	V
$V_{IH(I2C)}$	高电平数字输入逻辑电压阈值	SDA 和 SCL	0.7 × IOVDD		IOVDD + 0.5	V
$V_{OL1(I2C)}$	低电平数字输出电压	SDA，$I_{OL(I2C)}$ = –3mA，IOVDD > 2V			0.4	V
$V_{OL2(I2C)}$	低电平数字输出电压	SDA，$I_{OL(I2C)}$ = –2mA，IOVDD ≤ 2V			0.2 x IOVDD	V
$I_{OL(I2C)}$	低电平数字输出电流	SDA，$V_{OL(I2C)}$ = 0.4V，标准模式或快速模式	3			mA
		SDA，$V_{OL(I2C)}$ = 0.4V，快速+ 模式	20			
I_{IL}	数字输入的输入逻辑低电平泄漏电流	所有数字引脚，输入 = 0V	-5	0.1	5	µA
I_{IH}	数字输入的输入逻辑高电平泄漏电流	所有数字引脚；输入 = IOVDD	-5	0.1	5	µA
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
R_{PD}	数字 I/O 引脚在置为有效状态时的下拉电阻			20		kΩ
典型电源电流消耗						
I_{AVDD}	睡眠模式（软件关断模式）下的电流消耗	所有器件外部时钟停止		待定		µA
I_{IOVDD}				1		
I_{AVDD}	DAC 至 HP 2 通道在 f_S 16kHz、MICBIAS 关闭、PLL 开启、BCLK = 512 ×f_S 下运行时的电流消耗			待定		mA
I_{IOVDD}				0.2		
I_{AVDD}	DAC 至 HP 2 通道在 f_S 48kHz、MICBIAS 关闭、PLL 关闭、BCLK = 512 ×f_S 下运行时的电流消耗			待定		mA
I_{IOVDD}				待定		

(1) 在 1kHz 满量程正弦波输入时的输出电平与交流信号输入对地短路时的输出电平之比，使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。

(2) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，会导致比“电气特性”中所示更高的 THD 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但会影响动态规格值。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.6 时序要求：I²C 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V（除非另有说明）；时序图详见 TBD

		最小值	标称值	最大值	单位
标准模式					
f_{SCL}	SCL 时钟频率	0		100	kHz
$t_{HD;STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	4			µs
t_{LOW}	SCL 时钟的低电平周期	4.7			µs
t_{HIGH}	SCL 时钟的高电平周期	4			µs
$t_{SU;STA}$	重复 START 条件的建立时间	4.7			µs
$t_{HD;DAT}$	数据保持时间	0		3.45	µs
$t_{SU;DAT}$	数据建立时间	250			ns
t_r	SDA 和 SCL 上升时间			1000	ns
t_f	SDA 和 SCL 下降时间			300	ns
$t_{SU;STO}$	停止条件的建立时间	4			µs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			µs
快速模式					
f_{SCL}	SCL 时钟频率	0		400	kHz
$t_{HD;STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	0.6			µs
t_{LOW}	SCL 时钟的低电平周期	1.3			µs
t_{HIGH}	SCL 时钟的高电平周期	0.6			µs
$t_{SU;STA}$	重复 START 条件的建立时间	0.6			µs
$t_{HD;DAT}$	数据保持时间	0		0.9	µs
$t_{SU;DAT}$	数据设置时间	100			ns
t_r	SDA 和 SCL 上升时间	20		300	ns
t_f	SDA 和 SCL 下降时间	20 × (IOVDD / 5.5V)		300	ns
$t_{SU;STO}$	STOP 条件的建立时间	0.6			µs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			µs
快速+ 模式					
f_{SCL}	SCL 时钟频率	0		1000	kHz
$t_{HD;STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	0.26			µs
t_{LOW}	SCL 时钟的低电平周期	0.5			µs
t_{HIGH}	SCL 时钟的高电平周期	0.26			µs
$t_{SU;STA}$	重复 START 条件的建立时间	0.26			µs
$t_{HD;DAT}$	数据保持时间	0			µs
$t_{SU;DAT}$	数据设置时间	50			ns
t_r	SDA 和 SCL 上升时间			120	ns
t_f	SDA 和 SCL 下降时间	20 × (IOVDD / 5.5V)		120	ns
$t_{SU;STO}$	停止条件的建立时间	0.26			µs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间	0.5			µs

6.7 开关特性：I²C 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V（除非另有说明）；时序图详见 TBD

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(SDA)}$	SCL 至 SDA 延迟	标准模式	200		1250	ns
		快速模式	200		850	ns
		快速+ 模式			400	ns

Copyright © 2024 Texas Instruments Incorporated

6.8 时序要求：SPI 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见 TBD

			最小值	标称值	最大值	单位
$t_{(SCLK)}$	SCLK 周期		40			ns
$t_{H(SCLK)}$	SCLK 高电平脉冲持续时间		18			ns
$t_{L(SCLK)}$	SCLK 低电平脉冲持续时间		18			ns
t_{LEAD}	启用超前时间		16			ns
t_{TRAIL}	启用延迟时间		16			ns
t_{DSEQ}	顺序传输延迟		20			ns
$t_{SU(MOSI)}$	MOSI 数据设置时间		8			ns
$t_{HLD(MOSI)}$	MOSI 数据保持时间		8			ns
$t_{r(SCLK)}$	SCLK 上升时间	10% 至 90% 上升时间			6	ns
$t_{f(SCLK)}$	SCLK 下降时间	90% 至 10% 下降时间			6	ns

6.9 开关特性：SPI 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见

参数		测试条件	最小值	典型值	最大值	单位
$t_{a(MISO)}$	MISO 访问时间	IOVDD = 1.8V			18	ns
		IOVDD = 3.3V			14	
$t_{d(MISO)}$	SCLK 至 MISO 延迟	SCLK 的 50% 至 MISO 的 50%，IOVDD = 1.8V			19	ns
		SCLK 的 50% 至 MISO 的 50%，IOVDD = 3.3V			15	
$t_{dis(MISO)}$	MISO 禁用时间	IOVDD = 1.8V			18	ns
		IOVDD = 3.3V			14	

6.10 时序要求：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见

			最小值	标称值	最大值	单位
$t_{(BCLK)}$	BCLK 周期		40			ns
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间(1)		18			ns
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间 (1)		18			ns
$t_{SU(FSYNC)}$	FSYNC 设置时间		8			ns
$t_{HLD(FSYNC)}$	FSYNC 保持时间		8			ns
$t_{r(BCLK)}$	BCLK 上升时间	10% 至 90% 上升时间			10	ns
$t_{f(BCLK)}$	BCLK 下降时间	90% 至 10% 下降时间			10	ns

(1) 如果 SDOUT 数据线锁存位于与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns（以满足时序规格）。

6.11 开关特性：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见 TBD

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(SDOUT-BCLK)}$	BCLK 到 SDOUT 延迟	BCLK 的 50% 至 SDOUT 的 50%，IOVDD = 1.8V			18	ns
		BCLK 的 50% 至 SDOUT 的 50%，IOVDD = 3.3V			14	
$t_{d(SDOUT-FSYNC)}$	TDM 或 LJ 模式下的 FSYNC 到 SDOUT 延迟（对于 TX_OFFSET = 0 的 MSB 数据）	FSYNC 的 50% 至 SDOUT 的 50%，IOVDD = 1.8V			18	ns
		FSYNC 的 50% 至 SDOUT 的 50%，IOVDD = 3.3V			14	

ADVANCE INFORMATION

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见 TBD

参数		测试条件	最小值	典型值	最大值	单位
$f_{(BCLK)}$	BCLK 输出时钟频率；主模式 (1)				24.576	MHz
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间；主模式	IOVDD = 1.8V	14			ns
		IOVDD = 3.3V	14			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间；主模式	IOVDD = 1.8V	14			ns
		IOVDD = 3.3V	14			
$t_{d(FSYNC)}$	BCLK 至 FSYNC 延迟；主模式	BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.8V			18	ns
		BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 3.3V			14	
$t_{r(BCLK)}$	BCLK 上升时间；主模式	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间；主模式	90% - 10% 下降时间，IOVDD = 1.8V			8	ns
		90% - 10% 下降时间，IOVDD = 3.3V			8	

(1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz（以满足时序规格）。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

TAD5212 是可扩展器件系列中的一员。作为扩展器件系列的一部分，TAD5212 包括高性能、低功耗、灵活的音频数模转换器 (DAC)，并具有广泛的功能集成。该器件适用于汽车应用，例如远程信息处理控制单元、车载免提通信、紧急呼叫和多媒体应用。该器件集成了大量功能，可在空间受限的汽车子系统设计中降低成本、减小布板空间并降低功耗。得益于封装、性能和器件兼容的配置寄存器优势，该器件非常适合可扩展系统设计。

TAD5212 包含以下模块：

- 低噪声可编程麦克风偏置输出
- 2 通道、多位、高性能 Δ-Σ DAC
- 可配置单端、差分或伪差分音频输出
- MICBIAS 和模拟输出的过流诊断与保护
- 自动增益控制器 (AGC)
- 高级热折返和保护
- 高级电池保护和失真限制器
- 具有线性相位或低延迟滤波器的可编程内插滤波器
- 适用于每个通道的可编程通道增益、音量控制和双二阶滤波器
- 每个通道都具有分辨率极高的可编程相位和增益校准
- 可编程高通滤波器 (HPF) 和数字通道混频器
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

TAD5212 支持使用 I^2C 和 SPI 接口进行通信，用于配置控制寄存器。该器件支持高度灵活的音频串行接口（时分多路复用 (TDM)、I^2S 或左对齐 (LJ)），以在系统中各个器件之间无缝传输音频数据。

7.2 功能方框图

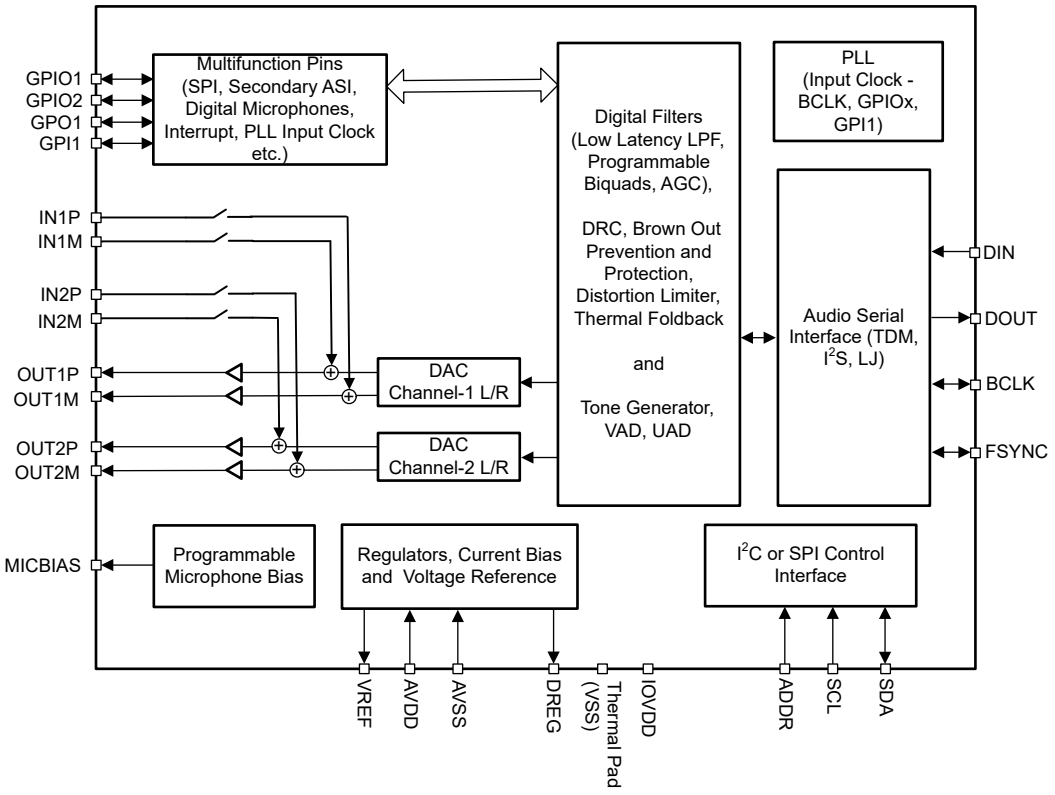


图 7-1.

ADVANCE INFORMATION

7.3 特性说明

7.3.1 串行接口

该器件有两个串行接口：控制接口和音频数据接口。控制串行接口用于器件配置。音频数据串行接口用于将音频数据传输到主机器件。

7.3.1.1 控制串行接口

该器件包含配置寄存器和可编程系数，这些系数可以设置为特定系统和应用用例所需的值。所有这些寄存器均可通过 I^2C 或 SPI 与器件通信来进行访问。如需更多信息，请参阅 *节 7.5* 部分。

7.3.1.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAD5212 之间流动。这个高度灵活的 ASI 总线包括用于多通道运行的 TDM 模式、I^2S 或左对齐协议格式支持、可编程数据长度选项、各总线时钟线路的控制器-目标灵活配置，以及直接与系统中多个器件进行通信的能力。

TAD5212 最多支持两个 ASI 接口。辅助 ASI 时钟和数据引脚可通过设置 GPIO 来进行配置。两个 ASI 的帧同步必须保持同步。有关辅助 ASI 的更多详细信息，请参阅 。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

通过使用 PASI_FORMAT[1:0]、P0_R26_D[7:6] 寄存器位，可为主要 ASI 选择总线协议 TDM、I²S 或左对齐 (LJ) 格式。如表 7-1 和表 7-2 所示，这些模式都是最高有效字节 (MSB) 优先的脉冲编码调制 (PCM) 数据格式，输出通道数据字长可以通过配置 PASI_WLEN[1:0]、P0_R26_D[5:4] 寄存器位编程为 16、20、24 或 32 位。

表 7-1. 主要音频串行接口格式

P0_R26_D[7:6] : PASI_FORMAT[1:0]	主要音频串行接口格式
00（默认值），假设值 = 0	时分多路复用 (TDM) 模式
01	IC 间音频 (I²S) 模式
10	左对齐 (LJ) 模式
11	保留（不使用此设置）

表 7-2. 主要音频串行接口数据字长

P0_R7_D[5:4] : PASI_WLEN[1:0]	主要音频输出通道数据字长
00	数据字长设置为 16 位
01	数据字长设置为 20 位
10	数据字长设置为 24 位
11（默认值）	数据字长设置为 32 位

帧同步引脚 FSYNC 在该音频总线协议中用于定义帧的起始，并具有与输出数据采样速率相同的频率。位时钟引脚 BCLK 用于通过串行总线在时钟沿输出数字音频数据。一个帧中的位时钟周期数必须能够容纳具有编程数据字长的多个器件活动输出通道。

一个帧包含多个时分通道时隙（最多 32 个），以允许一个器件或共享同一音频总线的多个器件在音频总线上完成所有输入/输出通道音频数据传输。该器件支持多达八个输入通道和八个输出通道，这些通道可在主要 ASI 总线上进行配置，以便将其音频数据放在总线时隙 0 至时隙 31 上。表 7-3 列出了输出通道 1 时隙配置设置。在 I²S 和 LJ 模式下，时隙分为两组，即左通道时隙和右通道时隙，如 *节 7.3.1.2.2* 和 *节 7.3.1.2.3* 一节所述。

表 7-3. 输出通道 1 插槽分配设置

P0_R30_D[4:0] : PASI_TX_CH1_SLOT[4:0]	输出通道 1 时隙分配
0 0000 = 0d（默认）	时隙 0 用于 TDM，或左侧时隙 0 用于 I²S、LJ。
0 0001 = 1d	时隙 1 用于 TDM，或左侧时隙 1 用于 LJ。
…	…
0 1111 = 15d	时隙 15 用于 TDM，或左侧时隙 15 用于 LJ。
1 0000 = 32d	时隙 16 用于 TDM，或右侧时隙 0 用于 I²S、LJ。
…	…
1 1110 = 30d	时隙 30 用于 TDM，或右侧时隙 14 用于 LJ。
1 1111 = 31d	时隙 31 用于 TDM，或右侧时隙 15 用于 LJ。

同样，可分别使用 PASI_TX_CH2_SLOT (P0_R31) 至 PASI_TX_CH8_SLOT (P0_R37) 寄存器完成输出通道 2 至通道 8 的时隙分配设置，以及使用 PASI_RX_CH1_SLOT(P0_R40) 至 PAS_RX_CH8_SLOT(P0_R47) 完成输入通道 1 至通道 8 的时隙分配设置。

时隙字长与为器件设置的主要 ASI 通道字长相同。如果所有 TAD5212 器件在系统中共用同一 ASI 总线，则必须将所有器件的输出通道数据字长设置为相同的值。系统中 ASI 总线可能的最大时隙数受限于可用总线带宽，该带宽取决于 BCLK 频率、使用的输出数据采样速率以及配置的通道数据字长。

ADVANCE INFORMATION

该器件还包括一项功能，可将时隙数据传输开始相对于帧同步偏移多达 31 个位时钟周期。可以为输入和输出数据路径单独配置偏移量。表 7-4 和表 7-5 分别列出了发送路径和接收路径的可编程偏移配置设置。

表 7-4. ASI 时隙开始发送时的可编程偏移设置

P0_R28_D[4:0] : PASI_TX_OFFSET[4:0]	时隙数据传输开始的可编程偏移设置
0 0000 = 0d（默认）	该器件遵循标准协议时序，没有任何偏移。
0 0001 = 1d	与标准协议时序相比，时隙开始会偏移一个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移一个 BCLK 周期。
.....	.....
1 1110 = 30d	与标准协议时序相比，时隙开始会偏移 30 个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 30 个 BCLK 周期。
1 1111 = 31d	与标准协议时序相比，时隙开始会偏移 31 个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 31 个 BCLK 周期。

表 7-5. ASI 时隙开始接收时的可编程偏移设置

P0_R38_D[4:0] : PASI_RX_OFFSET[4:0]	时隙数据接收开始时的可编程偏移设置
0 0000 = 0d（默认）	该器件遵循标准协议时序，没有任何偏移。
0 0001 = 1d	与标准协议时序相比，时隙开始会偏移一个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移一个 BCLK 周期。
.....	.....
1 1110 = 30d	与标准协议时序相比，时隙开始会偏移 30 个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 30 个 BCLK 周期。
1 1111 = 31d	与标准协议时序相比，时隙开始会偏移 31 个 BCLK 周期。 对于 I²S 或 LJ，与标准协议时序相比，左侧和右侧时隙开始会偏移 31 个 BCLK 周期。

与标准协议时序中使用的默认 FSYNC 极性相比，该器件还能够反转帧同步引脚 FSYNC 的极性，用于传输音频数据。该功能可以使用 PASI_FSYNC_POL、P0_R26_D3 寄存器位来设置。同样，该器件可以反转位时钟引脚 BCLK 的极性，而这可以使用 PASI_BCLK_POL、P0_R26_D2 寄存器位来设置。

此外，字时钟和位时钟还可以独立配置为控制器模式或目标模式，以便灵活地连接各种处理器。字时钟用于定义帧的起始，可编程为脉冲或方波信号。该时钟的频率对应于所选 DAC 通道采样频率的最大值。

7.3.1.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式（也称为 DSP 模式）下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位（TX_OFFSET 等于 0 时，时隙 0 的 MSB 除外）会在 BCLK 的上升沿传输。图 7-2 至图 7-5 展示了各种配置下 TDM 运行的协议时序。

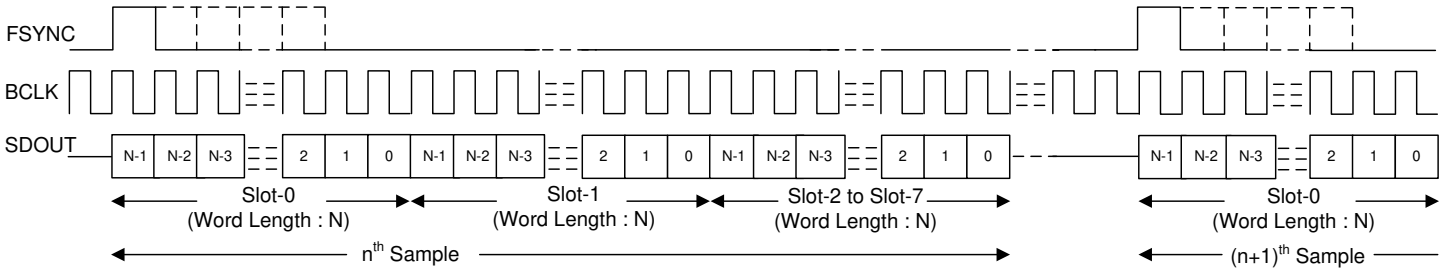


图 7-2. TDM 模式标准协议时序 (PASI_TX_OFFSET = 0)

Copyright © 2024 Texas Instruments Incorporated

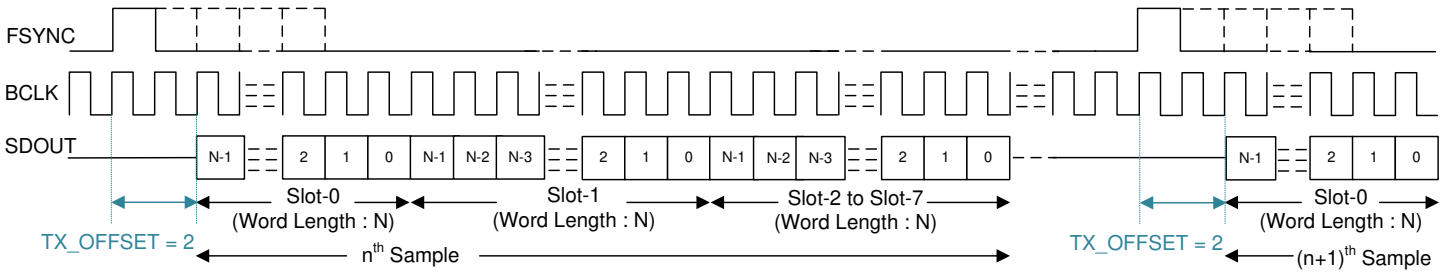


图 7-3. TDM 模式协议时序 (PASI_TX_OFFSET = 2)

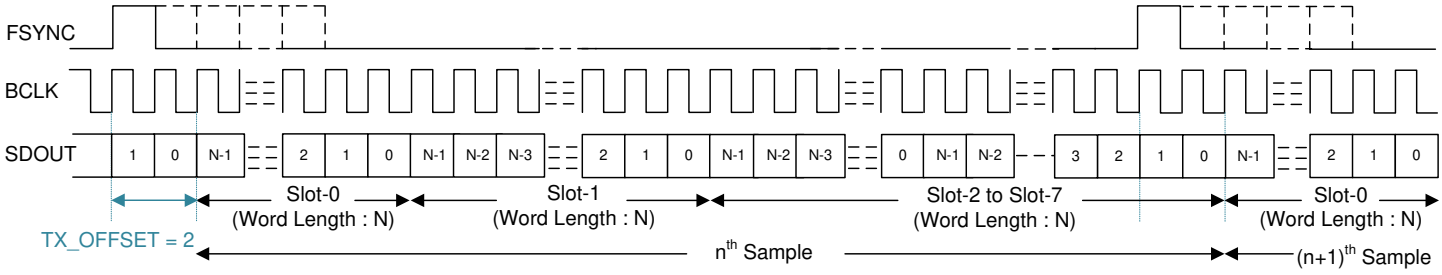


图 7-4. TDM 模式协议时序（无空闲 BCLK 周期，PASI_TX_OFFSET = 2）

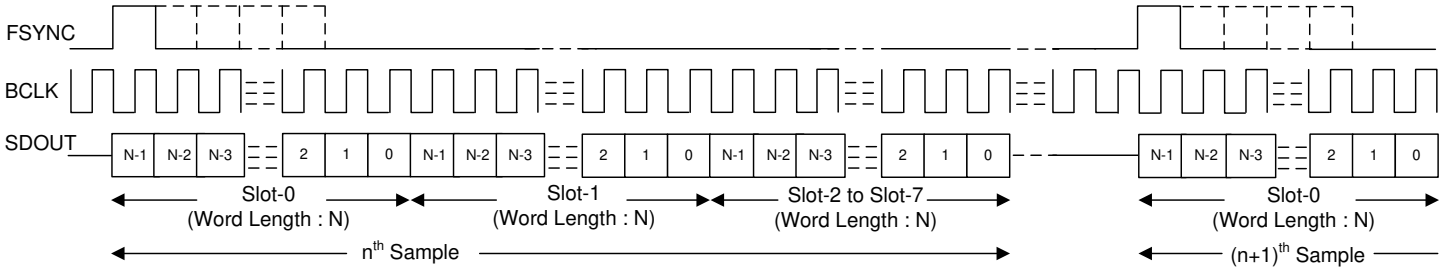


图 7-5. TDM 模式协议时序（PASI_TX_OFFSET = 0 且 PASI_BCLK_POL = 1）

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的编程字长。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持多个脉冲。对于更高 BCLK 频率的运行，建议使用 PASI_TX_OFFSET 值大于 0 的 TDM 模式。

7.3.1.2.2 IC 间音频 (I^2S) 接口

标准 I^2S 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 I^2S 模式下，左时隙 0 的 MSB 会在 FSYNC *下降* 沿之后第二个周期中的 BCLK 下降沿上传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右时隙 0 的 MSB 会在 FSYNC *上升* 沿之后第二个周期中的 BCLK 下降沿上传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYNC 和每个数据位在 BCLK 的下降沿传输。图 7-6 至图 7-9 展示了各种配置下 I^2S 运行的协议时序。

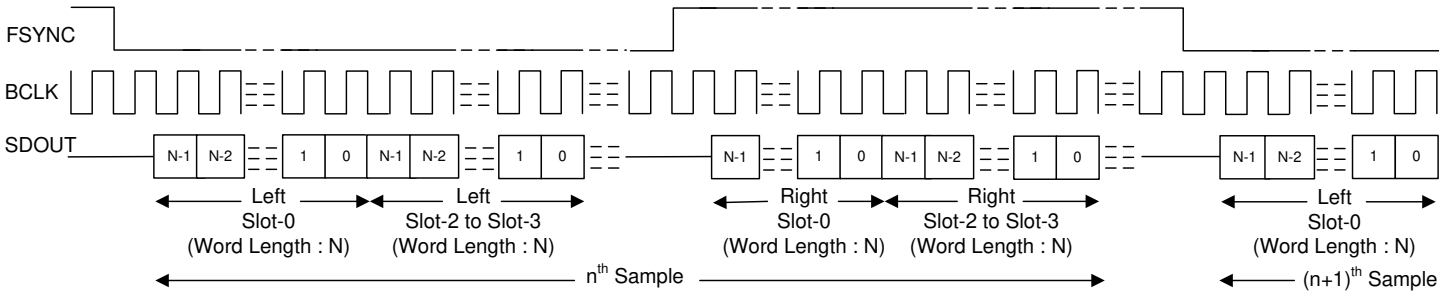


图 7-6. I^2S 模式标准协议时序 (PASI_TX_OFFSET = 0)

ADVANCE INFORMATION

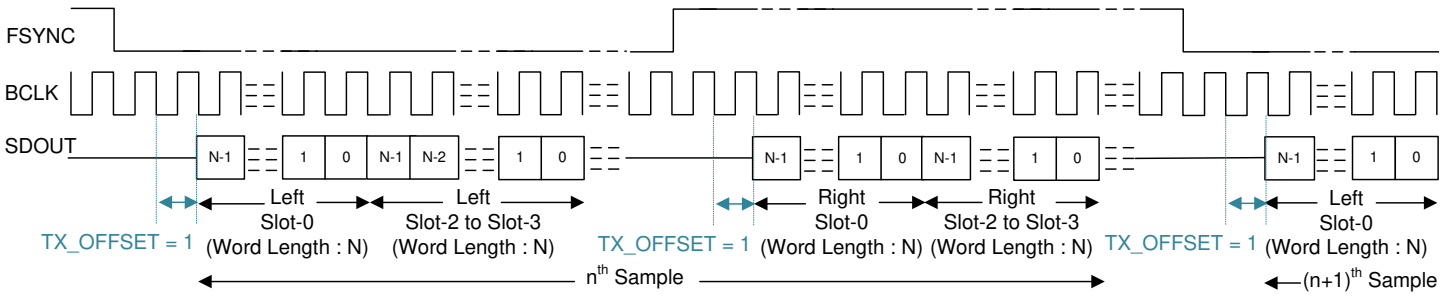


图 7-7. I²S 协议时序 (PASI_TX_OFFSET = 1)

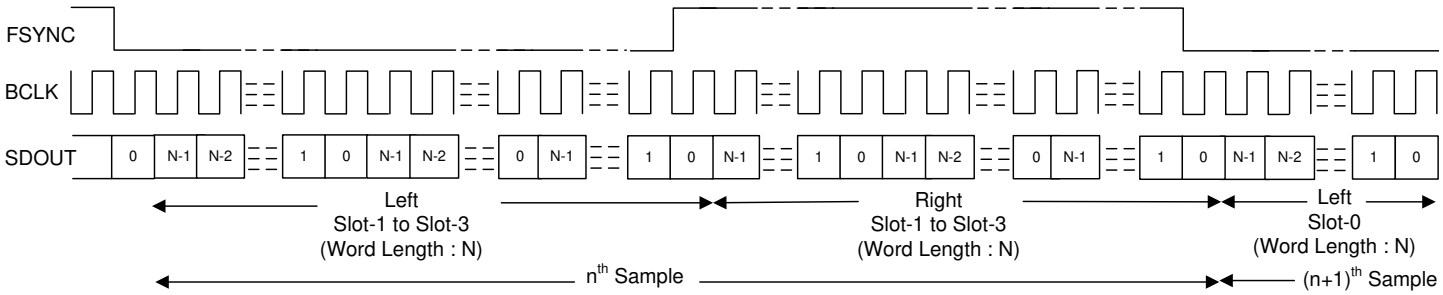


图 7-8. I²S 协议时序（无空闲 BCLK 周期，PASI_TX_OFFSET = 0）

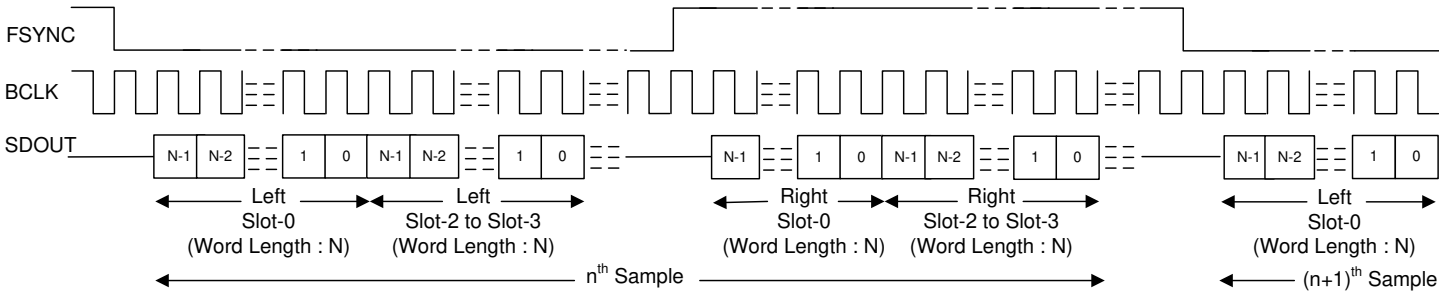


图 7-9. I²S 协议时序（PASI_TX_OFFSET = 0 且 PASI_BCLK_POL = 1）

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 FSYNC 低电平脉冲必须是大于或等于活动左时隙数量乘以所配置的数据字长的 BCLK 周期数。同样，FSYNC 高电平脉冲必须是大于或等于活动右时隙数量乘以所配置的数据字长的 BCLK 周期数。

7.3.1.2.3 左对齐 (LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。该器件为多通道运行扩展了相同的协议时序。在 LJ 模式下，左侧时隙 0 的 MSB 在 FSYNC *上升* 沿之后的同一 BCLK 周期内传输。后续的每个数据位都在 BCLK 的下降沿传输。紧接着左侧时隙 0 数据传输，剩余的左侧时隙数据按顺序传输。右侧时隙 0 的 MSB 在 FSYNC *下降* 沿后的同一 BCLK 周期内传输。后续的每个数据位都在 BCLK 的下降沿传输。紧接着右侧时隙 0 数据传输，剩余的右侧时隙数据按顺序传输。FSYNC 在 BCLK 的下降沿传输。图 7-10 至图 7-13 展示了各种配置下 LJ 运行的协议时序。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

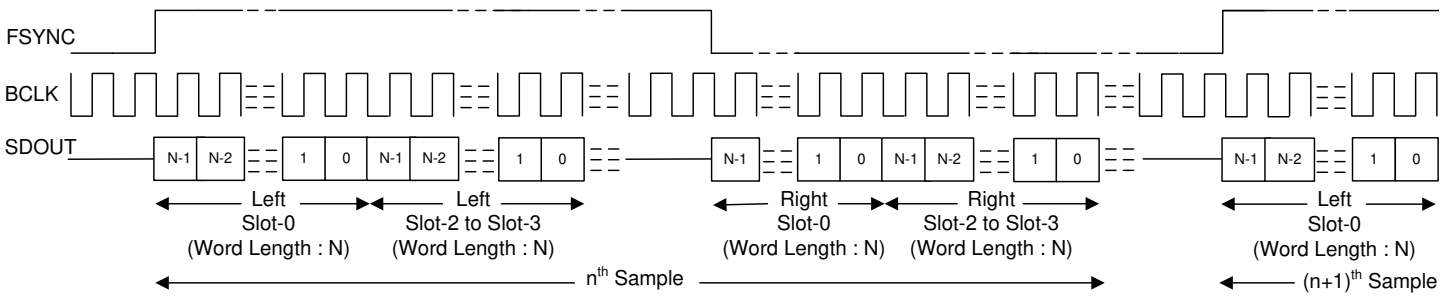


图 7-10. LJ 模式标准协议时序 (TX_OFFSET = 0)

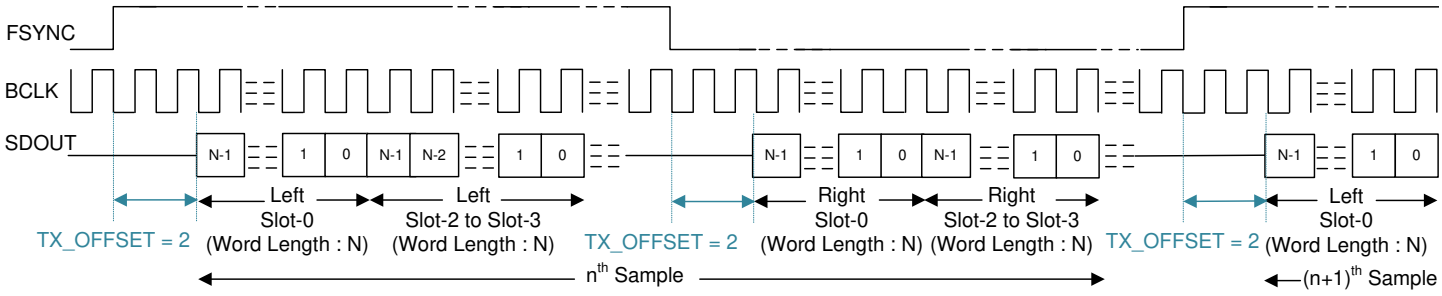


图 7-11. LJ 协议时序 (TX_OFFSET = 2)

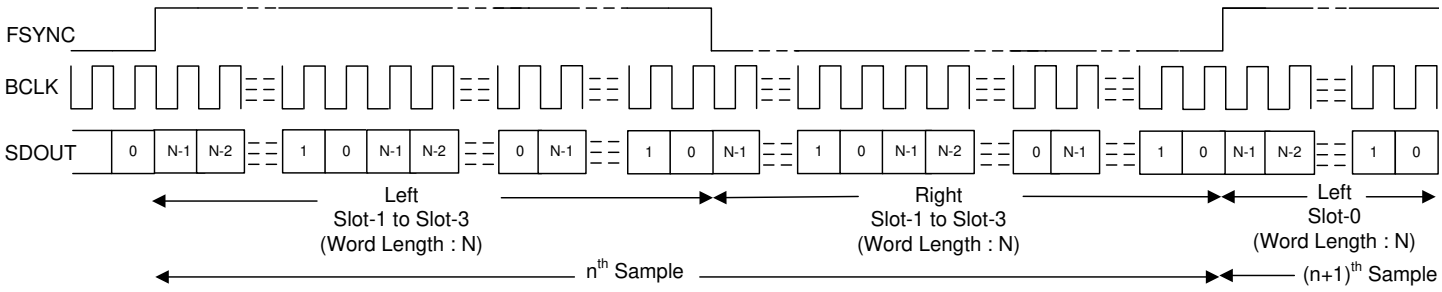


图 7-12. LJ 协议时序（无空闲 BCLK 周期，TX_OFFSET = 0）

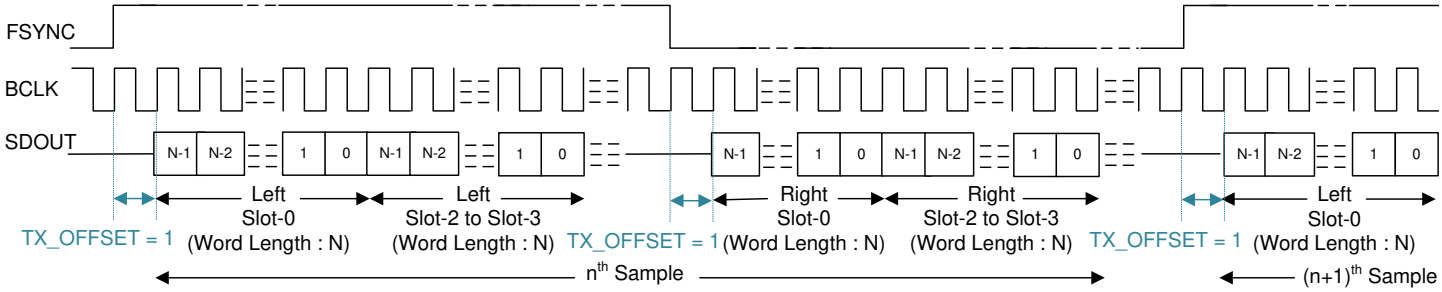


图 7-13. LJ 协议时序（TX_OFFSET = 1 且 BCLK_POL = 1）

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的编程字长。器件 FSYNC 高电平脉冲必须是大于或等于活动左时隙数量乘以所配置的数据字长的 BCLK 周期数。同样，FSYNC 低电平脉冲必须是大于或等于活动右时隙数量乘以所配置的数据字长的 BCLK 周期数。对于更高 BCLK 频率的运行，建议使用 TX_OFFSET 值大于 0 的 LJ 模式。

7.3.1.3 通过共享总线使用多个器件

该器件具有许多支持的功能和灵活选项，可在系统中用于通过共享单个公共 I^2C 或 SPI 控制总线和音频串行接口总线来无缝地连接多个 TAD5212 器件。这种架构使得能够在需要使用麦克风或扬声器阵列进行波束形成操作、音

ADVANCE INFORMATION

频会议、噪声消除等的系统中实现多个应用。图 7-14 展示了多个 TAD5212 器件共享控制总线和音频数据总线的配置图。

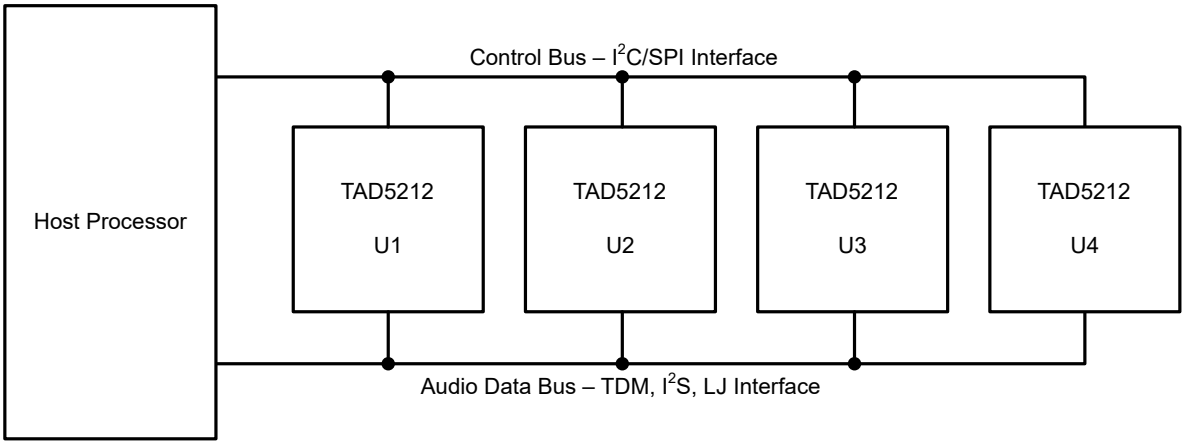


图 7-14. 多个 TAD5212 器件具有共享控制和音频数据总线

TAD5212 包含以下特性，用于通过共享总线实现多个器件的无缝连接和交互：

- 支持多达四个引脚可编程的 I^2C 目标地址
- I^2C 广播同时写入（或触发）所有 TAD5212 器件
- 支持多达 32 个用于音频串行接口的配置输入/输出通道时隙
- 针对器件中未使用的音频数据时隙提供三态特性（具有启用和禁用）
- 支持总线保持器特性（具有启用和禁用），以保持音频总线上最后驱动的值
- GPIOx、GPI1 或 GPO1 引脚可配置为辅助输入/输出数据通道或辅助音频串行接口
- GPIOx、GPI1 或 GPO1 引脚可用于多个 TAD5212 器件的菊花链配置
- 支持一个 BCLK 周期数据锁存时序，以降低高速接口的时序要求
- 主要和辅助音频串行接口的可编程控制器和目标选项
- 能够同步多个器件，来满足不同器件的同步采样要求
- 通道间增益调整 (ICGA) 功能可跨器件调整 DAC 通道增益。

有关更多详细信息，请参阅*具有共享 TDM 和 I^2C/SPI 总线的多个 TAC5x1x 器件* 应用报告。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7.3.1.4 锁相环 (PLL) 和时钟生成

该器件具有智能自动配置块，可生成 DAC 调制器和用于信号处理的数字滤波器引擎所需的所有必要内部时钟。该配置通过监测音频总线上 FSYNC 和 BCLK 信号的频率来实现。

该器件支持（FSYNC 信号频率的）各种数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器（包括 PLL 配置），而无需主机编程。表 7-6 和表 7-7 列出了支持的 FSYNC 和 BCLK 频率。

表 7-6. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)								
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)	FSYNC (384kHz)	FSYNC (768kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072	6.144	12.288
24	保留	0.384	0.576	0.768	1.152	2.304	4.608	9.216	18.432
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144	12.288	24.576
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216	18.432	保留
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288	24.576	保留
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432	保留	保留
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576	保留	保留
192	1.536	3.072	4.608	6.144	9.216	18.432	保留	保留	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留	保留	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留	保留	保留
1024	8.192	16.384	24.576	保留	保留	保留	保留	保留	保留
2048	16.384	保留	保留	保留	保留	保留	保留	保留	保留

表 7-7. 支持的 FSYNC（44.1kHz 的倍数或约数）和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)								
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)	FSYNC (352.8kHz)	FSYNC (705.6kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224	5.6448	11.2896
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336	8.4672	16.9344
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448	11.2896	22.5792
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672	16.9344	保留
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896	22.5792	保留
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344	保留	保留
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792	保留	保留
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留	保留	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留	保留	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留	保留	保留
1024	7.5264	15.0528	22.5792	保留	保留	保留	保留	保留	保留
2048	15.0528	保留	保留	保留	保留	保留	保留	保留	保留

TAD5212 还支持未在上述表格中列出的非音频采样速率。请参阅为 TAC5x1x 器件配置非音频采样速率，了解更多详细信息。

TAD5212 采样速率可以分别使用寄存器 CLK_DET0 (P0_R62) 和 CLK_DET1 (P0_R63) 对主要 ASI 和辅助 ASI 进行配置。这些寄存器还在自动检测模式下捕获器件在 FSYNC 频率下的自动检测结果。寄存器 CLK_DET2 (P0_R64) 和 CLK_DET3 (P0_R65) 捕获为器件检测到的 BCLK 与 FSYNC 之比。如果器件找到任何不受支持的 FSYNC 频率和 BCLK 与 FSYNC 之比组合，器件会生成 ASI 时钟错误中断，并相应地使所有通道静音。

ADVANCE INFORMATION

在 DAC 通道已在运行时，TAD5212 也支持启用通道。这需要在上电之前进行预先配置，以指示在运行时可以启用的最大通道数，从而确保正确生成和使用时钟。这可以通过使用寄存器 DYN_PUPD_CFG (P0_R119) 进行配置。DAC_DYN_PUPD_EN 位可用于独立启用 DAC 通道动态上电。可使用 DAC_DYN_MAXCH_SEL 位来配置通道数。

该器件使用集成的低抖动锁相环 (PLL) 来生成调制器和数字滤波器引擎以及其他控制块所需的内部时钟。该器件还支持使用 BCLK、GPIOx 或 GPI1 引脚（作为 CCLK）作为音频时钟源，而无需使用 PLL，从而降低功耗。但是，DAC 性能可能会因外部时钟源的抖动而下降，如果外部音频时钟源频率不够高，则可能无法支持某些处理功能。因此，TI 建议在高性能应用中使用 PLL。*不同使用场景下的 TAC5x1x 功耗矩阵* 应用报告论述了有关如何在低功耗模式下不使用 PLL 时配置和使用器件的更多细节和信息。

该器件还支持使用 GPIOx 或 GPI1 引脚（作为 CCLK）作为基准输入时钟源来实现音频总线控制器模式运行，并支持各种灵活选项和各种系统时钟。有关控制器模式配置和操作的更多详细信息和信息，请参阅*配置和操作 TAC5x1x 作为音频总线控制器* 应用报告。

音频总线时钟错误检测和自动检测功能会自动生成所有内部时钟，但可以分别使用 IGNORE_CLK_ERR (P0_R4_D6) 和 CUSTOM_CLK_CFG (P0_R50_D0) 寄存器位来禁用。在系统中，该禁用功能可用于支持自动检测方案未涵盖的自定义时钟频率。对于此类应用用例，必须注意确保多个时钟分频器均已正确配置。因此，TI 建议使用 PPC3 GUI 进行器件配置设置；有关更多详细信息，请参阅 *TAC5212EVM-PDK 评估模块* 用户指南和 PurePath™ 控制台图形开发套件。

7.3.1.5 输出通道配置

该器件包含两对模拟输出引脚（OUTxP 和 OUTxM），这些引脚可以配置为差分输出或单端输出，用于回放通道。该器件支持使用高性能多通道 DAC 同时回放最多四通道单端输出或最多双通道差分输出。表 7-8 中显示了回放通道的输入源选择。

表 7-8. 回放通道的输入源选择

P0_R100_D[7:5]：OUT1x_SRC[2:0]	OUT1P/OUT1M 源选择
000（默认值）	输出驱动器禁用
001	DAC 信号链
010	模拟旁路信号链
011	DAC 和模拟旁路信号链的混合
100	OUT1P 用于 DAC，OUT1M 用于模拟旁路信号链
101	OUT1P 用于模拟旁路，OUT1M 用于 DAC 信号链。
11x	保留。不使用此设置。

同样，可以使用 OUT2x_SRC[2:0] (P0_R107_D[7:5]) 寄存器位来配置输出通道 2 的输入源选择设置。

TAD5212 支持最多 2 通道差分输出、最多 2 通道伪差分输出和最多 4 通道单端输出。每个输出通道都可以独立配置为差分或单端输出。

表 7-9 中显示了输出引脚的配置模式

表 7-9. 回放通道的输出引脚配置

P0_R100_D[4:2]：OUT1x_CFG[2:0]	OUT1P/OUT1M 引脚配置
000（默认值）	OUT1P/OUT1M 用作差分对
001	OUT1P 和 OUT1M 用作独立单端输出
010	仅限 OUT1P 上的单声道单端输出
011	仅限 OUT1M 上的单声道单端输出
100	伪差分输出，OUT1P 用作信号，OUT1M 用作 VCOM
101	伪差分输出，OUT1P 用作信号，OUT1M 用作 VCOM，OUT2M 用作 VCOM 检测。
110	伪差分输出，OUT1M 用作信号，OUT1P 用作 VCOM
111	保留。不使用此设置。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

同样，可以使用 OUT2x_CFG[2:0] (P0_R107_D[4:2]) 寄存器位完成输出通道 2 的输出引脚配置。

TAD5212 可以支持各种负载，包括耳机、线路输出和接收器放大器。每个引脚均可独立使用负载驱动配置。OUT1P_DRIVE[1:0] (OUT1x_CFG[7:6]) 为 OUT1P 引脚配置负载驱动能力。OUT1M_DRIVE[1:0]、OUT2P_DRIVE[1:0]、OUT2M_DRIVE[1:0] 分别是 OUT1M、OUT2P 和 OUT2M 的输出驱动控制。

7.3.1.6 基准电压

所有音频数据转换器都需要直流基准电压。TAD5212 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须在 VREF 引脚与模拟地 (VSS) 之间使用一个最低 1μF 的电容器从外部进行滤波。

该基准电压值可以使用 P0_R77_D[1:0] 寄存器位进行配置，并且必须根据器件所需的满量程输入和系统中可用的 AVDD 电源电压，将其设置为适当的值。默认 VREF 值设置为 2.75V，能使器件支持 $2V_{RMS}$ 差分满量程输入。该模式所需的最小 AVDD 电压为 3V。表 7-10 列出了支持的各种 VREF 设置以及所需的 AVDD 范围和该配置支持的满量程输入信号。

表 7-10. VREF 可编程设置

P0_R77_D[1:0] : VREF[1:0]	VREF 输出电压	支持差分满量程输入	支持单端满量程输入	AVDD 范围要求
00（默认值）	2.75V	$2V_{RMS}$（高摆幅模式下支持 $4V_{RMS}$）	1 V_{RMS}	3V 至 3.6V
01	2.5V	1.818 V_{RMS}	0.909 V_{RMS}	2.8V 至 3.6V
10	1.375V	1 V_{RMS}	0.5 V_{RMS}	1.7V 至 1.9V
11	保留	保留	保留	保留

为了实现低功耗，该音频基准模块会按 *节 7.4* 所述的方式断电。退出睡眠模式时，音频基准模块使用内部快速充电方案上电，而 VREF 引脚在稳定时间（与 VREF 引脚上的去耦电容器有关）后稳定到其稳态电压。使用 1μF 去耦电容器时，该时间大约等于 3.5ms。如果在 VREF 引脚上使用较高值的去耦电容器，则必须使用 VREF_QCHG (P0_R2_D[4:3]) 寄存器位重新配置快速充电设置，这些位支持 3.5ms（默认值）、10ms、50ms 或 100ms 的选项。

7.3.1.7 可编程麦克风偏置

该器件集成一个内置低噪声麦克风偏置引脚，该引脚可在系统中用于偏置驻极体电容式麦克风或为 MEMS 模拟或数字麦克风提供电源。集成的偏置放大器支持高达 10 mA 的负载电流，可用于多个麦克风，旨在提供高 PSRR、低噪声和可编程偏置电压的组合，以便针对特定的麦克风组合对偏置进行微调。

当使用该 MICBIAS 引脚对多个麦克风进行偏置或供电时，请避免在用于 MICBIAS 连接的电路板布局布线上出现任何公共阻抗，以尽可能地减小麦克风之间的耦合。表 7-11 展示了可用的麦克风偏置可编程选项。

表 7-11. MICBIAS 可编程设置

P0_R77_D[3:2] : MICBIAS_VAL[1:0]	P0_R77_D[1:0] : VREF_FSCALE[1:0]	MICBIAS 输出电压
00（默认值）	00（默认值），假设值 = 0	2.75V（与 VREF 输出相同）
	01	2.5V（与 VREF 输出相同）
	10	1.375V（与 VREF 输出相同）
	11	保留（不使用这些设置）
01	00（默认值）	1.375 V（VREF 输出的 0.5 倍）
	01	1.250 V（VREF 输出的 0.5 倍）
	10 或 11	保留（不使用这些设置）
10	XX	保留（不使用这些设置）
11	XX	与 AVDD 相同

通过配置 MICBIAS_PDZ (P0_R120_D5) 寄存器位，可以打开或关闭（默认）麦克风偏置输出。此外，该器件还提供配置 GPIO1 或 GPIx 引脚的选项，以直接控制麦克风偏置输出的打开或关闭。该功能对于直接控制麦克

ADVANCE INFORMATION

风非常有用，无需主机进行 I^2C 或 SPI 通信。如果 GPIO1 或 GPIx 引脚配置为打开或关闭麦克风偏置，则 MICBIAS_PDZ (P0_R120_D5) 寄存器位值将被忽略。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7.3.1.8 信号链处理

TAD5212 信号链由超低噪声、高性能和低功耗的模拟块以及高度灵活的可编程数字处理块组成。高性能和灵活性与紧凑的封装相结合，使得 TAD5212 非常适合需要多通道音频回放的各种终端设备和应用。节 7.3.1.8.1 进一步介绍 DAC 信号链的关键元件。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.1.8.1 DAC 信号链

图 7-15 显示了回放信号链的关键元件。

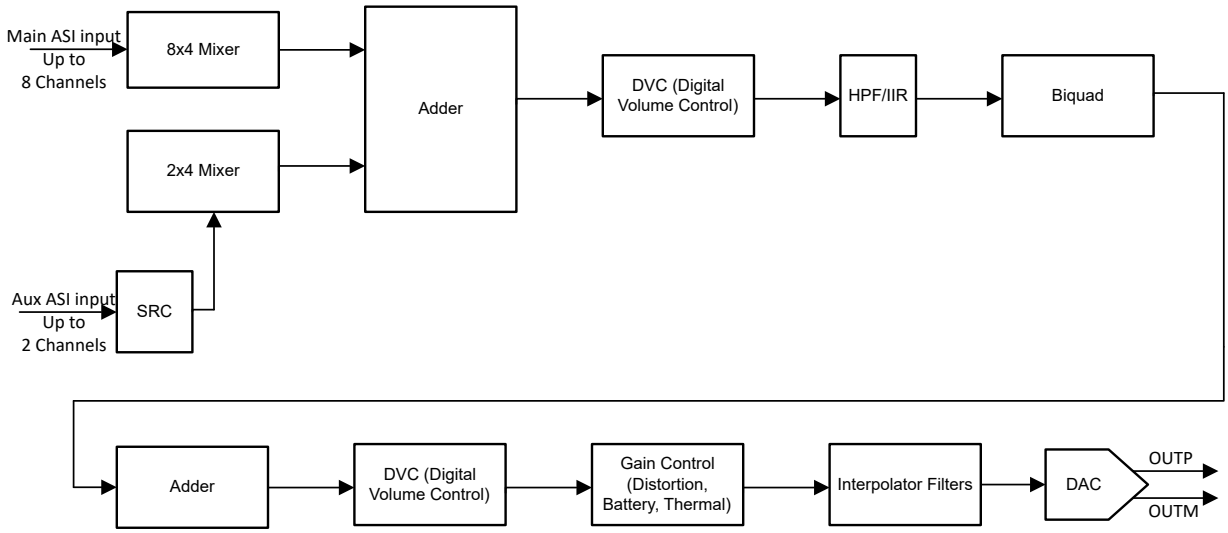


图 7-15. DAC 信号链处理流程图

DAC 信号链为低噪声和高保真音频应用提供高度灵活的低噪声回放路径。这款低噪声和低失真、多位 Δ-Σ DAC 使 TAD5212 能够以极低功耗实现 120dB 动态范围。此外，DAC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可防止噪声混叠到音频频带中。此外，在信号链中，集成的高性能多级数字内插滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

信号链还包含各种高度可编程的数字处理块，例如双二阶滤波器、相位校准、增益校准、高通滤波器、数字加法器或混频器、同步采样速率转换器、失真限制器、热折返、欠压预防和音量控制。本节将进一步介绍这些处理块的详细信息。该器件还支持多达四通道单端输出模式以及从模拟输入到 DAC 输出的模拟旁路选项。

可使用 CH_EN (P0_R118) 寄存器启用或禁用回放输出通道，并可使用 PASI_RX_CHx_CFG 或 SASI_RX_CHx_CFG 位启用或禁用音频串行接口的输入通道。该器件支持所有活动通道同时上电和断电，以进行同步回放。但是，根据应用需求，如果某些通道必须在另一个通道回放处于开启状态时动态上电或断电，则可以通过设置 DYN_PUPD_CFG 寄存器来支持该用例。

该器件支持多种数据混合选项，可在 DAC 输出上回放之前，使用每条路径的灵活增益选项将来自主要 ASI 的多达 8 个输入通道、来自辅助 ASI 的 2 个输入通道和音调发生器混合起来。默认情况下，这些混频器处于禁用状态，并且通道配置为仅支持单通道数据。可通过设置第 17 页中的 ASI_DIN_Mixers 来配置混频器。

该器件支持高达 100kHz 的输出信号带宽，这允许使用 216kHz（或更高）采样速率来播放高频非音频信号。可以使用 DAC_CHx_BW_Mode 位来启用或禁用宽带模式。

对于 48kHz 或更低的采样速率，该器件支持所有功能和各种可编程处理块。不过，对于高于 48kHz 的采样速率，支持的同时通道录音和播放数量和双二阶滤波器数量等都存在限制。有关更多详细信息，请参阅 *TAC5212 采样速率和受支持的可编程处理块* 应用报告。

7.3.1.8.1.1 可编程通道增益和数字音量控制

该器件的每个输出通道都具有独立的可编程通道增益设置，用户可以根据系统中预期的最大输入信号将其设置为适当的值。这可以通过配置 OUT1x_LVL_CTRL 和 OUT2x_LVL_CTRL 位来完成。使用这些控件可提供从 -6dB 至 +24dB 的粗略增益配置（步长为 6dB）。。

该器件具有可编程数字音量控制功能，其范围为 –100dB 至 27dB（步长为 0.5dB），并提供通道录音静音选项。当 DAC 通道上电并播放期间，可以动态更改数字音量控制值。在音量控制变化期间，内部使用软调高或调低音量功能来避免任何可闻失真。可以使用 DAC_DSP_DISABLE_SOFT_STEP (P0_R115_D1) 寄存器位来完全禁用软步进。

Copyright © 2024 Texas Instruments Incorporated

可分别对 4 个单端输出通道独立进行数字音量控制设置。对于 2 通道差分 DAC，仅支持对 DAC_CH1A 和 DAC_CH2A 的设置。该器件还支持使用通道 1A 数字音量控制设置将所有通道的音量控制设置组合在一起的选项，而无论通道 1A 是上电还是断电。可以使用 DAC_DSP_DVOL_GANG (P0_R115_D0) 寄存器位来启用该组合。

表 7-12 展示了可用于数字音量控制的可编程选项。

表 7-12. 数字音量控制 (DVC) 可编程设置

P0_R103_D[7:0] : DAC_CH1A_DVOL[7:0]	输出通道 1A 的 DVC 设置
0000 0000 = 0d	输出通道 1 DVC 设置为静音
0000 0001 = 1d	输出通道 1 DVC 设置为 –100dB
0000 0010 = 2d	输出通道 1 DVC 设置为 –99.5dB
0000 0011 = 3d	输出通道 1 DVC 设为 –99dB
…	…
1100 1000 = 200d	输出通道 1 DVC 设置为 –0.5dB
1100 1001 = 201d（默认）	输出通道 1 DVC 设置为 0dB
1100 1010 = 202d	输出通道 1 DVC 设置为 0.5dB
…	…
1111 1101 = 253d	输出通道 1 DVC 设置为 26dB
1111 1110 = 254d	输出通道 1 DVC 设置为 26.5dB
1111 1111 = 255d	输出通道 1 DVC 设置为 27dB

同样，输出通道 1B、2A 和 2B 的数字音量控制设置可以分别使用 CH1B_DVOL (P0_R103) 到 CH2B_DVOL (P0_R112) 寄存器位进行配置。

当该通道上电时，内部数字处理引擎会将音量从静音级别软调高至编程的音量级别，当该通道断电时，内部数字处理引擎会将音量从编程的音量软调低至静音。执行音量软步进是为防止回放通道突然上电和断电而导致可闻失真。也可以使用 DAC_DSP_DISABLE_SOFT_STEP (P0_R115_D1) 寄存器位来完全禁用该功能。

7.3.1.8.1.2 可编程通道增益校准

除了数字音量控制外，此器件还提供可编程通道增益校准。每个通道的增益能够以 0.1dB 的步长进行精细校准或调整，增益误差范围为 –0.8dB 至 0.7dB。当尝试匹配换能器灵敏度和负载阻抗不匹配导致的通道间增益时，此调整非常有用。该功能与常规数字音量控制相结合，可以在宽增益误差范围内实现所有通道上的增益匹配，分辨率为 0.1dB。表 7-13 展示了可用于通道增益校准的可编程选项。

表 7-13. DAC 通道增益校准可编程设置

P0_R104_D[7:4] : DAC_CH1A_FGAIN[3:0]	输入通道 1A 的通道增益校准设置
0000 = 0d	输入通道 1 增益校准设置为 –0.8dB
0001 = 1d	输入通道 1 增益校准设置为 –0.7dB
…	…
1000 = 8d（默认值）	输入通道 1 增益校准设置为 0dB
…	…
1110 = 14d	输入通道 1 增益校准设置为 0.6dB
1111 = 15d	输入通道 1 增益校准设置为 0.7dB

同样，输入通道 1B、2A 和 2B 的通道增益校准设置可分别使用 DAC_CH1B_CFG1 (P0_R106)、DAC_CH2A_CFG1 (P0_R111) 和 DAC_CH2B_CFG1 (P0_R113) 寄存器位进行配置。

7.3.1.8.1.3 可编程数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持可编程高通滤波器 (HPF)。HPF 不是独立于通道的滤波器设置，而是全局适用于所有 DAC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率，可滤除信号中可能的直流分量。表 7-14 显示了可用的预定义 -3dB 截止频率，该频率可使

ADVANCE INFORMATION

用 P0_R115 的 DAC_DSP_HPF_SEL[1:0] 寄存器位进行设置。此外，为了针对特定应用实现自定义的 –3dB 截止频率，该器件还允许在 DAC_DSP_HPF_SEL[1:0] 寄存器位设置为 2'b00 时对一阶 IIR 滤波器系数进行编程。图 7-16 显示了 HPF 滤波器的频率响应图。

表 7-14. HPF 可编程设置

P0_R115_D[5:4]：DAC_DSP_HPF_SEL[1:0]	-3dB 截止频率设置	16kHz 采样速率下截止频率为 -3dB	48kHz 采样速率下截止频率为 -3dB
00	可编程一阶 IIR 滤波器	可编程一阶 IIR 滤波器	可编程一阶 IIR 滤波器
01（默认值）	0.00002 × f_S	0.25Hz	1Hz
10	0.00025 × f_S	4 Hz	12 Hz
11	0.002 × f_S	32 Hz	96 Hz

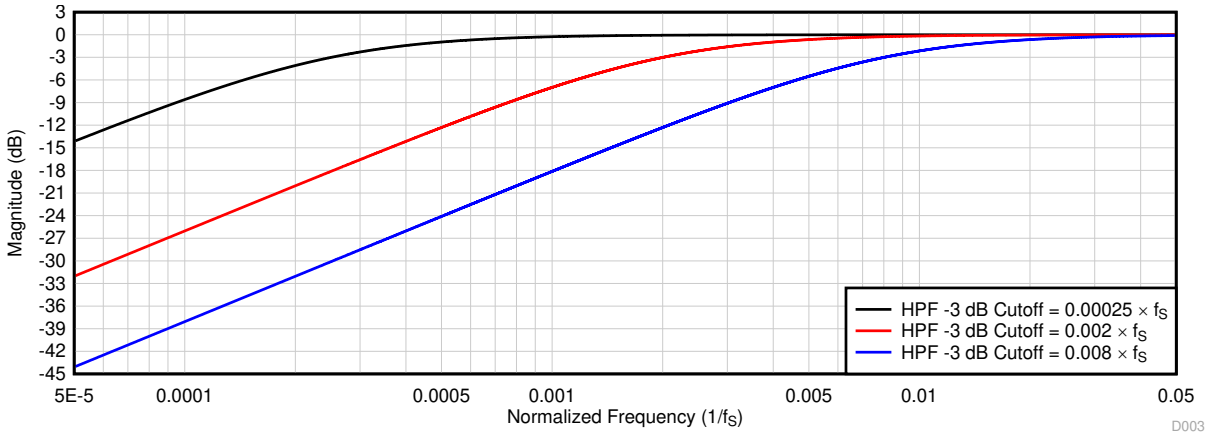


图 7-16. HPF 滤波器频率响应图

方程式 1 给出了一阶可编程 IIR 滤波器的传递函数：

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{31} - D_1 z^{-1}} \tag{1}$$

对于这个具有默认系数的一阶可编程 IIR 滤波器，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对表 7-15 中的 IIR 系数进行编程来覆盖频率响应，从而实现高通滤波或任何其他必要滤波所需的频率响应。如果 DAC_DSP_HPF_SEL[1:0] 设置为 2'b00，则主机器件必须写入这些系数值以实现所需的频率响应，然后再对任何 DAC 通道上电以进行回放。表 7-15 展示了一阶 IIR 滤波器的滤波器系数。

表 7-15. 一阶 IIR 滤波器系数

滤波器	滤波器系数	默认系数值	系数寄存器映射
可编程一阶 IIR 滤波器（可分配至 HPF 或任何其他所需滤波器）	N_0	0x7FFFFFFF	P17_R120-R124
	N_1	0x00000000	P17_R125-R128
	D_1	0x00000000	P18_R8-R11

7.3.1.8.1.4 可编程数字双二阶滤波器

该器件支持多达 12 个可编程数字双二阶滤波器，可用于 DAC 信号链，限制为每通道 3 个滤波器。这些高效滤波器可实现所需的频率响应。TAD5212 还支持适用于双通道回放使用案例的动态可编程双二阶滤波器。在数字信号

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

处理中，数字双二阶滤波器是具有两个极点和两个零点的二阶递归线性滤波器。方程式 2 给出了每个双二阶滤波器的传递函数：

$$H(z) = \frac{N_0 + 2N_1 z^{-1} + N_2 z^{-2}}{2^{31} - 2D_1 z^{-1} - D_2 z^{-2}} \tag{2}$$

对于具有默认系数的双二阶滤波器部分，其频率响应在增益为 0dB（全通滤波器）时是平坦的。主机器件可以通过对双二阶系数进行编程来覆盖频率响应，从而实现低通、高通或任何其他必要频率整形所需的频率响应。如表 7-16 所述，可以根据 P0_R115 的 DAC_DSP_BQ_CFG[1:0] 寄存器设置为每个输出通道分配这些双二阶滤波器。通过将 DAC_DSP_BQ_CFG[1:0] 设置为 2'b00，可禁用所有回放通道的双二阶滤波，并且如果系统应用不需要额外的滤波，则主机器件可以选择该设置。有关更多详细信息，请参阅 *TAC5212 可编程双二阶滤波器配置和应用应用报告*。

表 7-16. 双二阶滤波器在输出通道中的分配

可编程双二阶滤波器	使用 P0_R115_D[3:2] 寄存器设置的记录输出通道分配		
	DAC_DSP_BQ_CFG[1:0] = 2'b01（每通道 1 个双二阶滤波器）	DAC_DSP_BQ_CFG[1:0] = 2'b10（默认）（每通道 2 个双二阶滤波器）	DAC_DSP_BQ_CFG[1:0] = 2'b11（每通道 3 个双二阶滤波器）
双二阶滤波器 1	分配至输出通道 1	分配至输出通道 1	分配至输出通道 1
双二阶滤波器 2	分配至输出通道 2	分配至输出通道 2	分配至输出通道 2
双二阶滤波器 3	分配至输出通道 3	分配至输出通道 3	分配至输出通道 3
双二阶滤波器 4	分配至输出通道 4	分配至输出通道 4	分配至输出通道 4
双二阶滤波器 5	未使用	分配至输出通道 1	分配至输出通道 1
双二阶滤波器 6	未使用	分配至输出通道 2	分配至输出通道 2
双二阶滤波器 7	未使用	分配至输出通道 3	分配至输出通道 3
双二阶滤波器 8	未使用	分配至输出通道 4	分配至输出通道 4
双二阶滤波器 9	未使用	未使用	分配至输出通道 1
双二阶滤波器 10	未使用	未使用	分配至输出通道 2
双二阶滤波器 11	未使用	未使用	分配至输出通道 3
双二阶滤波器 12	未使用	未使用	分配至输出通道 4

表 7-17 所示为寄存器空间中的双二阶滤波器系数映射。

表 7-17. 双二阶滤波器系数寄存器映射

可编程双二阶滤波器	双二阶滤波器系数寄存器映射	可编程双二阶滤波器	双二阶滤波器系数寄存器映射
双二阶滤波器 1	P16_R8-R27	双二阶滤波器 7	P17_R8-R27
双二阶滤波器 2	P16_R28-R47	双二阶滤波器 8	P17_R28-R47
双二阶滤波器 3	P16_R48-R67	双二阶滤波器 9	P17_R48-R67
双二阶滤波器 4	P16_R68-R87	双二阶滤波器 10	P17_R68-R87
双二阶滤波器 5	P16_R88-R107	双二阶滤波器 11	P17_R88-R107
双二阶滤波器 6	P16_R108-R127	双二阶滤波器 12	P17_R108-R127

7.3.1.8.1.5 可编程数字混频器

该器件支持完全可编程的混频器功能，该功能可以将各种输入通道与其自定义可编程比例因子进行混频，以生成最终输出通道。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.1.8.1.6 可配置数字内插滤波器

器件回放通道包括高动态范围、内置数字内插滤波器，用于处理输入数据流，从而为多位 Δ-Σ 调制器生成数字数据流。根据目标应用所需的频率响应、群延迟、功耗和相位线性度要求，可以从四种不同的类型中选择内插滤波器。可以通过配置 DAC_DSP_INTX_FILT、P0_R115_D[7:6] 寄存器位来选择内插滤波器选项。可通过设置 DAC_LOW_PWR_FILT、P0_R79_D2 位来配置低功耗滤波器。表 7-18 显示了录音通道抽取滤波器模式选择的配置寄存器设置。

表 7-18. 回放通道的内插滤波器模式选择

P0_R79_D2：DAC_LOW_PWR_FILT	P0_R115_D[7:6]：DAC_DSP_INTX_FILT[1:0]	内插滤波器模式选择
0	00（默认值）	线性相位滤波器用于内插
0	01	低延迟滤波器用于内插
0	10	超低延迟滤波器用于内插
0	11	保留（不使用此设置）
1	x	低功耗滤波器用于内插

7.3.1.8.1.6.1 线性相位滤波器

线性相位内插滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

Copyright © 2024 Texas Instruments Incorporated

7.3.1.8.1.6.1.1 采样速率：16kHz 或 14.7kHz

图 7-17 和图 7-18 分别展示了采样速率为 16kHz 或 14.7kHz 时内插滤波器的幅度响应和通带纹波。表 7-19 列出了采样速率为 16kHz 或 14.7kHz 时内插滤波器的规格。

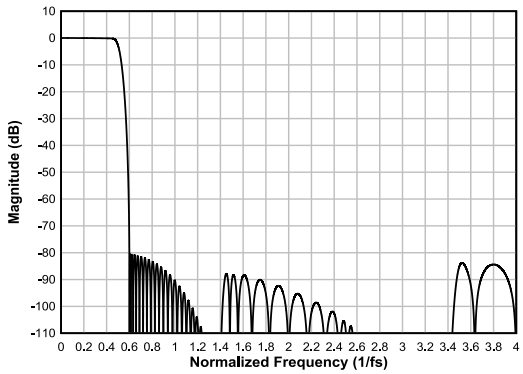


图 7-17. 线性相位内插滤波器幅度响应

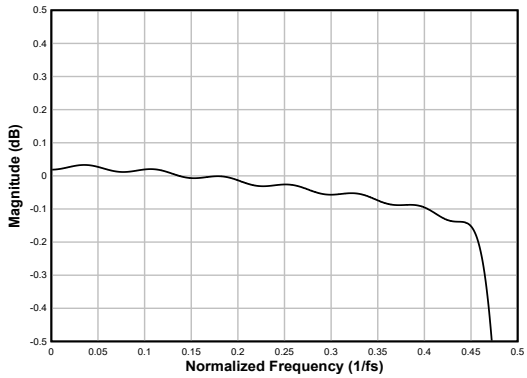


图 7-18. 线性相位内插滤波器通带纹波

表 7-19. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.17		0.03	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.4			dB
	频率范围为 4 × f_S 至 7.43 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.454 × f_S		16.0		1/f_S

7.3.1.8.1.6.1.2 采样速率：24kHz 或 22.05kHz

图 7-19 和图 7-20 分别展示了采样速率为 24kHz 或 22.05kHz 时内插滤波器的幅度响应和通带纹波。表 7-20 列出了采样速率为 24kHz 或 22.05kHz 时内插滤波器的规格。

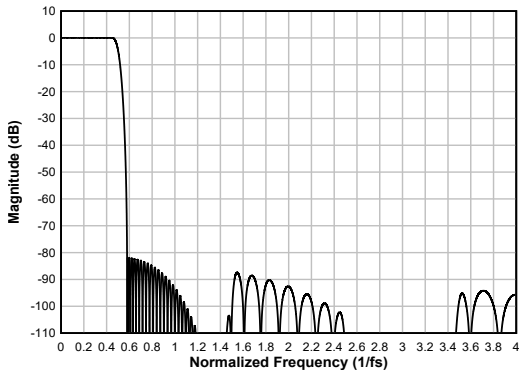


图 7-19. 线性相位内插滤波器幅度响应

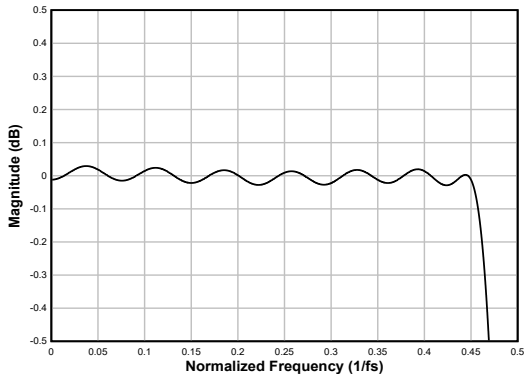


图 7-20. 线性相位内插滤波器通带纹波

表 7-20. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 15.42 × f_S	87.6			
群延迟或延时	频率范围为 0 至 0.454 × f_S		17.6		1/f_S

ADVANCE INFORMATION

ADVANCE INFORMATION

7.3.1.8.1.6.1.3 采样速率：32kHz 或 29.4kHz

图 7-21 和图 7-22 分别展示了采样速率为 32kHz 或 29.4kHz 时内插滤波器的幅度响应和通带纹波。表 7-21 列出了采样速率为 32kHz 或 29.4kHz 时内插滤波器的规格。

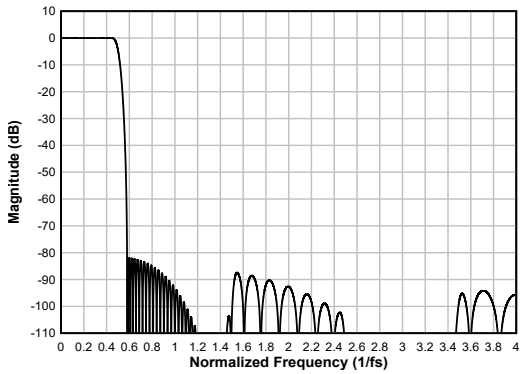


图 7-21. 线性相位内插滤波器幅度响应

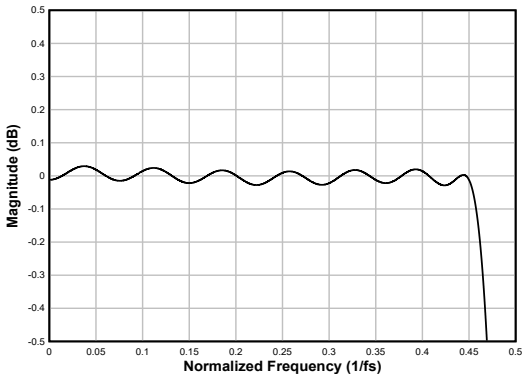


图 7-22. 线性相位内插滤波器通带纹波

表 7-21. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.586 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 15.42 × f_S	87.6			
群延迟或延时	频率范围为 0 至 0.454 × f_S		17.6		1/f_S

7.3.1.8.1.6.1.4 采样速率：48kHz 或 44.1kHz

图 7-23 和图 7-24 分别展示了采样速率为 48kHz 或 44.1kHz 时内插滤波器的幅度响应和通带纹波。表 7-22 列出了采样速率为 48kHz 或 44.1kHz 时内插滤波器的规格。

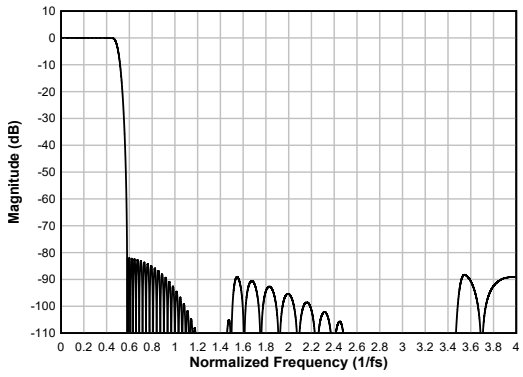


图 7-23. 线性相位内插滤波器幅度响应

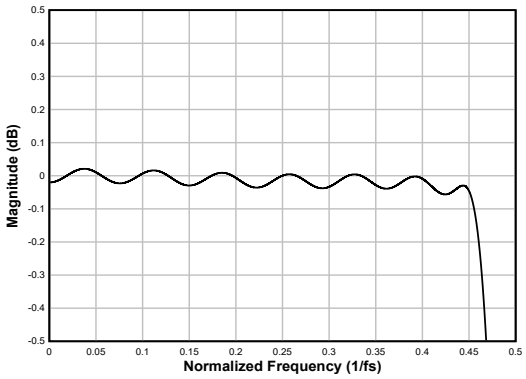


图 7-24. 线性相位内插滤波器通带纹波

表 7-22. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.08		0.02	dB
阻带衰减	频率范围为 0.585 × f_S 至 4 × f_S	82.0			dB
	频率范围为 4 × f_S 至 7.42 × f_S 以上	89.0			
群延迟或延时	频率范围为 0 至 0.454 × f_S		17.3		1/f_S

Copyright © 2024 Texas Instruments Incorporated

7.3.1.8.1.6.1.5 采样速率：96kHz 或 88.2kHz

图 7-25 和图 7-26 分别展示了采样速率为 96kHz 或 88.2kHz 时内插滤波器的幅度响应和通带纹波。表 7-23 列出了采样速率为 96kHz 或 88.2kHz 时内插滤波器的规格。

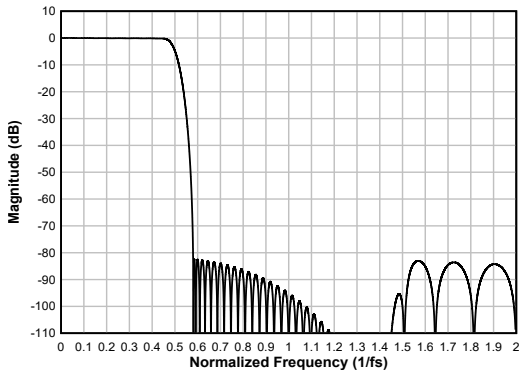


图 7-25. 线性相位内插滤波器幅度响应

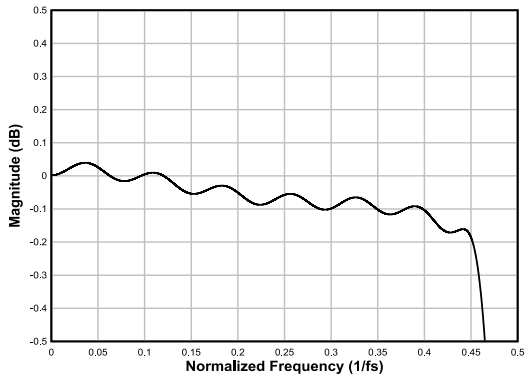


图 7-26. 线性相位内插滤波器通带纹波

表 7-23. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.452 × f_S	-0.2		0.04	dB
阻带衰减	频率范围为 0.58 × f_S 至 3.42 × f_S	82.4			dB
群延迟或延时	频率范围为 0 至 0.454 × f_S		16.7		1/f_S

7.3.1.8.1.6.1.6 采样速率：384kHz 或 352.8kHz

图 7-27 和图 7-28 分别展示了采样速率为 384kHz 或 352.8kHz 时内插滤波器的幅度响应和通带纹波。表 7-24 列出了采样速率为 384kHz 或 352.8kHz 时内插滤波器的规格。

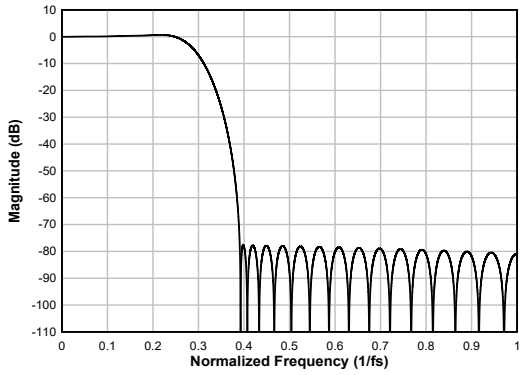


图 7-27. 线性相位内插滤波器幅度响应

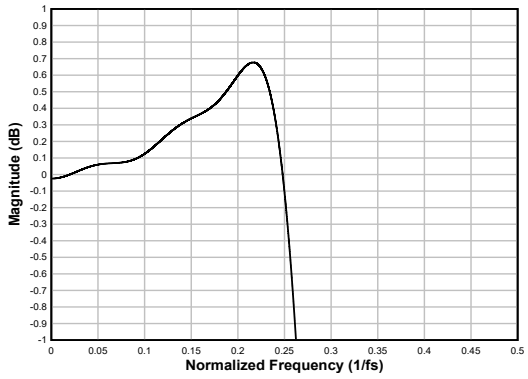


图 7-28. 线性相位内插滤波器通带纹波

表 7-24. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.245 × f_S	-0.03		0.67	dB
阻带衰减	频率范围为 0.391 × f_S 至 1.61 × f_S	77.6			dB
群延迟或延时	频率范围为 0 至 0.212 × f_S		10.7		1/f_S

7.3.1.9 中断、状态和数字 I/O 引脚多路复用

该器件中的某些事件需要主机处理器干预，并可用于触发主机处理器的中断。音频串行接口 (ASI) 总线错误是一个此类事件。如果检测到 ASI 总线错误时钟出现任何故障，该器件会关闭录音通道，例如：

ADVANCE INFORMATION

- FSYNC 频率无效
- SBCLK 与 FSYNC 之比无效
- SBCLK 或 FSYNC 时钟长时间暂停

当检测到 ASI 总线时钟错误时，该器件会尽快关闭所有录音和回放通道。解决所有 ASI 总线时钟错误后，器件音量会恢复到之前的状态，从而恢复音频。在 ASI 总线时钟错误期间，如果将时钟错误中断屏蔽寄存器位 INT_MASK0[7] (P1_R47_D7) 设置为低电平，则内部中断请求 (IRQ) 中断信号会置为低电平。此外，还可以通过锁存故障状态寄存器位 INT_LTCH0 (P1_R52) 回读该时钟故障，该寄存器是一个只读寄存器。读取锁存的故障状态寄存器 INT_LTCH0 会清除所有锁存的故障状态。此外，该器件可配置为在 GPIOx 或 GPO1 引脚上路由内部 IRQ 中断信号，也可配置为开漏输出，以便这些引脚与其他器件的开漏中断输出进行线与连接。

通过设置 INT_POL (P0_R66_D7) 寄存器位，可以将 IRQ 中断信号配置为低电平有效或高电平有效极性。通过对 INT_EVENT[1:0] (P0_R66_D[6:5]) 寄存器位进行编程，该信号也可以配置为单个脉冲或一系列脉冲。如果中断配置为一系列脉冲，则事件将触发脉冲开始；当读取锁存的故障状态寄存器以确定中断原因时，脉冲将停止。

该器件还支持只读实时状态寄存器，以确定通道是上电还是断电，以及器件是否处于睡眠模式。这些状态寄存器位于 DEV_STS0 (P0_R121) 和 DEV_STS1 (P0_R122) 寄存器位中。

该器件具有一个多功能 GPIO1 引脚，该引脚可针对所需的特定功能进行配置。表 7-25 列出了这些多功能引脚用于各种功能的所有可能分配。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-25. 多功能引脚分配

行	引脚功能	GPIO1	GPIO2	GPO1	GPI1
—	—	GPIO1_CFG	GPO2_CFG	GPO1_CFG	GPI1_CFG
—	—	P0_R10[7:4]	P0_R11[7:4]	P0_R12[7:4]	P0_R13[1]
A	引脚禁用	S(1)	S（默认值）	S（默认值）	S（默认值）
B	通用输出 (GPO)	S	S	S	NS
C	中断输出 (IRQ)	S（默认值）	S	S	NS
D	PDM 时钟输出 (PDMCLK)	S	S	S	NS
E	MiCBIAS 开/关输入 (BIASEN)	S	S	NS	S
F	通用输入 (GPI)	S	S	NS	S
G	控制器时钟输入 (CCLK)	S	S	S	S
H	ASI 菊花链输入	S	S	NS	S
I	ASI DOUT	S	S	S	NS
J	ASI BCLK	S	S	S	S
K	ASI FSYNC	S	S	S	S
L	通用时钟输出	S	S	S	NS
M	ASI 菊花链输出	S	S	S	NS

(1) S 表示此列中提到的相应 GPIO1、GPOx 或 GPIx 引脚*支持*此行中提到的功能。

每个 GPOx 或 GPIOx 引脚都可以通过使用 GPIOx_DRV[2:0] 或 GPO1_DRV[2:0] 寄存器位独立设置为所需的驱动配置设置。表 7-26 列出了驱动配置设置。

表 7-26. GPIO 或 GPOx 引脚驱动配置设置

P0_R10_D[2:0]：GPIO1_DRV[2:0]	GPIO1 的 GPIO 输出驱动配置设置
000	GPIO1 引脚设置为高阻抗（悬空）
001	GPIO1 引脚设置为低电平有效或高电平有效
010（默认值）	GPIO1 引脚设置为低电平有效或弱高电平（片上上拉）
011	GPIO1 引脚设置为低电平有效或高阻态（悬空）
100	GPIO1 引脚设置为弱低电平（片上下拉）或高电平有效
101	GPIO1 引脚设置为高阻态（悬空）或高电平有效
110 和 111	保留（不使用这些设置）

同样，GPO1 引脚可以使用 GPO1_DRV(P0_R12) 寄存器位进行配置。

当配置为通用输出 (GPO) 时，可以通过写入 GPO_GPI_VAL (P0_R14) 寄存器来驱动 GPIOx 或 GPO1 引脚值。当配置为通用输入 (GPI) 时，GPIO_MON 位 (P0_R14_D[3:1]) 可用于读回 GPIOx 或 GPI1 引脚的状态。

7.4 器件功能模式

7.5 寄存器映射

本节详细介绍了器件的控制寄存器。所有这些寄存器均具有 8 位宽度，并分配给器件配置和可编程系数设置。这些寄存器使用页方案在内部进行映射，可以通过 I^2C 或 SPI 与器件通信来控制该方案。每页包含 128 字节的寄存器。所有器件配置寄存器都存储在第 0 页、第 1 页和第 3 页中。第 0 页是上电时（以及软件复位后）的默认页面设置。通过使用每页上寄存器 0 中的 PAGE[7:0] 位，可以将器件当前页切换到所需的新页。

请勿从保留页或保留寄存器读取数据或向其写入数据。仅写入有效寄存器中保留位的默认值。

跨页访问寄存器的步骤如下：

- 选择第 N 页（将数据 *N* 写入寄存器 0，无论当前页码如何）
- 从第 N 页中的有效寄存器读取数据或向其中写入数据
- 选择新页 M（将数据 *M* 写入寄存器 0，而不管当前页码如何）
- 从第 M 页中的有效寄存器读取数据或向其中写入数据
- 根据需要重复

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.1 TAD5212_P0 寄存器

表 7-27 列出了 TAD5212_P0 寄存器的存储器映射寄存器。表 7-27 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-27. TAD5212_P0 寄存器

地址	首字母缩写	寄存器名称	复位值	部分
0x0	PAGE_CFG	器件页寄存器	0x00	PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]
0x1	SW_RESET	软件复位寄存器	0x00	SW_RESET 寄存器（地址 = 0x1）[复位 = 0x00]
0x2	VREF_CFG		0x00	VREF_CFG 寄存器（地址 = 0x2）[复位 = 0x00]
0x3	AVDD_IOVDD_STS		0x00	AVDD_IOVDD_STS 寄存器（地址 = 0x3）[复位 = 0x00]
0x4	MISC_CFG		0x00	MISC_CFG 寄存器（地址 = 0x4）[复位 = 0x00]
0x5	MISC_CFG1		0x15	MISC_CFG1 寄存器（地址 = 0x5）[复位 = 0x15]
0x6	DAC_CFG_A0	DAC DEPOP 配置寄存器	0x55	DAC_CFG_A0 寄存器（地址 = 0x6）[复位 = 0x55]
0x7	MISC_CFG0	其他配置寄存器	0x00	MISC_CFG0 寄存器（地址 = 0x7）[复位 = 0x00]
0xA	GPIO1_CFG0	GPIO1 配置寄存器 0	0x32	GPIO1_CFG0 寄存器（地址 = 0xA）[复位 = 0x32]
0xB	GPIO2_CFG0	GPIO2 配置寄存器 0	0x00	GPIO2_CFG0 寄存器（地址 = 0xB）[复位 = 0x00]
0xC	GPO1_CFG0	GPO1 配置寄存器 0	0x00	GPO1_CFG0 寄存器（地址 = 0xC）[复位 = 0x00]
0xD	GPI_CFG	GPI1 配置寄存器 0	0x00	GPI_CFG 寄存器（地址 = 0xD）[复位 = 0x00]
0xE	GPO_GPI_VAL	GPIO、GPO 输出值寄存器	0x00	GPO_GPI_VAL 寄存器（地址 = 0xE）[复位 = 0x00]
0xF	INTF_CFG0	接口配置寄存器 0	0x00	INTF_CFG0 寄存器（地址 = 0xF）[复位 = 0x00]
0x10	INTF_CFG1	接口配置寄存器 1	0x52	INTF_CFG1 寄存器（地址 = 0x10）[复位 = 0x52]
0x11	INTF_CFG2	接口配置寄存器 2	0x80	INTF_CFG2 寄存器（地址 = 0x11）[复位 = 0x80]
0x12	INTF_CFG3	接口配置寄存器 3	0x00	INTF_CFG3 寄存器（地址 = 0x12）[复位 = 0x00]

Copyright © 2024 Texas Instruments Incorporated

表 7-27. TAD5212_P0 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x14	INTF_CFG5	接口配置寄存器 4	0x00	INTF_CFG5 寄存器（地址 = 0x14）[复位 = 0x00]
0x18	ASI_CFG0	ASI 配置寄存器 0	0x40	ASI_CFG0 寄存器（地址 = 0x18）[复位 = 0x40]
0x19	ASI_CFG1	ASI 配置寄存器 1	0x00	ASI_CFG1 寄存器（地址 = 0x19）[复位 = 0x00]
0x1A	PASI_CFG0	主要 ASI 配置寄存器 0	0x30	PASI_CFG0 寄存器（地址 = 0x1A）[复位 = 0x30]
0x1B	PASI_TX_CFG0	PASI TX 配置寄存器 0	0x00	PASI_TX_CFG0 寄存器（地址 = 0x1B）[复位 = 0x00]
0x1C	PASI_TX_CFG1	PASI TX 配置寄存器 1	0x00	PASI_TX_CFG1 寄存器（地址 = 0x1C）[复位 = 0x00]
0x1D	PASI_TX_CFG2	PASI TX 配置寄存器 2	0x00	PASI_TX_CFG2 寄存器（地址 = 0x1D）[复位 = 0x00]
0x20	PASI_TX_CH3_CFG	PASI TX 通道 3 配置寄存器	0x02	PASI_TX_CH3_CFG 寄存器（地址 = 0x20）[复位 = 0x02]
0x21	PASI_TX_CH4_CFG	PASI TX 通道 4 配置寄存器	0x03	PASI_TX_CH4_CFG 寄存器（地址 = 0x21）[复位 = 0x03]
0x22	PASI_TX_CH5_CFG	PASI TX 通道 5 配置寄存器	0x04	PASI_TX_CH5_CFG 寄存器（地址 = 0x22）[复位 = 0x04]
0x23	PASI_TX_CH6_CFG	PASI TX 通道 6 配置寄存器	0x05	PASI_TX_CH6_CFG 寄存器（地址 = 0x23）[复位 = 0x05]
0x24	PASI_TX_CH7_CFG	PASI TX 通道 7 配置寄存器	0x06	PASI_TX_CH7_CFG 寄存器（地址 = 0x24）[复位 = 0x06]
0x25	PASI_TX_CH8_CFG	PASI TX 通道 8 配置寄存器	0x07	PASI_TX_CH8_CFG 寄存器（地址 = 0x25）[复位 = 0x07]
0x26	PASI_RX_CFG0	PASI RX 配置寄存器 0	0x00	PASI_RX_CFG0 寄存器（地址 = 0x26）[复位 = 0x00]
0x27	PASI_RX_CFG1	PASI RX 配置寄存器 1	0x00	PASI_RX_CFG1 寄存器（地址 = 0x27）[复位 = 0x00]
0x28	PASI_RX_CH1_CFG	PASI RX 通道 1 配置寄存器	0x20	PASI_RX_CH1_CFG 寄存器（地址 = 0x28）[复位 = 0x20]
0x29	PASI_RX_CH2_CFG	PASI RX 通道 2 配置寄存器	0x21	PASI_RX_CH2_CFG 寄存器（地址 = 0x29）[复位 = 0x21]
0x2A	PASI_RX_CH3_CFG	PASI RX 通道 3 配置寄存器	0x02	PASI_RX_CH3_CFG 寄存器（地址 = 0x2A）[复位 = 0x02]
0x2B	PASI_RX_CH4_CFG	PASI RX 通道 4 配置寄存器	0x03	PASI_RX_CH4_CFG 寄存器（地址 = 0x2B）[复位 = 0x03]

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-27. TAD5212_P0 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x2C	PASI_RX_CH5_CFG	PASI RX 通道 5 配置寄存器	0x04	PASI_RX_CH5_CFG 寄存器（地址 = 0x2C）[复位 = 0x04]
0x2D	PASI_RX_CH6_CFG	PASI RX 通道 6 配置寄存器	0x05	PASI_RX_CH6_CFG 寄存器（地址 = 0x2D）[复位 = 0x05]
0x2E	PASI_RX_CH7_CFG	PASI RX 通道 7 配置寄存器	0x06	PASI_RX_CH7_CFG 寄存器（地址 = 0x2E）[复位 = 0x06]
0x2F	PASI_RX_CH8_CFG	PASI RX 通道 8 配置寄存器	0x07	PASI_RX_CH8_CFG 寄存器（地址 = 0x2F）[复位 = 0x07]
0x32	CLK_CFG0	时钟配置寄存器 0	0x00	CLK_CFG0 寄存器（地址 = 0x32）[复位 = 0x00]
0x33	CLK_CFG1	时钟配置寄存器 1	0x00	CLK_CFG1 寄存器（地址 = 0x33）[复位 = 0x00]
0x34	CLK_CFG2	时钟配置寄存器 2	0x40	CLK_CFG2 寄存器（地址 = 0x34）[复位 = 0x40]
0x35	CNT_CLK_CFG0	控制器模式时钟配置寄存器 0	0x00	CNT_CLK_CFG0 寄存器（地址 = 0x35）[复位 = 0x00]
0x36	CNT_CLK_CFG1	控制器模式时钟配置寄存器 1	0x00	CNT_CLK_CFG1 寄存器（地址 = 0x36）[复位 = 0x00]
0x37	CNT_CLK_CFG2	控制器模式时钟配置寄存器 2	0x20	CNT_CLK_CFG2 寄存器（地址 = 0x37）[复位 = 0x20]
0x38	CNT_CLK_CFG3	控制器模式时钟配置寄存器 3	0x00	CNT_CLK_CFG3 寄存器（地址 = 0x38）[复位 = 0x00]
0x39	CNT_CLK_CFG4	控制器模式时钟配置寄存器 4	0x00	CNT_CLK_CFG4 寄存器（地址 = 0x39）[复位 = 0x00]
0x3A	CNT_CLK_CFG5	控制器模式时钟配置寄存器 5	0x00	CNT_CLK_CFG5 寄存器（地址 = 0x3A）[复位 = 0x00]
0x3B	CNT_CLK_CFG6	控制器模式时钟配置寄存器 6	0x00	CNT_CLK_CFG6 寄存器（地址 = 0x3B）[复位 = 0x00]
0x3C	CLK_ERR_STS0	时钟错误和状态寄存器 0	0x00	CLK_ERR_STS0 寄存器（地址 = 0x3C）[复位 = 0x00]
0x3D	CLK_ERR_STS1	时钟错误和状态寄存器 1	0x00	CLK_ERR_STS1 寄存器（地址 = 0x3D）[复位 = 0x00]
0x3E	CLK_DET_STS0	时钟比率检测寄存器 0	0x00	CLK_DET_STS0 寄存器（地址 = 0x3E）[复位 = 0x00]
0x3F	CLK_DET_STS1	时钟比率检测寄存器 1	0x00	CLK_DET_STS1 寄存器（地址 = 0x3F）[复位 = 0x00]
0x40	CLK_DET_STS2	时钟比率检测寄存器 2	0x00	CLK_DET_STS2 寄存器（地址 = 0x40）[复位 = 0x00]

Copyright © 2024 Texas Instruments Incorporated

表 7-27. TAD5212_P0 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x41	CLK_DET_STS3	时钟比率检测寄存器 3	0x00	CLK_DET_STS3 寄存器（地址 = 0x41）[复位 = 0x00]
0x42	INT_CFG	中断配置寄存器	0x00	INT_CFG 寄存器（地址 = 0x42）[复位 = 0x00]
0x43	DAC_FLT_CFG	中断配置寄存器	0x50	DAC_FLT_CFG 寄存器（地址 = 0x43）[复位 = 0x50]
0x4F	PWR_TUNE_CFG1	Power Tune 配置寄存器 1	0x00	PWR_TUNE_CFG1 寄存器（地址 = 0x4F）[复位 = 0x00]
0x64	OUT1x_CFG0	通道 OUT1x 配置寄存器 0	0x20	OUT1x_CFG0 寄存器（地址 = 0x64）[复位 = 0x20]
0x65	OUT1x_CFG1	通道 OUT1x 配置寄存器 1	0x20	OUT1x_CFG1 寄存器（地址 = 0x65）[复位 = 0x20]
0x66	OUT1x_CFG2	通道 OUT2x 配置寄存器 2	0x20	OUT1x_CFG2 寄存器（地址 = 0x66）[复位 = 0x20]
0x67	DAC_CH1A_CFG0	DAC 通道 1A 配置寄存器 0	0xC9	DAC_CH1A_CFG0 寄存器（地址 = 0x67）[复位 = 0xC9]
0x68	DAC_CH1A_CFG1	DAC 通道 1A 配置寄存器 1	0x80	DAC_CH1A_CFG1 寄存器（地址 = 0x68）[复位 = 0x80]
0x69	DAC_CH1B_CFG0	DAC 通道 1B 配置寄存器 0	0xC9	DAC_CH1B_CFG0 寄存器（地址 = 0x69）[复位 = 0xC9]
0x6A	DAC_CH1B_CFG1	DAC 通道 1B 配置寄存器 1	0x80	DAC_CH1B_CFG1 寄存器（地址 = 0x6A）[复位 = 0x80]
0x6B	OUT2x_CFG0	通道 OUT2x 配置寄存器 0	0x20	OUT2x_CFG0 寄存器（地址 = 0x6B）[复位 = 0x20]
0x6C	OUT2x_CFG1	通道 OUT2x 配置寄存器 1	0x20	OUT2x_CFG1 寄存器（地址 = 0x6C）[复位 = 0x20]
0x6D	OUT2x_CFG2	通道 OUT2x 配置寄存器 2	0x20	OUT2x_CFG2 寄存器（地址 = 0x6D）[复位 = 0x20]
0x6E	DAC_CH2A_CFG0	DAC 通道 2A 配置寄存器 0	0xC9	DAC_CH2A_CFG0 寄存器（地址 = 0x6E）[复位 = 0xC9]
0x6F	DAC_CH2A_CFG1	DAC 通道 2A 配置寄存器 1	0x80	DAC_CH2A_CFG1 寄存器（地址 = 0x6F）[复位 = 0x80]
0x70	DAC_CH2B_CFG0	DAC 通道 2B 配置寄存器 0	0xC9	DAC_CH2B_CFG0 寄存器（地址 = 0x70）[复位 = 0xC9]
0x71	DAC_CH2B_CFG1	DAC 通道 2B 配置寄存器 1	0x80	DAC_CH2B_CFG1 寄存器（地址 = 0x71）[复位 = 0x80]
0x73	DSP_CFG1	DSP 配置寄存器 0	0x18	DSP_CFG1 寄存器（地址 = 0x73）[复位 = 0x18]

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-27. TAD5212_P0 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x76	CH_EN	通道启用配置寄存器	0xCC	CH_EN 寄存器（地址 = 0x76）[复位 = 0xCC]
0x77	DYN_PUPD_CFG	上电配置寄存器	0x00	DYN_PUPD_CFG 寄存器（地址 = 0x77）[复位 = 0x00]
0x78	PWR_CFG	上电配置寄存器	0x00	PWR_CFG 寄存器（地址 = 0x78）[复位 = 0x00]
0x79	DEV_STS0	器件状态值寄存器 0	0x00	DEV_STS0 寄存器（地址 = 0x79）[复位 = 0x00]
0x7A	DEV_STS1	器件状态值寄存器 1	0x80	DEV_STS1 寄存器（地址 = 0x7A）[复位 = 0x80]
0x7E	I2C_CKSUM	I^2C 校验和寄存器	0x00	I2C_CKSUM 寄存器（地址 = 0x7E）[复位 = 0x00]

7.5.1.1 PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]

表 7-28 展示了 PAGE_CFG。

返回到汇总表。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-28. PAGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	00000000b	这些位设置器件页。 0d = 第 0 页 1d = 第 1 页 2d 至 254d = 第 2 页至第 254 页 255d = 第 255 页

7.5.1.2 SW_RESET 寄存器（地址 = 0x1）[复位 = 0x00]

表 7-29 展示了 SW_RESET。

返回到汇总表。

该寄存器是软件复位寄存器。软件复位置为有效会将所有寄存器值置于其默认上电复位 (POR) 状态。

表 7-29. SW_RESET 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0000000b	保留位；仅写入复位值
0	SW_RESET	R/W	0b	软件复位。此位可自行清零。 0d = 不复位 1d = 将所有寄存器复位为其复位值

7.5.1.3 VREF_CFG 寄存器（地址 = 0x2）[复位 = 0x00]

表 7-30 展示了 VREF_CFG。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 7-30. VREF_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	读/写	00b	保留位；仅写入复位值
5-4	VREF_QCHG[1:0]	R/W	00b	VREF 外部电容器的快速充电持续时间使用 200Ω 的内部串联电阻来设置。 0d = VREF 快速充电持续时间为 3.5ms（典型值） 1d = VREF 快速充电持续时间为 10ms（典型值） 2d = VREF 快速充电持续时间为 50ms（典型值） 3d = VREF 快速充电持续时间为 100ms（典型值）
3	SLEEP_EXIT_VREF_EN	R/W	0b	睡眠模式退出配置 0d = 仅启用 DREG 1d = 启用 DREG 和 VREF
2	AVDD_MODE	R/W	0b	AVDD 模式配置。 0d = 使用内部 AREG 稳压器（在 AVDD > 2V 时使用） 1d = AVDD 1.8V 直接用于 AREG（对于 AVDD 1.7V-1.9V，严格使用此设置）
1	IOVDD_IO_MODE	R/W	0b	IOVDD 模式配置。 0d = 3.3V/1.8V/1.2V 时的 IOVDD（在 1.8V 和 1.2V 时速度限制适用） 1d = 仅 1.8V/1.2V 时的 IOVDD（无速度限制 - 在 IOVDD > 2V 时完全不要使用此设置）。
0	SLEEP_ENZ	R/W	0b	睡眠模式设置。 0d = 器件处于睡眠模式 1d = 器件未处于睡眠模式

7.5.1.4 AVDD_IOVDD_STS 寄存器（地址 = 0x3）[复位 = 0x00]

表 7-31 展示了 AVDD_IOVDD_STS。

返回到汇总表。

表 7-31. AVDD_IOVDD_STS 寄存器字段说明

位	字段	类型	复位	说明
7	AVDD_MODE_STS	R	0b	AVDD 模式状态标志寄存器。 0d = AVDD_MODE 取决于配置 1d = AVDD > 2V（AVDD_MODE 强制设置为 0d）
6	IOVDD_IO_MODE_STS	R	0b	IOVDD 模式状态标志寄存器。 0d = IOVDD_MODE 取决于配置 1d = IOVDD > 2V（IOVDD_IO_MODE 强制设置为 0d）
5-2	保留	R	0000b	保留位；仅写入复位值
1	BRWNOUT_SHDN_STS	R	0b	Brwnout 关断状态 0d =无 Brwnout 关断 1d = Brwnout 关断
0	BRWNOUT_SHDN_EXIT_SLEEP	R/W	0b	Brwnout 关断睡眠退出配置 0d = 保持睡眠模式 1d = 退出睡眠模式

7.5.1.5 MISC_CFG 寄存器（地址 = 0x4）[复位 = 0x00]

表 7-32 中显示了 MISC_CFG。

返回到汇总表。

表 7-32. MISC_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-32. MISC_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
6	IGNORE_CLK_ERR	R/W	0b	时钟错误检测操作 0b = 发生时钟错误时关断 1b = 忽略时钟错误
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	保留	读/写	0b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	I2C_BRDCAST_EN	R/W	0b	I^2C 广播寻址设置。 0d = 禁用 I^2C 广播模式 1d = 启用 I^2C 广播模式；I^2C 目标地址固定，引脚控制的 LSB 位为‘0’
0	RESERVED	读/写	0b	保留位；仅写入复位值

ADVANCE INFORMATION

7.5.1.6 MISC_CFG1 寄存器（地址 = 0x5）[复位 = 0x15]

表 7-33 展示了 MISC_CFG1。

返回到汇总表。

表 7-33. MISC_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	INCAP_QCHG[1:0]	R/W	00b	外部交流耦合电容器的快速充电持续时间使用 800Ω 的内部串联电阻来设置。 0d = INxP、INxM 快速充电持续时间为 2.5ms（典型值） 1d = INxP、INxM 快速充电持续时间为 12.5ms（典型值） 2d = INxP、INxM 快速充电持续时间为 25ms（典型值） 3d = INxP、INxM 快速充电持续时间为 50ms（典型值）
5-4	SHDN_CFG[1:0]	R/W	01b	关断配置。 0d = IOVDD 取消置位后立即使 DREG 断电 1d = DREG 保持有效，以便在达到超时 (DREG_KA_TIME) 之前彻底断电；在超时之后，强制 DREG 断电 2d = DREG 保持有效，直至器件完全断电 3d = 保留；不使用
3-2	DREG_KA_TIME[1:0]	R/W	01b	这些位设置在 IOVDD 取消置位后 DREG 在多长时间内保持有效状态。 0d = DREG 保持有效状态 30ms（典型值） 1d = DREG 保持有效状态 25ms（典型值） 2d = DREG 保持有效状态 10ms（典型值） 3d = DREG 保持有效状态 5ms（典型值）
1-0	保留	R/W	01b	保留位；仅写入复位值

7.5.1.7 DAC_CFG_A0 寄存器（地址 = 0x6）[复位 = 0x55]

表 7-34 中显示了 DAC_CFG_A0。

返回到汇总表。

该寄存器配置器件 DAC DEPOP

Copyright © 2024 Texas Instruments Incorporated

表 7-34. DAC_CFG_A0 寄存器字段说明

位	字段	类型	复位	说明
7-4	RSERIES_DE_POP[3:0]	R/W	0101b	耳机放大器串联电阻选择配置 0d = 开路 1d = 1K 2d = 2.5K 3d = 0.715k 4d = 10K 5d = 0.91k 6d = 2K 7d = 0.667k 8d = 20K 不使用 不使用 不使用 不使用 不使用 不使用 不使用
3-0	PWR_UP_TIME_DE_POP[3:0]	R/W	0101b	耳机放大器外部电容充电时间配置 0d = 2ms 1d = 4ms 2d = 8ms 3d = 16ms 4d = 50ms 5d = 100ms 6d = 250ms 7d = 500ms 8d = 1s 9d = 5s 10d-15d = 保留

7.5.1.8 MISC_CFG0 寄存器（地址 = 0x7）[复位 = 0x00]

表 7-35 中显示了 MISC_CFG0。

返回到汇总表。

该寄存器配置器件 Misc。

表 7-35. MISC_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	DAC_ST_W_CAP_DIS	R/W	0b	DAC 从直流阻断电容器放电序列开始。 0d = 禁用 1d = 启用
6	DAC_DLYD_PWRUP	R/W	0b	DAC 上电延迟配置 0d = 禁用 1d = 启用（基于 DAC_DLYD_PWRUP_TIME 配置延迟上电）
5	DAC_DLYD_PWRUP_TIME	R/W	0b	DAC 上电延迟时间配置 0d = 128ms 1d = 512ms
4	HW_RESET_ON_CLK_STOP_EN	R/W	0b	当 CLK_SRC_SEL 选择的时钟在 2ms 配置内不可用时，发出硬复位信号 0d = 禁用 1d = 启用
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.1.9 GPIO1_CFG0 寄存器（地址 = 0xA）[复位 = 0x32]

表 7-36 展示了 GPIO1_CFG0。

ADVANCE INFORMATION

返回到汇总表。

该寄存器是 GPIO1 配置寄存器 0。

表 7-36. GPIO1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPIO1_CFG[3:0]	R/W	0011b	GPIO1 配置。 0d = 禁用 GPIO1 1d = GPIO1 配置为通用输入 (GPI) 或任何其他输入功能 2d = GPIO1 配置为通用输出 (GPO) 3d = GPIO1 配置为芯片中断输出 (IRQ) 4d = GPIO1 配置为 PDM 时钟输出 (PDMCLK) 5d = GPIO1 配置为主要 ASI DOUT 6d = GPIO1 配置为主要 ASI DOUT2 7d = GPIO1 配置为辅助 ASI DOUT 8d = GPIO1 配置为辅助 ASI DOUT2 9d = GPIO1 配置为辅助 ASI BCLK 输出 10d = GPIO1 配置为辅助 ASI FSYNC 输出 11d = GPIO1 配置为通用 CLKOUT 12d = GPIO1 配置为 PASI DOUT 和 SASI DOUT 多路复用 13d = 对于 DIN 菊花链，GPIO1 配置为 DAISY_OUT 14d 至 15d = 保留
3	RESERVED	R	0b	保留位；仅写入复位值
2-0	GPIO1_DRV[2:0]	R/W	010b	GPIO1 输出驱动配置。（如果 GPIO1_CFG 配置为 I^2S OUT，则无效） 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动弱低电平有效和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d =保留；不使用

7.5.1.10 GPIO2_CFG0 寄存器（地址 = 0xB）[复位 = 0x00]

表 7-37 展示了 GPIO2_CFG0。

返回到汇总表。

该寄存器是 GPIO2 配置寄存器 0。

表 7-37. GPIO2_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPIO2_CFG[3:0]	R/W	0000b	GPIO2 配置。 0d = 禁用 GPIO2 1d = GPIO2 配置为通用输入 (GPI) 或任何其他输入功能 2d = GPIO2 配置为通用输出 (GPO) 3d = GPIO2 配置为芯片中断输出 (IRQ) 4d = GPIO2 配置为 PDM 时钟输出 (PDMCLK) 5d = GPIO2 配置为主要 ASI DOUT 6d = GPIO2 配置为主要 ASI DOUT2 7d = GPIO2 配置为辅助 ASI DOUT 8d = GPIO2 配置为辅助 ASI DOUT2 9d = GPIO2 配置为辅助 ASI BCLK 输出 10d = GPIO2 配置为辅助 ASI FSYNC 输出 11d = GPIO2 配置为通用 CLKOUT 12d = GPIO2 配置为 PASI DOUT 和 SASI DOUT 多路复用 13d = 对于 DIN 菊花链，GPIO2 配置为 DAISY_OUT 14d 至 15d = 保留
3	RESERVED	R	0b	保留位；仅写入复位值

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-37. GPIO2_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	GPIO2_DRV[2:0]	R/W	000b	GPIO2 输出驱动配置。（如果 GPIO2_CFG 配置为 I²S OUT，则无效） 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动弱低电平有效和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d =保留；不使用

7.5.1.11 GPO1_CFG0 寄存器（地址 = 0xC）[复位 = 0x00]

表 7-38 展示了 GPO1_CFG0。

返回到汇总表。

该寄存器是 GPO1 配置寄存器 0。

表 7-38. GPO1_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-4	GPO1_CFG[3:0]	R/W	0000b	GPO1 配置。(对于 SPI 模式，此引脚充当 DO，以下配置设置不适用） 0d = 禁用 GPO1 1d = 保留 2d = GPO1 配置为通用输出 (GPO) 3d = GPO1 配置为芯片中断输出 (IRQ) 4d = GPO1 配置为 PDM 时钟输出 (PDMCLK) 5d = GPO1 配置为主要 ASI DOUT 6d = GPO1 配置为主要 ASI DOUT2 7d = GPO1 配置为辅助 ASI DOUT 8d = GPO1 配置为辅助 ASI DOUT2 9d = GPO1 配置为辅助 ASI BCLK 输出 10d = GPO1 配置为辅助 ASI FSYNC 输出 11d = GPO1 配置为通用 CLKOUT 12d = GPO1 配置为 PASI DOUT 和 SASI DOUT 多路复用 13d = 对于 DIN 菊花链，GPO1 配置为 DAISY_OUT 14d 至 15d = 保留
3	RESERVED	读/写	0b	保留位；仅写入复位值
2-0	GPO1_DRV[2:0]	R/W	000b	GPO1 输出驱动配置。（如果 GPO1_CFG 配置为 I²S OUT，则无效） 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动弱低电平有效和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d =保留；不使用

7.5.1.12 GPI_CFG 寄存器（地址 = 0xD）[复位 = 0x00]

表 7-39 展示了 GPI_CFG。

返回到汇总表。

该寄存器是 GPI1 配置寄存器 0。

表 7-39. GPI_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	000000b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-39. GPI_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
1	GPI1_CFG	R/W	0b	GPI1 配置。（对于 SPI 模式，此引脚充当 CSZ，以下配置设置不适用） 0d = 禁用 GPI1 1d = GPI1 配置为通用输入 (GPI) 或任何其他输入功能
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.1.13 GPO_GPI_VAL 寄存器（地址 = 0xE）[复位 = 0x00]

表 7-40 展示了 GPO_GPI_VAL。

返回到汇总表。

该寄存器是 GPIO 和 GPO 输出值寄存器。

表 7-40. GPO_GPI_VAL 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO1_VAL	R/W	0b	配置为 GPO 时的 GPIO1 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
6	GPIO2_VAL	R/W	0b	配置为 GPO 时的 GPIO2 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
5	GPO1_VAL	R/W	0b	配置为 GPO 时的 GPO1 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
4	RESERVED	R	0b	保留位；仅写入复位值
3	GPIO1_MON	R	0b	配置为 GPI 时的 GPIO1 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
2	GPIO2_MON	R	0b	配置为 GPI 时的 GPIO2 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
1	GPI1_MON	R	0b	配置为 GPI 时的 GPI1 监控值。 0d = 输入监控值 0 1d = 输入监控值 1
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.14 INTF_CFG0 寄存器（地址 = 0xF）[复位 = 0x00]

表 7-41 展示了 INTF_CFG0。

返回到汇总表。

该寄存器是接口配置寄存器 0。

表 7-41. INTF_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	CCLK_SEL[1:0]	R/W	00b	CCLK 选择配置。 0d = 禁用 CCLK 1d = GPIO1 2d = GPIO2 3d = GPI1

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-41. INTF_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
4-2	PASI_DIN2_SEL[2:0]	R/W	000b	主要 ASI DIN2 选择配置。 0d = 禁用主要 ASI DIN2 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = 主要 ASI DIN 6d 至 7d = 保留
1	PASI_BCLK_SEL	R/W	0b	主要 ASI BCLK 选择配置。 0d = 主要 ASI BCLK 为 BCLK 1d = 主要 ASI BCLK 为辅助 ASI BCLK
0	PASI_FSYNC_SEL	R/W	0b	主要 ASI FSYNC 选择配置。 0d = 主要 ASI FSYNC 为 FSYNC 1d = 主要 ASI FSYNC 为辅助 ASI FSYNC

7.5.1.15 INTF_CFG1 寄存器（地址 = 0x10）[复位 = 0x52]

表 7-42 展示了 INTF_CFG1。

返回到汇总表。

该寄存器是接口配置寄存器 1。

表 7-42. INTF_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	DOUT_SEL[3:0]	R/W	0101b	DOUT 选择配置。 0d = 禁用 DOUT 1d = DOUT 配置为通用输入 (DOUT) 或任何其他输入功能 2d = DOUT 配置为通用输出 (GPO) 3d = DOUT 配置为芯片中断输出 (IRQ) 4d = DOUT 配置为 PDM 时钟输出 (PDMCLK) 5d = DOUT 配置为主要 ASI DOUT 6d = DOUT 配置为主要 ASI DOUT2 7d = DOUT 配置为辅助 ASI DOUT 8d = DOUT 配置为辅助 ASI DOUT2 9d = DOUT 配置为辅助 ASI BCLK 输出 10d = DOUT 配置为辅助 ASI FSYNC 输出 11d = DOUT 配置为通用 CLKOUT 12d = DOUT 配置为 PASI DOUT 和 SASI DOUT 多路复用 13d = 对于 DIN 菊花链，DOUT 配置为 DAISY_OUT 14d = DOUT 配置为 DIN(LOOPBACK) 15d = 保留
3	DOUT_VAL	R/W	0b	配置为 GPO 时的 DOUT 输出值。 0d = 驱动值为 0 的输出 1d = 驱动值为 1 的输出
2-0	DOUT_DRV[2:0]	R/W	010b	DOUT 输出驱动配置。 0d = 高阻态输出 1d = 驱动低电平有效和高电平有效 2d = 驱动低电平有效和弱高电平 3d = 驱动低电平有效和高阻态 4d = 驱动弱低电平和高电平有效 5d = 驱动高阻态和高电平有效 6d 至 7d = 保留；不使用

7.5.1.16 INTF_CFG2 寄存器（地址 = 0x11）[复位 = 0x80]

表 7-43 展示了 INTF_CFG2。

返回到汇总表。

ADVANCE INFORMATION

ADVANCE INFORMATION

该寄存器是接口配置寄存器 2。

表 7-43. INTF_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_DIN_EN	R/W	1b	主要 ASI DIN 启用配置。 0d = 禁用主要 ASI DIN 1d = 启用主要 ASI DIN
6-4	SASI_FSYNC_SEL[2:0]	R/W	000b	辅助 ASI FSYNC 选择配置。 0d = 禁用辅助 ASI 1d = GPIO1 2D = GPIO2 3D = GPI1 4d = 保留 5d = 主要 ASI FSYNC 6d 至 7d = 保留
3-1	SASI_BCLK_SEL[2:0]	R/W	000b	辅助 ASI BCLK 选择配置。 0d = 禁用辅助 ASI 1d = GPIO1 2D = GPIO2 3D = GPI1 4d = 保留 5d = 主要 ASI BCLK 6d 至 7d = 保留
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.17 INTF_CFG3 寄存器（地址 = 0x12）[复位 = 0x00]

表 7-44 展示了 INTF_CFG3。

返回到汇总表。

该寄存器是接口配置寄存器 3。

表 7-44. INTF_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-5	SASI_DIN_SEL[2:0]	R/W	000b	辅助 ASI DIN 选择配置。 0d = 禁用辅助 ASI DIN 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = 主要 ASI DIN 6d 至 7d = 保留
4-2	SASI_DIN2_SEL[2:0]	R/W	000b	辅助 ASI DIN2 选择配置。 0d = 禁用辅助 ASI DIN2 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = DOUT 5d = 主要 ASI DIN 6d 至 7d = 保留
1-0	RESERVED	R	00b	保留位；仅写入复位值

7.5.1.18 INTF_CFG5 寄存器（地址 = 0x14）[复位 = 0x00]

表 7-45 中显示了 INTF_CFG5。

返回到汇总表。

该寄存器是接口配置寄存器 4。

Copyright © 2024 Texas Instruments Incorporated

表 7-45. INTF_CFG5 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	RESERVED	读/写	0b	保留位；仅写入复位值
5-4	RESERVED	读/写	00b	保留位；仅写入复位值
3-2	PD_DAC_GPIO[1:0]	R/W	00b	使用 GPIO 选择配置使 DAC 断电。（如果配置了任何一个 PD_DAC_GPIO/DAC_PDZ 断电，则 DAC 断电） 0d = 禁用使用 GPIO 使 DAC 断电 1d = 使用 GPIO1 使 DAC 断电 2d = 使用 GPIO2 使 DAC 断电 3d = 使用 GPI1 使 DAC 断电
1	PLIM_GPIO	R/W	0b	使用 GPIO1 配置的 PLIM。 0d = 禁用使用 GPIO1 的 PLIM 1d = 使用 GPIO1 的 PLIM
0	GPA_GPIO	R/W	0b	使用 GPIO1 配置的 GPA。 0d = 禁用使用 GPIO1 的 GPA 1d = 使用 GPIO1 的 GPA

7.5.1.19 ASI_CFG0 寄存器（地址 = 0x18）[复位 = 0x40]

表 7-46 中显示了 ASI_CFG0。

返回到汇总表。

该寄存器是 ASI 配置寄存器 0。

表 7-46. ASI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_DIS	R/W	0b	禁用或启用主要 ASI (PASI)。 0d = 启用主要 ASI 1d = 禁用主要 ASI
6	SASI_DIS	R/W	1b	禁用或启用辅助 ASI (SASI)。 0d = 启用辅助 ASI 1d = 禁用辅助 ASI
5	SASI_CFG_GANG	R/W	0b	辅助 ASI 的所有配置都与主要 ASI 成组。 0d = 辅助 ASI 具有独立的配置 1d = 辅助 ASI 配置与主要 ASI 相同
4-3	DAISY_EN[1:0]	R/W	00b	菊花链功能启用（仅 1 个 ASI，提供 1 个 DOUT 和 DIN） 0d = 禁用菊花链 1d = 启用 PASI 菊花链（辅助 ASI 不可用） 2d = 启用 SASI 菊花链（主要 ASI 不可用） 3d = 保留；不使用
2-0	DAISY_IN_SEL[2:0]	R/W	000b	菊花输入选择配置。 0d = 禁用菊花输入 1d = GPIO1 2d = GPIO2 3d = GPI1 4d = 保留 5d = DIN 6d 至 7d = 保留

7.5.1.20 ASI_CFG1 寄存器（地址 = 0x19）[复位 = 0x00]

表 7-47 展示了 ASI_CFG1。

返回到汇总表。

该寄存器是 ASI 配置寄存器 1。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-47. ASI_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	ASI_DOUT_CFG[1:0]	R/W	00b	ASI 数据输出配置。 0d = 1 个主要 ASI 数据输出和 1 个辅助 ASI 数据输出 1d = 2 个主要 ASI 数据输出 2d = 2 个辅助 ASI 数据输出 3d = 保留；不使用
5-4	ASI_DIN_CFG[1:0]	R/W	00b	ASI 数据输入配置。 0d = 1 个主要 ASI 数据输入和 1 个辅助 ASI 数据输入 1d = 2 个主要 ASI 数据输入 2d = 2 个辅助 ASI 数据输入 3d = 保留；不使用
3	DAISY_DIR	R/W	0b	菊花链方向配置。 0d = ASI DOUT 菊花链 1d = ASI DIN 菊花链
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	RESERVED	读/写	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.21 PASI_CFG0 寄存器（地址 = 0x1A）[复位 = 0x30]

表 7-48 展示了 PASI_CFG0。

返回到汇总表。

该寄存器是 ASI 配置寄存器 0。

表 7-48. PASI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	PASI_FORMAT[1:0]	R/W	00b	主要 ASI 协议格式。 0d = TDM 模式 1d = I^2S 模式 2d = LJ（左对齐）模式 3d = 保留；不使用
5-4	PASI_WLEN[1:0]	R/W	11b	主要 ASI 字长或时隙长度。 0d = 16 位（推荐：此设置用于 10kΩ 输入阻抗配置） 1d = 20 位 2d = 24 位 3d = 32 位
3	PASI_FSYNC_POL	R/W	0b	ASI FSYNC 极性（仅适用于 PASI 协议）。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
2	PASI_BCLK_POL	R/W	0b	ASI BCLK 极性（仅适用于 PASI 协议）。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
1	PASI_BUS_ERR	R/W	0b	ASI 总线错误检测。 0d = 启用总线错误检测 1d = 禁用总线错误检测
0	PASI_BUS_ERR_RCOV	R/W	0b	ASI 总线错误自动恢复。 0d = 启用总线错误恢复后自动恢复 1d = 禁用总线错误恢复后自动恢复，并在主机配置器件之前保持断电状态

7.5.1.22 PASI_TX_CFG0 寄存器（地址 = 0x1B）[复位 = 0x00]

表 7-49 展示了 PASI_TX_CFG0。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

该寄存器是 PASI TX 配置寄存器 0。

表 7-49. PASI_TX_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_TX_EDGE	R/W	0b	主要 ASI 数据输出（在主要和辅助数据引脚上）发送边沿。 0d = 基于 PASI_BCLK_POL 中协议配置设置的默认边沿 1d = 相对于默认边沿设置的反相随后边沿（半个周期延迟）
6	PASI_TX_FILL	R/W	0b	任何未使用周期的主要 ASI 数据输出（在主要和辅助数据引脚上） 0d = 针对未使用周期始终发送 0 1d = 针对未使用周期始终使用高阻态
5	PASI_TX_LSB	R/W	0b	用于 LSB 传输的主要 ASI 数据输出（在主要和辅助数据引脚上）。 0d =在一个完整周期内发送 LSB 1d = 在前半个周期内发送 LSB，在后半个周期内发送高阻态
4-3	PASI_TX_KEEPER[1:0]	R/W	00b	主要 ASI 数据输出（在主要和辅助数据引脚上）总线保持器。 0d = 始终禁用总线保持器 1d = 始终启用总线保持器 2d = 总线保持器仅在 LSB 传输期间启用一个周期 3d = 总线保持器仅在 LSB 传输期间启用一个半周期
2	PASI_TX_USE_INT_FSYNC	R/W	0b	主要 ASI 使用内部 FSYNC 在控制器模式配置中根据情况生成输出数据。 0d = 使用外部 FSYNC 进行 ASI 协议数据生成 1d = 使用内部 FSYNC 进行 ASI 协议数据生成
1	PASI_TX_USE_INT_BCLK	R/W	0b	主要 ASI 使用内部 BCLK 在控制器模式配置中生成输出数据。 0d = 使用外部 BCLK 进行 ASI 协议数据生成 1d = 使用内部 BCLK 进行 ASI 协议数据生成
0	PASI_TDM_PULSE_WIDTH	R/W	0b	TDM 格式的主要 ASI fsync 脉冲宽度。（对控制器模式有效） 0d = Fsync 脉冲为 1 个 BCLK 周期宽 1d = Fsync 脉冲为 2 个 BCLK 周期宽

7.5.1.23 PASI_TX_CFG1 寄存器（地址 = 0x1C）[复位 = 0x00]

表 7-50 展示了 PASI_TX_CFG1。

返回到汇总表。

该寄存器是 PASI TX 配置寄存器 1。

表 7-50. PASI_TX_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	000b	保留位；仅写入复位值
4-0	PASI_TX_OFFSET[4:0]	R/W	00000b	主要 ASI 输出数据 MSB 时隙 0 偏移（在主要和辅助数据引脚上）。 0d = ASI 数据 MSB 位置没有偏移，并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移

7.5.1.24 PASI_TX_CFG2 寄存器（地址 = 0x1D）[复位 = 0x00]

表 7-51 展示了 PASI_TX_CFG2。

返回到汇总表。

该寄存器是 PASI TX 配置寄存器 2。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-51. PASI_TX_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_TX_CH8_SEL	R/W	0b	主要 ASI 输出通道 8 选择。 0d = 主要 ASI 通道 8 输出在 DOUT 上 1d = 主要 ASI 通道 8 输出在 DOUT2 上
6	PASI_TX_CH7_SEL	R/W	0b	主要 ASI 输出通道 7 选择。 0d = 主要 ASI 通道 7 输出在 DOUT 上 1d = 主要 ASI 通道 7 输出在 DOUT2 上
5	PASI_TX_CH6_SEL	R/W	0b	主要 ASI 输出通道 6 选择。 0d = 主要 ASI 通道 6 输出在 DOUT 上 1d = 主要 ASI 通道 6 输出在 DOUT2 上
4	PASI_TX_CH5_SEL	R/W	0b	主要 ASI 输出通道 5 选择。 0d = 主要 ASI 通道 5 输出在 DOUT 上 1d = 主要 ASI 通道 5 输出在 DOUT2 上
3	PASI_TX_CH4_SEL	R/W	0b	主要 ASI 输出通道 4 选择。 0d = 主要 ASI 通道 4 输出在 DOUT 上 1d = 主要 ASI 通道 4 输出在 DOUT2 上
2	PASI_TX_CH3_SEL	R/W	0b	主要 ASI 输出通道 3 选择。 0d = 主要 ASI 通道 3 输出在 DOUT 上 1d = 主要 ASI 通道 3 输出在 DOUT2 上
1	PASI_TX_CH2_SEL	R/W	0b	主要 ASI 输出通道 2 选择。 0d = 主要 ASI 通道 2 输出在 DOUT 上 1d = 主要 ASI 通道 2 输出在 DOUT2 上
0	PASI_TX_CH1_SEL	R/W	0b	主要 ASI 输出通道 1 选择。 0d = 主要 ASI 通道 1 输出在 DOUT 上 1d = 主要 ASI 通道 1 输出在 DOUT2 上

7.5.1.25 PASI_TX_CH3_CFG 寄存器（地址 = 0x20）[复位 = 0x02]

表 7-52 中显示了 PASI_TX_CH3_CFG。

返回到汇总表。

该寄存器是 PASI TX 通道 3 配置寄存器。

表 7-52. PASI_TX_CH3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_TX_CH3_CFG[1:0]	R/W	00b	主要 ASI 输出通道 3 配置。 0d = 主要 ASI 通道 3 输出处于三态条件 不使用 2d = 主要 ASI 通道 3 输出对应于 VBAT 数据 不使用
4-0	PASI_TX_CH3_SLOT_NUM[4:0]	R/W	00010b	主要 ASI 输出通道 3 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.26 PASI_TX_CH4_CFG 寄存器（地址 = 0x21）[复位 = 0x03]

表 7-53 展示了 PASI_TX_CH4_CFG。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

该寄存器是 PASI TX 通道 4 配置寄存器。

表 7-53. PASI_TX_CH4_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_TX_CH4_CFG[1:0]	R/W	00b	主要 ASI 输出通道 4 配置。 0d = 主要 ASI 通道 4 输出处于三态条件 不使用 2d = 主要 ASI 通道 4 输出对应于 TEMP 数据 3d = 保留
4-0	PASI_TX_CH4_SLOT_NUM[4:0]	R/W	00011b	主要 ASI 输出通道 4 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.27 PASI_TX_CH5_CFG 寄存器（地址 = 0x22）[复位 = 0x04]

表 7-54 展示了 PASI_TX_CH5_CFG。

返回到汇总表。

该寄存器是 PASI TX 通道 5 配置寄存器。

表 7-54. PASI_TX_CH5_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_TX_CH5_CFG[1:0]	R/W	00b	主要 ASI 输出通道 5 配置。 0d = 主要 ASI 通道 5 输出处于三态条件 1d = 主要 ASI 通道 5 输出对应于 ASI 输入通道 1 环回数据 2d = 主要 ASI 通道 5 输出对应于回声基准通道 1 数据 3d = 保留
4-0	PASI_TX_CH5_SLOT_NUM[4:0]	R/W	00100b	主要 ASI 输出通道 5 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.28 PASI_TX_CH6_CFG 寄存器（地址 = 0x23）[复位 = 0x05]

表 7-55 展示了 PASI_TX_CH6_CFG。

返回到汇总表。

该寄存器是 PASI TX 通道 6 配置寄存器。

表 7-55. PASI_TX_CH6_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-55. PASI_TX_CH6_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
6-5	PASI_TX_CH6_CFG[1:0]	R/W	00b	主要 ASI 输出通道 6 配置。 0d = 主要 ASI 通道 6 输出处于三态条件 1d = 主要 ASI 通道 6 输出对应于 ASI 输入通道 2 环回数据 2d = 主要 ASI 通道 6 输出对应于回声基准通道 2 数据 3d = 保留
4-0	PASI_TX_CH6_SLOT_NUM[4:0]	R/W	00101b	主要 ASI 输出通道 6 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.29 PASI_TX_CH7_CFG 寄存器（地址 = 0x24）[复位 = 0x06]

表 7-56 展示了 PASI_TX_CH7_CFG。

返回到汇总表。

该寄存器是 PASI TX 通道 7 配置寄存器。

表 7-56. PASI_TX_CH7_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_TX_CH7_CFG[1:0]	R/W	00b	主要 ASI 输出通道 7 配置。 0d = 主要 ASI 通道 7 输出处于三态条件 1d = 主要 ASI 通道 7 输出对应于 {VBAT_WLby2, TEMP_WLby2} 2d = 主要 ASI 通道 7 输出对应于 {echo_ref_ch1, echo_ref_ch2} 3d = 保留
4-0	PASI_TX_CH7_SLOT_NUM[4:0]	R/W	00110b	主要 ASI 输出通道 7 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.30 PASI_TX_CH8_CFG 寄存器（地址 = 0x25）[复位 = 0x07]

表 7-57 中显示了 PASI_TX_CH8_CFG。

返回到汇总表。

该寄存器是 PASI TX 通道 8 配置寄存器。

表 7-57. PASI_TX_CH8_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	PASI_TX_CH8_CFG	R/W	0b	主要 ASI 输出通道 8 配置。 0d = 主要 ASI 通道 8 输出处于三态条件 1d = 主要 ASI 通道 8 输出对应于 ICLA 数据

Copyright © 2024 Texas Instruments Incorporated

表 7-57. PASI_TX_CH8_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	PASI_TX_CH8_SLOT_NUM[4:0]	R/W	00111b	主要 ASI 输出通道 8 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.1.31 PASI_RX_CFG0 寄存器（地址 = 0x26）[复位 = 0x00]

表 7-58 展示了 PASI_RX_CFG0。

返回到汇总表。

该寄存器是 PASI RX 配置寄存器 0。

表 7-58. PASI_RX_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_RX_EDGE	R/W	0b	主要 ASI 数据输入（在主要和辅助数据引脚上）接收边沿。 0d = 基于 PASI_BCLK_POL 中协议配置设置的默认边沿 1d = 相对于默认边沿设置的反相随后边沿（半个周期延迟）
6	PASI_RX_USE_INT_FSYNC	R/W	0b	主要 ASI 使用内部 FSYNC 在控制器模式配置中根据情况锁存输入数据。 0d = 使用外部 FSYNC 进行 ASI 协议数据锁存 1d = 使用内部 FSYNC 进行 ASI 协议数据锁存
5	PASI_RX_USE_INT_BCLK	R/W	0b	主要 ASI 使用内部 BCLK 在控制器模式配置中锁存输入数据。 0d = 使用外部 BCLK 进行 ASI 协议数据锁存 1d = 使用内部 BCLK 进行 ASI 协议数据锁存
4-0	PASI_RX_OFFSET[4:0]	R/W	00000b	主要 ASI 输入数据 MSB 时隙 0 偏移（在主要和辅助数据引脚上）。 0d = ASI 数据 MSB 位置没有偏移，并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I²S，LJ 模式是左侧和右侧时隙 0）偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I²S，LJ 模式是左侧和右侧时隙 0）的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I²S，LJ 模式是左侧和右侧时隙 0）偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I²S，LJ 模式是左侧和右侧时隙 0）偏移

7.5.1.32 PASI_RX_CFG1 寄存器（地址 = 0x27）[复位 = 0x00]

表 7-59 中显示了 PASI_RX_CFG1。

返回到汇总表。

该寄存器是 PASI RX 配置寄存器 1。

表 7-59. PASI_RX_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_RX_CH8_SEL	R/W	0b	主要 ASI 输入通道 8 选择。 0d = 主要 ASI 通道 8 输入在 DIN 上 1d = 主要 ASI 通道 8 输入在 DIN2 上
6	PASI_RX_CH7_SEL	R/W	0b	主要 ASI 输入通道 7 选择。 0d = 主要 ASI 通道 7 输入在 DIN 上 1d = 主要 ASI 通道 7 输入在 DIN2 上

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-59. PASI_RX_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
5	PASI_RX_CH6_SEL	R/W	0b	主要 ASI 输入通道 6 选择。 0d = 主要 ASI 通道 6 输入在 DIN 上 1d = 主要 ASI 通道 6 输入在 DIN2 上
4	PASI_RX_CH5_SEL	R/W	0b	主要 ASI 输入通道 5 选择。 0d = 主要 ASI 通道 5 输入在 DIN 上 1d = 主要 ASI 通道 5 输入在 DIN2 上
3	PASI_RX_CH4_SEL	R/W	0b	主要 ASI 输入通道 4 选择。 0d = 主要 ASI 通道 4 输入在 DIN 上 1d = 主要 ASI 通道 4 输入在 DIN2 上
2	PASI_RX_CH3_SEL	R/W	0b	主要 ASI 输入通道 3 选择。 0d = 主要 ASI 通道 3 输入在 DIN 上 1d = 主要 ASI 通道 3 输入在 DIN2 上
1	PASI_RX_CH2_SEL	R/W	0b	主要 ASI 输入通道 2 选择。 0d = 主要 ASI 通道 2 输入在 DIN 上 1d = 主要 ASI 通道 2 输入在 DIN2 上
0	PASI_RX_CH1_SEL	R/W	0b	主要 ASI 输入通道 1 选择。 0d = 主要 ASI 通道 1 输入在 DIN 上 1d = 主要 ASI 通道 1 输入在 DIN2 上

7.5.1.33 PASI_RX_CH1_CFG 寄存器（地址 = 0x28）[复位 = 0x20]

表 7-60 中显示了 PASI_RX_CH1_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 1 配置寄存器。

表 7-60. PASI_RX_CH1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	PASI_RX_CH1_CFG	R/W	1b	主要 ASI 输入通道 1 配置。 0d = 禁用主要 ASI 通道 1 输入 1d = 主要 ASI 通道 1 输入对应于 DAC 通道 1 数据
4-0	PASI_RX_CH1_SLOT_NUM[4:0]	R/W	00000b	主要 ASI 输入通道 1 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.34 PASI_RX_CH2_CFG 寄存器（地址 = 0x29）[复位 = 0x21]

表 7-61 中显示了 PASI_RX_CH2_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 2 配置寄存器。

表 7-61. PASI_RX_CH2_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	PASI_RX_CH2_CFG	R/W	1b	主要 ASI 输入通道 2 配置。 0d = 禁用主要 ASI 通道 2 输入 1d = 主要 ASI 通道 2 输入对应于 DAC 通道 2 数据

Copyright © 2024 Texas Instruments Incorporated

表 7-61. PASI_RX_CH2_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	PASI_RX_CH2_SLOT_NUM[4:0]	R/W	00001b	主要 ASI 输入通道 2 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.1.35 PASI_RX_CH3_CFG 寄存器（地址 = 0x2A）[复位 = 0x02]

表 7-62 中显示了 PASI_RX_CH3_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 3 配置寄存器。

表 7-62. PASI_RX_CH3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	PASI_RX_CH3_CFG	R/W	0b	主要 ASI 输入通道 3 配置。 0d = 禁用主要 ASI 通道 3 输入 1d = 主要 ASI 通道 3 输入对应于 DAC 通道 3 数据
4-0	PASI_RX_CH3_SLOT_NUM[4:0]	R/W	00010b	主要 ASI 输入通道 3 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.1.36 PASI_RX_CH4_CFG 寄存器（地址 = 0x2B）[复位 = 0x03]

表 7-63 中显示了 PASI_RX_CH4_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 4 配置寄存器。

表 7-63. PASI_RX_CH4_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	PASI_RX_CH4_CFG	R/W	0b	主要 ASI 输入通道 4 配置。 0d = 禁用主要 ASI 通道 4 输入 1d = 主要 ASI 通道 4 输入对应于 DAC 通道 4 数据
4-0	PASI_RX_CH4_SLOT_NUM[4:0]	R/W	00011b	主要 ASI 输入通道 4 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.1.37 PASI_RX_CH5_CFG 寄存器（地址 = 0x2C）[复位 = 0x04]

表 7-64 中显示了 PASI_RX_CH5_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 5 配置寄存器。

表 7-64. PASI_RX_CH5_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_RX_CH5_CFG[1:0]	R/W	00b	主要 ASI 输入通道 5 配置。 0d = 禁用主要 ASI 通道 5 输入 1d = 主要 ASI 通道 5 输入对应于 DAC 通道 5 数据 2d = 主要 ASI 通道 5 输入对应于 ADC 通道 1 输出环回 3d = 保留
4-0	PASI_RX_CH5_SLOT_NUM[4:0]	R/W	00100b	主要 ASI 输入通道 5 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.38 PASI_RX_CH6_CFG 寄存器（地址 = 0x2D）[复位 = 0x05]

表 7-65 中显示了 PASI_RX_CH6_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 6 配置寄存器。

表 7-65. PASI_RX_CH6_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_RX_CH6_CFG[1:0]	R/W	00b	主要 ASI 输入通道 6 配置。 0d = 禁用主要 ASI 通道 6 输入 1d = 主要 ASI 通道 6 输入对应于 DAC 通道 6 数据 2d = 主要 ASI 通道 6 输入对应于 ADC 通道 2 输出环回 3d = 主要 ASI 通道 6 输入对应于 ICLA 器件 1 数据
4-0	PASI_RX_CH6_SLOT_NUM[4:0]	R/W	00101b	主要 ASI 输入通道 6 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.39 PASI_RX_CH7_CFG 寄存器（地址 = 0x2E）[复位 = 0x06]

表 7-66 中显示了 PASI_RX_CH7_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 7 配置寄存器。

Copyright © 2024 Texas Instruments Incorporated

表 7-66. PASI_RX_CH7_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_RX_CH7_CFG[1:0]	R/W	00b	主要 ASI 输入通道 7 配置。 0d = 禁用主要 ASI 通道 7 输入 1d = 主要 ASI 通道 7 输入对应于 DAC 通道 7 数据 2d = 主要 ASI 通道 7 输入对应于 ADC 通道 3 输出环回 3d = 主要 ASI 通道 7 输入对应于 ICLA 器件 2 数据
4-0	PASI_RX_CH7_SLOT_NUM[4:0]	R/W	00110b	主要 ASI 输入通道 7 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.40 PASI_RX_CH8_CFG 寄存器（地址 = 0x2F）[复位 = 0x07]

表 7-67 中显示了 PASI_RX_CH8_CFG。

返回到汇总表。

该寄存器是 PASI RX 通道 8 配置寄存器。

表 7-67. PASI_RX_CH8_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	PASI_RX_CH8_CFG[1:0]	R/W	00b	主要 ASI 输入通道 8 配置。 0d = 禁用主要 ASI 通道 8 输入 1d = 主要 ASI 通道 8 输入对应于 DAC 通道 8 数据 2d = 主要 ASI 通道 8 输入对应于 ADC 通道 4 输出环回 3d = 主要 ASI 通道 8 输入对应于 ICLA 器件 3 数据
4-0	PASI_RX_CH8_SLOT_NUM[4:0]	R/W	00111b	主要 ASI 输入通道 8 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.1.41 CLK_CFG0 寄存器（地址 = 0x32）[复位 = 0x00]

表 7-68 展示了 CLK_CFG0。

返回到汇总表。

该寄存器是时钟配置寄存器 0。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-68. CLK_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-2	PASI_SAMP_RATE[5:0]	R/W	000000b	主要 ASI 采样速率配置。- 典型值（允许的范围） 0d = 自动检测器件中的主要 ASI 采样速率 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 保留
1	PASI_FS_RATE_NO_LIM	R/W	0b	将采样速率限制为仅标准音频采样速率。 0d = 使用自动模式时支持容差为 1% 的标准音频速率 1d = 使用自动模式时支持容差为 5% 的标准音频速率
0	CUSTOM_CLK_CFG	R/W	0b	自定义时钟配置启用，需要手动配置所有分频器和多路复用器选择。 0d = 自动时钟配置 1d = 自定义时钟配置

7.5.1.42 CLK_CFG1 寄存器（地址 = 0x33）[复位 = 0x00]

表 7-69 展示了 CLK_CFG1。

返回到汇总表。

该寄存器是时钟配置寄存器 1。

Copyright © 2024 Texas Instruments Incorporated

表 7-69. CLK_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-2	SASI_SAMP_RATE[5:0]	R/W	000000b	辅助 ASI 采样速率配置。- 典型值（范围） 0d = 自动检测器件中的辅助 ASI 采样速率 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 保留
1	SASI_FS_RATE_NO_LIM	R/W	0b	将采样速率限制为仅标准音频采样速率。 0d = 使用自动模式时支持容差为 1% 的标准音频速率 1d = 使用自动模式时支持容差为 5% 的标准音频速率
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.43 CLK_CFG2 寄存器（地址 = 0x34）[复位 = 0x40]

表 7-70 展示了 CLK_CFG2。

返回到汇总表。

该寄存器是时钟配置寄存器 2。

表 7-70. CLK_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	PLL_DIS	R/W	0b	自定义/自动时钟模式 PLL 设置。 0d = 始终在自定义时钟模式下启用 PLL/根据自动时钟模式下的 DSP MIPS 要求启用 PLL 1d = 禁用 PLL

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-70. CLK_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
6	AUTO_PLL_FR_ALLOW	R/W	1b	允许 PLL 以小数运行模式运行。 0d = 禁用 PLL 小数模式 1d = 允许 PLL 小数模式
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	保留	读/写	0b	保留位；仅写入复位值
3-1	CLK_SRC_SEL[2:0]	R/W	000b	输入时钟源选择。 0d = 主要 ASI BCLK 是输入时钟源 1d = 与主要 ASI FSYNC 同步的 CCLK 是输入时钟源 2d = 辅助 ASI BCLK 是输入时钟源 3d = 与辅助 ASI FSYNC 同步的 CCLK 是输入时钟源 4d = 固定 CCLK 频率（仅在控制器模式配置下使用） 5d = 内部振荡器时钟是输入时钟源 6d 至 7d = 保留
0	RATIO_CLK_EDGE	R/W	0b	用于时钟源比率检测的边沿选择。 0d = 使用时钟源的上升沿检查主要或辅助 FSYNC 的比率 1d = 使用时钟源的下降沿检查主要或辅助 FSYNC 的比率

7.5.1.44 CNT_CLK_CFG0 寄存器（地址 = 0x35）[复位 = 0x00]

表 7-71 展示了 CNT_CLK_CFG0。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 0。

表 7-71. CNT_CLK_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	读/写	00b	保留位；仅写入复位值
5-0	CCLK_FS_RATIO_MSB[5:0]	R/W	000000b	用于选择 CCLK 与 CCLK 同步的主要/辅助 ASI FSYNC 之间比率的最高有效位。 0d = 自动检测比率（假设 CCLK 与主要/辅助 FSYNC 同步） 1d 至 16383d = 根据配置确定比率

7.5.1.45 CNT_CLK_CFG1 寄存器（地址 = 0x36）[复位 = 0x00]

表 7-72 展示了 CNT_CLK_CFG1。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 1。

表 7-72. CNT_CLK_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	用于选择 CCLK 与 CCLK 同步的主要/辅助 ASI FSYNC 之间比率的 LSB。 0d = 自动检测比率（假设 CCLK 与主要/辅助 FSYNC 同步） 1d 至 16383d = 根据配置确定比率

7.5.1.46 CNT_CLK_CFG2 寄存器（地址 = 0x37）[复位 = 0x20]

表 7-73 展示了 CNT_CLK_CFG2。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 2。

Copyright © 2024 Texas Instruments Incorporated

表 7-73. CNT_CLK_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-5	CCLK_FREQ_SEL[2:0]	R/W	001b	这些位选择 CCLK 输入频率（仅在控制器模式配置下使用）。 0d = 12MHz 1d = 12.288MHz 2d = 13MHz 3d = 16MHz 4d = 19.2MHz 5d = 19.68MHz 6d = 24MHz 7d = 24.576MHz
4	PASI_CNT_CFG	R/W	0b	主要 ASI 控制器或目标配置 0d = 目标配置中的主要 ASI 1d = 控制器配置中的主要 ASI
3	SASI_CNT_CFG	R/W	0b	辅助 ASI 控制器或目标配置 0d = 目标配置中的辅助 ASI 1d = 控制器配置中的辅助 ASI
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	RESERVED	读/写	0b	保留位；仅写入复位值
0	FS_MODE	R/W	0b	采样速率设置（设备处于控制器模式时有效）。这适用于 PASI 和 SASI。 0d = 采样速率是 48kHz 的倍数（或约数） 1d = 采样速率是 44.1kHz 的倍数（或约数）

7.5.1.47 CNT_CLK_CFG3 寄存器（地址 = 0x38）[复位 = 0x00]

表 7-74 展示了 CNT_CLK_CFG3。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 3。

表 7-74. CNT_CLK_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_USE_INT_BCLK_FOR_FSYNC	R/W	0b	在控制器模式配置期间，在 PASI 中使用内部 BCLK 来生成 FSYNC。 0d = 使用外部 BCLK 生成 FSYNC 1d = 使用内部 BCLK 生成 FSYNC
6	PASI_INV_BCLK_FOR_FSYNC	R/W	0b	在控制器模式配置中，仅对 PASI BCLK 的极性进行反转来生成 PASI FSYNC。 0d = 不反转 PASI BCLK 极性来生成 PASI FSYNC 1d = 反转 PASI BCLK 极性来生成 PASI FSYNC
5-0	PASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	控制器模式下主要 ASI BCLK 与 FSYNC 比率的 MSB 位。

7.5.1.48 CNT_CLK_CFG4 寄存器（地址 = 0x39）[复位 = 0x00]

表 7-75 展示了 CNT_CLK_CFG4。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 4。

表 7-75. CNT_CLK_CFG4 寄存器字段说明

位	字段	类型	复位	说明
7-0	PASI_BCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	控制器模式下主要 ASI BCLK 与 FSYNC 比率的 LSB 字节。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.1.49 CNT_CLK_CFG5 寄存器（地址 = 0x3A）[复位 = 0x00]

表 7-76 展示了 CNT_CLK_CFG5。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 5。

表 7-76. CNT_CLK_CFG5 寄存器字段说明

位	字段	类型	复位	说明
7	SASI_USE_INT_BCLK_FOR_FSYNC	R/W	0b	在控制器模式配置期间，在 SASI 中使用内部 BCLK 来生成 FSYNC。 0d = 使用外部 BCLK 生成 FSYNC 1d = 使用内部 BCLK 生成 FSYNC
6	SASI_INV_BCLK_FOR_FSYNC	R/W	0b	在控制器模式配置中，仅对 SASI BCLK 的极性进行反转来生成 SASI FSYNC。 0d = 不反转 SASI BCLK 极性来生成 SASI FSYNC 1d = 反转 SASI BCLK 极性来生成 SASI FSYNC
5-0	SASI_BCLK_FS_RATIO_MSB[5:0]	R/W	000000b	控制器模式下辅助 ASI BCLK 与 FSYNC 比率的 MSB 位。

7.5.1.50 CNT_CLK_CFG6 寄存器（地址 = 0x3B）[复位 = 0x00]

表 7-77 展示了 CNT_CLK_CFG6。

返回到汇总表。

该寄存器是控制器模式时钟配置寄存器 6。

表 7-77. CNT_CLK_CFG6 寄存器字段说明

位	字段	类型	复位	说明
7-0	SASI_BCLK_FS_RATIO_LSB[7:0]	R/W	00000000b	控制器模式下辅助 ASI BCLK 与 FSYNC 比率的 LSB 字节。

7.5.1.51 CLK_ERR_STS0 寄存器（地址 = 0x3C）[复位 = 0x00]

表 7-78 展示了 CLK_ERR_STS0。

返回到汇总表。

该寄存器是时钟错误和状态寄存器 0。

表 7-78. CLK_ERR_STS0 寄存器字段说明

位	字段	类型	复位	说明
7	DSP_CLK_ERR	R	0b	指示 FSYNC 与所选时钟源之间比率错误的标志。 0d = 无比率错误 1d = 主要或辅助 ASI FSYNC 与所选时钟源之间的比率错误
6	RESERVED	R	0b	保留位；仅写入复位值
5	RESERVED	R	0b	保留位；仅写入复位值
4	SRC_RATIO_ERR	R	0b	指示不支持 SRC m:n 比率的标志。（不适用自定义 m/n 比率配置）。 0d = 支持 m:n 比率 1d = 不支持 m:n 比率错误
3	DEM_RATE_ERR	R	0b	指示时钟配置不允许采用有效 DEM 速率的标志。 0d = 无 DEM 时钟速率错误 1d = 所选时钟配置中存在 DEM 时钟速率错误
2	PDM_CLK_ERR	R	0b	指示时钟配置不允许有效 PDM 时钟生成的标志。 0d = 无 PDM 时钟生成错误 1d = 所选时钟配置中存在 PDM 时钟生成错误

Copyright © 2024 Texas Instruments Incorporated

表 7-78. CLK_ERR_STS0 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	RESET_ON_CLK_STOP_DET_STS	R	0b	指示音频时钟源停止至少 1ms 的标志。 0d = 无音频时钟源错误 1d = 音频时钟源停止至少 1ms
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.52 CLK_ERR_STS1 寄存器（地址 = 0x3D）[复位 = 0x00]

表 7-79 展示了 CLK_ERR_STS1。

返回到汇总表。

该寄存器是时钟错误和状态寄存器 1。

表 7-79. CLK_ERR_STS1 寄存器字段说明

位	字段	类型	复位	说明
7	PASI_BCLK_FS_RATIO_ERR	R	0b	指示 PASI bclk fsync 比率错误的标志。 0d =无 PASI bclk fsync 比率错误 1d = 所选时钟配置中的 PASI bclk fsync 比率错误
6	SASI_BCLK_FS_RATIO_ERR	R	0b	指示 SASI bclk fsync 比率错误的标志。 0d =无 SASI bclk fsync 比率错误 1d = 所选时钟配置中的 SASI bclk fsync 比率错误
5	CCLK_FS_RATIO_ERR	R	0b	指示 CCLK fsync 比率错误的标志。 0d = 无 CCLK fsync 比率错误 1d = CCLK fsync 比率错误
4	PASI_FS_ERR	R	0b	指示 PASI FS 速率变化或停止错误的标志。 0d = 无 PASI FS 错误 1d = 检测到 PASI FS 速率变化或停止
3	SASI_FS_ERR	R	0b	指示 SASI FS 速率变化或停止错误的标志。 0d = 无 SASI FS 错误 1d = 检测到 SASI FS 速率变化或停止
2-0	RESERVED	R	000b	保留位；仅写入复位值

7.5.1.53 CLK_DET_STS0 寄存器（地址 = 0x3E）[复位 = 0x00]

表 7-80 展示了 CLK_DET_STS0。

返回到汇总表。

该寄存器是时钟比检测寄存器 0。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-80. CLK_DET_STS0 寄存器字段说明

位	字段	类型	复位	说明
7-2	PASI_SAMP_RATE_STS[5:0]	R	000000b	主要 ASI 采样速率检测状态。 0d = 保留 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 保留
1-0	PLL_MODE_STS[1:0]	R	00b	PLL 使用状态。 0d = 在整数模式下使用 PLL 1d = 在小数模式下使用 PLL 2d = 未使用 PLL 3d = 保留

7.5.1.54 CLK_DET_STS1 寄存器（地址 = 0x3F）[复位 = 0x00]

表 7-81 展示了 CLK_DET_STS1。

返回到汇总表。

该寄存器是时钟比检测寄存器 1。

Copyright © 2024 Texas Instruments Incorporated

表 7-81. CLK_DET_STS1 寄存器字段说明

位	字段	类型	复位	说明
7-2	SASI_SAMP_RATE_STS[5:0]	R	000000b	辅助 ASI 采样速率检测状态。 0d = 保留 1d = 768000 (670320-791040) 2d = 614400 (536256-632832) 3d = 512000 (446880-527360) 4d = 438857 (383040-452022) 5d = 384000 (335160-395520) 6d = 341333 (297920-351573) 7d = 307200 (268128-316416) 8d = 256000 (223440-263680) 9d = 219429 (191520-226011) 10d = 192000 (167580-197760) 11d = 170667 (148960-175786) 12d = 153600 (134064-158208) 13d = 128000 (111720-131840) 14d = 109714 (95760-113005) 15d = 96000 (83790-98880) 16d = 85333 (74480-87893) 17d = 76800 (67032-79104) 18d = 64000 (55860-65920) 19d = 54857 (47880-56502) 20d = 48000 (41895-49440) 21d = 42667 (37240-43946) 22d = 38400 (33516-39552) 23d = 32000 (27930-32960) 24d = 27429 (23940-28251) 25d = 24000 (20947-24720) 26d = 21333 (18620-21973) 27d = 19200 (16758-19776) 28d = 16000 (13965-16480) 29d = 13714 (11970-14125) 30d = 12000 (10473-12360) 31d = 10667 (9310-10986) 32d = 9600 (8379-9888) 33d = 8000 (6982-8240) 34d = 6857 (5985-7062) 35d = 6000 (5236-6180) 36d = 5333 (4655-5493) 37d = 4800 (4189-4944) 38d = 4000 (3491-4120) 39d = 3429 (2992-3531) 40d = 3000 (2618-3090) 41d-63d = 保留
1-0	RESERVED	R	00b	保留位；仅写入复位值

7.5.1.55 CLK_DET_STS2 寄存器（地址 = 0x40）[复位 = 0x00]

表 7-82 展示了 CLK_DET_STS2。

返回到汇总表。

该寄存器是时钟比检测寄存器 2。

表 7-82. CLK_DET_STS2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5-0	FS_CLKSRC_RATIO_DET_MSB_STS[5:0]	R	000000b	用于检测主要 ASI 或辅助 ASI FSYNC 与时钟源比率的 MSB 位。

ADVANCE INFORMATION

7.5.1.56 CLK_DET_STS3 寄存器（地址 = 0x41）[复位 = 0x00]

表 7-83 展示了 CLK_DET_STS3。

返回到汇总表。

该寄存器是时钟比检测寄存器 3。

表 7-83. CLK_DET_STS3 寄存器字段说明

位	字段	类型	复位	说明
7-0	FS_CLKSRC_RATIO_DET_LSB_STS[7:0]	R	00000000b	用于检测主要 ASI 或辅助 ASI FSYNC 与时钟源比率的 LSB 字节。

7.5.1.57 INT_CFG 寄存器（地址 = 0x42）[复位 = 0x00]

表 7-84 展示了 INT_CFG。

返回到汇总表。

该寄存器是中断配置寄存器。

表 7-84. INT_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	INT_POL	R/W	0b	中断极性。 0b = 低电平有效 (IRQZ) 1b = 高电平有效 (IRQ)
6-5	INT_EVENT[1:0]	R/W	00b	中断事件配置。 0d = INT 在发生任何未屏蔽的锁存中断事件时置位 1d = INT 在发生任何未屏蔽的实时中断事件时置位 2d = 在发生任何未屏蔽的锁存中断事件时，INT 每 4ms（典型值）置位一次且每次持续 2ms（典型值） 3d = 在发生任何未屏蔽的中断事件时，INT 在每个脉冲上置位一次且每次持续 2ms（典型值）
4-3	PD_ON_FLT_CFG[1:0]	R/W	00b	在 chx 和 micbias 发生故障期间的断电配置。 0d = 断电时不考虑故障 1d = 断电时仅考虑未屏蔽的故障 2d = 断电时考虑所有故障 3d = 保留
2	LTCH_READ_CFG	R/W	0b	中断锁存寄存器读回配置。 0b = 所有中断都可以通过 LTCH 寄存器读取 1b = 只有未屏蔽的中断可以通过 LTCH 寄存器读取
1	PD_ON_FLT_RCV_CFG	R/W	0b	故障时 ADC 通道断电的配置 0b = 自动恢复，在故障消失时 ADC 通道重新上电 1b = 手动恢复，故障消失时 ADC 通道不会重新上电
0	LTCH_CLR_ON_READ	R/W	0b	用于清除 LTCH 寄存器位的 Cfgn 0 = 仅当实时状态为零时，才在寄存器读取时清除 LTCH 寄存器位 1 = 无论实时状态如何，在寄存器读取时都清除 LTCH 寄存器位

7.5.1.58 DAC_FLT_CFG 寄存器（地址 = 0x43）[复位 = 0x50]

表 7-85 中显示了 DAC_FLT_CFG。

返回到汇总表。

该寄存器是中断配置寄存器。

表 7-85. DAC_FLT_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值

Copyright © 2024 Texas Instruments Incorporated

表 7-85. DAC_FLT_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
6-5	DAC_PD_ON_FLT_CFG[1:0]	读/写	10b	DAC 故障期间的断电配置。 0d = 断电时不考虑故障 1d = 断电时仅考虑未屏蔽的故障 2d = 断电时考虑所有故障 3d = 保留
4	DAC_PD_ON_FLT_RCV_CFG	R/W	1b	故障时 DAC 通道断电的配置 0b = 自动恢复，在故障消失时 DAC 通道重新上电 1b = 手动恢复，故障消失时 DAC 通道不会重新上电
3	OUT_CHx_PD_FLT_STS	R	0b	出现 OUTxx 故障时 PD 的状态 0d = 没有 DAC 通道因故障而断电 1d = 某些 DAC 通道因故障而断电
2	DAC_DIS_PD_W_PU	R/W	0b	DAC 上电期间禁用在 DRVR VG 故障时断电 0b = 上电期间在 DRVR VG 故障时断电 1b = 上电期间禁用在 DRVR VG 故障时断电
1	DAC_FLT_DET_DIS	R/W	0b	DAC vg_fault/sc_fault 检测配置 0b = 启用 1b = 禁用
0	AREG_SC_FLAG_DET_DIS	R/W	0b	AREG 短路检测配置 0b = 启用 1b = 禁用

7.5.1.59 PWR_TUNE_CFG1 寄存器（地址 = 0x4F）[复位 = 0x00]

表 7-86 中显示了 PWR_TUNE_CFG1。

返回到汇总表。

该寄存器是 power tune 配置的配置寄存器。

表 7-86. PWR_TUNE_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	DAC_CLK_BY2_MODE	R/W	0b	DAC MOD CLK 选择配置。 0d = MOD CLK 3MHz 1d = MOD CLK 1.5MHz
6	RESERVED	读/写	0b	保留位；仅写入复位值
5	DAC_FIR_SEG_BYPASS	R/W	0b	DAC FIR 和分段器旁路配置。 0d = 旁路禁用 1d = 旁路启用
4-3	RESERVED	读/写	00b	保留位；仅写入复位值
2	DAC_LOW_PWR_FILT	R/W	0b	DAC 的低功耗滤波器配置 0d = 禁用 1d = 启用
1	DAC_POWER_SCAL	R/W	0b	DAC IREF 选择配置。 0d = Vref/R 1d = Vref/2R
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.60 OUT1x_CFG0 寄存器（地址 = 0x64）[复位 = 0x20]

表 7-87 中显示了 OUT1x_CFG0。

返回到汇总表。

该寄存器是通道 OUT1x 的配置寄存器 0。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-87. OUT1x_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-5	OUT1x_SRC[2:0]	R/W	001b	OUT1x 源配置。 0d = 禁用输出驱动器 1d = 来自 DAC 信号链的输入 2d = 来自模拟旁路路径的输入 3d = 来自 DAC 信号链和模拟旁路路径的输入 4d = 来自 DAC 信号链和模拟旁路路径的独立输入（DAC -> OUT1P，IN1P -> OUT1M） 5d = 来自 DAC 信号链和模拟旁路路径的独立输入（IN1M -> OUT1P，DAC -> OUT1M） 6d-7d = 保留；不使用
4-2	OUT1x_CFG[2:0]	R/W	000b	OUT1x DAC/模拟旁路路由配置。（如果 OUT1x_SRC 配置了 4d 或 5d，则不使用） 0d = 差分（DAC1AP + DAC1BP/IN1M -> OUT1P；DAC1AM + DAC1BM/IN1P -> OUT1M） 1d = 立体声单端（DAC1A/IN1M -> OUT1P；DAC1B/IN1P -> OUT1M） 2d = 单声道单端，仅限 OUT1P 处输出 (DAC1A + DAC1B/IN1M-> OUT1P) 3d = 单声道单端，仅限 OUT1M 处输出 (DAC1A + DAC1B/IN1P -> OUT1M) 4d = 伪差分，OUT1M 用作 VCOM（DAC1A，DAC1B/IN1M -> OUT1P，VCOM -> OUT1M） 5d = 伪差分，OUT1M 用作 VCOM，OUT2M 用于外部检测（DAC1A，DAC1B/IN1M -> OUT1P，VCOM -> OUT1M） 6d = 伪差分，OUT1P 用作 VCOM（IN1P -> OUT1M，VCOM -> OUT1P） 7d = 保留；不使用
1	OUT1x_VCOM	R/W	0b	通道 OUT1x VCOM 配置。 0d = 0.6 * Vref（仅对于 1.375V VREF 模式为 0.654*Vref） 1d = AVDD/2
0	OUT1x_LP_MODE	R/W	0b	OUT1x 通道的低功耗模式。（仅对配置为 DAC 信号链的 OUT1x_SRC 有效）（对于配置为立体声 SE 的 OUT1x_CFG 无效） 0d = 禁用低功耗模式（性能高 3dB） 1d = 启用低功耗模式

7.5.1.61 OUT1x_CFG1 寄存器（地址 = 0x65）[复位 = 0x20]

表 7-88 中显示了 OUT1x_CFG1。

返回到汇总表。

该寄存器是通道 OUT1x 的配置寄存器 1。

表 7-88. OUT1x_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	OUT1P_DRIVE[1:0]	R/W	00b	通道 OUT1P 驱动配置。 0d = 具有最小 300Ω 阻抗的线路输出驱动器 1d = 具有最小 4Ω 阻抗的耳机驱动器 2d = 4Ω 3d = FD 接收器/调试
5-3	OUT1P_LVL_CTRL[2:0]	R/W	100b	通道 OUT1P 电平控制配置。 0d = 24dB（仅适用于 DAC 信号链 SE） 1d = 18dB（仅适用于 DAC 信号链） 2d = 12dB（DAC 信号链 -> RFB 80K，如果已配置 RIN=20k） 3d = 6dB（DAC 信号链 -> RFB 40K，如果已配置 RIN=20k） 4d = 0dB（DAC 信号链 -> RFB 20K，如果已配置 RIN=20k） 5d = -6dB（DAC 信号链 -> RFB 10K，如果已配置 RIN=20k） 6d = -12dB（仅适用于 Rin 4.4kΩ） 7d = 保留；不使用

Copyright © 2024 Texas Instruments Incorporated

表 7-88. OUT1x_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
2	AIN1M_BYP_IMP	R/W	0b	AIN1M 模拟旁路输入阻抗。 0d = 4.4kΩ 1d = 20kΩ
1	AIN1x_BYP_CFG	R/W	0b	IN1x 模拟旁路输入配置 0d = FD/伪差分 1d = SE
0	DAC_CH1_BW_MODE	R/W	0b	DAC 通道 1 带宽选择。 0d = 音频带宽（24kHz 模式） 1d = 宽带宽（96kHz 模式）

7.5.1.62 OUT1x_CFG2 寄存器（地址 = 0x66）[复位 = 0x20]

表 7-89 中显示了 OUT1x_CFG2。

返回到汇总表。

该寄存器是通道 OUT2x 的配置寄存器 2。

表 7-89. OUT1x_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-6	OUT1M_DRIVE[1:0]	R/W	00b	通道 OUT1M 驱动配置。 0d = 具有最小 300Ω 阻抗的线路输出驱动器 1d = 具有最小 4Ω 阻抗的耳机驱动器 2d = 4Ω 3d = FD 接收器/调试
5-3	OUT1M_LVL_CTRL[2:0]	R/W	100b	通道 OUT1M 电平控制配置。 0d = 24dB（仅适用于 DAC 信号链 SE） 1d = 18dB（仅适用于 DAC 信号链） 2d = 12dB（DAC 信号链 -> RFB 80K，如果已配置 RIN=20k） 3d = 6dB（DAC 信号链 -> RFB 40K，如果已配置 RIN=20k） 4d = 0dB（DAC 信号链 -> RFB 20K，如果已配置 RIN=20k） 5d = -6dB（DAC 信号链 -> RFB 10K，如果已配置 RIN=20k） 6d = -12dB（仅适用于 Rin 4.4kΩ） 7d = 保留；不使用
2	AIN1P_BYP_IMP	R/W	0b	AIN1P 模拟旁路输入阻抗。 0d = 4.4kΩ 1d = 20kΩ
1	DAC_CH1_FULLSCALE_VAL	R/W	0b	VREF=2.75V 时的 DAC 通道 1 满量程值（适用于模拟输入）。 0d = 2Vrms 差分（单端运行时为 1Vrms） 1d = 4Vrms 差分（单端运行时为 2Vrms）（对于交流耦合配置，输入共模需要外部偏置，此模式支持轨到轨共模变化容差）（仅支持 2.75VREF，仅在音频带宽模式下受支持）
0	DAC_CH1_CM_TOL	R/W	0b	DAC 通道 1 输入耦合（适用于模拟输入）。 0d = 具有共模变化容差的交流耦合输入，对于单端配置，支持 50mVpp；对于差分配置，支持 100mVpp 1d = 具有共模变化容差的交流耦合/直流耦合输入，支持轨到轨（电源到地）

7.5.1.63 DAC_CH1A_CFG0 寄存器（地址 = 0x67）[复位 = 0xC9]

表 7-90 中显示了 DAC_CH1A_CFG0。

返回到汇总表。

该寄存器是 DAC 通道 1A 的配置寄存器 0。

ADVANCE INFORMATION

表 7-90. DAC_CH1A_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC_CH1A_DVOL[7:0]	R/W	11001001b	通道 1A 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 +0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 +26.5dB 255d = 数字音量控制设置为 +27dB

7.5.1.64 DAC_CH1A_CFG1 寄存器（地址 = 0x68）[复位 = 0x80]

表 7-91 中显示了 DAC_CH1A_CFG1。

返回到汇总表。

该寄存器是 DAC 通道 1A 的配置寄存器 1。

表 7-91. DAC_CH1A_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_CH1A_FGAIN[3:0]	R/W	1000b	DAC 通道 1A 精细增益校准。 0d = 精细增益设置为 -0.8dB 1d = 精细增益设置为 -0.7dB 2d = 精细增益设置为 -0.6dB 3d 至 7d = 根据配置设置精细增益 8d = 精细增益设置为 0dB 9d = 精细增益设置为 0.1dB 10d 至 13d = 根据配置设置精细增益 14d = 精细增益设置为 0.6dB 15d = 精细增益设置为 0.7dB
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.1.65 DAC_CH1B_CFG0 寄存器（地址 = 0x69）[复位 = 0xC9]

表 7-92 中显示了 DAC_CH1B_CFG0。

返回到汇总表。

该寄存器是 DAC 通道 1B 的配置寄存器 0。

表 7-92. DAC_CH1B_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC_CH1B_DVOL[7:0]	R/W	11001001b	通道 1B 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 +0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 +26.5dB 255d = 数字音量控制设置为 +27dB

7.5.1.66 DAC_CH1B_CFG1 寄存器（地址 = 0x6A）[复位 = 0x80]

表 7-93 中显示了 DAC_CH1B_CFG1。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

返回到汇总表。

该寄存器是 DAC 通道 1B 的配置寄存器 1。

表 7-93. DAC_CH1B_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_CH1B_FGAIN[3:0]	R/W	1000b	DAC 通道 1B 精细增益校准。 0d = 精细增益设置为 -0.8dB 1d = 精细增益设置为 -0.7dB 2d = 精细增益设置为 -0.6dB 3d 至 7d = 根据配置设置精细增益 8d = 精细增益设置为 0dB 9d = 精细增益设置为 0.1dB 10d 至 13d = 根据配置设置精细增益 14d = 精细增益设置为 0.6dB 15d = 精细增益设置为 0.7dB
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.1.67 OUT2x_CFG0 寄存器（地址 = 0x6B）[复位 = 0x20]

表 7-94 中显示了 OUT2x_CFG0。

返回到汇总表。

该寄存器是通道 OUT2x 的配置寄存器 0。

表 7-94. OUT2x_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-5	OUT2x_SRC[2:0]	R/W	001b	OUT2x 源配置。 0d = 禁用输出驱动器 1d = 来自 DAC 信号链的输入 2d = 来自模拟旁路路径的输入 3d = 来自 DAC 信号链和模拟旁路路径的输入 4d = 来自 DAC 信号链和模拟旁路路径的独立输入（DAC -> OUT2P，IN2P -> OUT2M） 5d = 来自 DAC 信号链和模拟旁路路径的独立输入（IN2M -> OUT2P，DAC -> OUT2M） 6d-7d = 保留；不使用
4-2	OUT2x_CFG[2:0]	R/W	000b	OUT2x DAC/模拟旁路路由配置。（如果 OUT1x_SRC 配置了 4d 或 5d，则不使用） 0d = 差分（DAC2AP + DAC2BP/IN2M -> OUT2P；DAC2AM + DAC2BM/IN2P -> OUT2M） 1d = 立体声单端（DAC2A/IN2M -> OUT2P；DAC2B/IN2P -> OUT2M） 2d = 单声道单端，仅限 OUT2P 处输出 (DAC2A + DAC2B/IN2M-> OUT2P) 3d = 单声道单端，仅限 OUT2M 处输出 (DAC2A + DAC2B/IN2P -> OUT2M) 4d = 伪差分，OUT2M 用作 VCOM（DAC2A、DAC2B/IN2M -> OUT2P，VCOM -> OUT2M） 5d = 保留；不使用 6d = 伪差分，OUT2P 用作 VCOM（IN2P -> OUT2M，VCOM -> OUT2P） 7d = 保留；不使用
1	OUT2x_VCOM	R/W	0b	通道 OUT2x VCOM 配置。 0d = 0.6 * Vref（仅对于 1.375V VREF 模式为 0.654*Vref） 2d = AVDD/2
0	OUT2x_LP_MODE	R/W	0b	OUT2x 通道的低功耗模式。（仅对配置为 DAC 信号链的 OUT2x_SRC 有效）（对于配置为立体声 SE 的 OUT2x_CFG 无效） 0d = 禁用低功耗模式（性能高 3dB） 1d = 启用低功耗模式

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.1.68 OUT2x_CFG1 寄存器（地址 = 0x6C）[复位 = 0x20]

表 7-95 中显示了 OUT2x_CFG1。

返回到汇总表。

该寄存器是通道 OUT2x 的配置寄存器 1。

表 7-95. OUT2x_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	OUT2P_DRIVE[1:0]	R/W	00b	通道 OUT2P 驱动配置。 0d = 具有最小 300Ω 阻抗的线路输出驱动器 1d = 具有最小 4Ω 阻抗的耳机驱动器 2d = 4Ω 3d = FD 接收器/调试
5-3	OUT2P_LVL_CTRL[2:0]	R/W	100b	通道 OUT2P 电平控制配置 0d = 24dB（仅适用于 DAC 信号链 SE） 1d = 18dB（仅适用于 DAC 信号链） 2d = 12dB（DAC 信号链 -> RFB 80K，如果已配置 RIN=20k） 3d = 6dB（DAC 信号链 -> RFB 40K，如果已配置 RIN=20k） 4d = 0dB（DAC 信号链 -> RFB 20K，如果已配置 RIN=20k） 5d = -6dB（DAC 信号链 -> RFB 10K，如果已配置 RIN=20k） 6d = -12dB（仅适用于 Rin 4.4kΩ） 7d = 保留；不使用
2	AIN2M_BYP_IMP	R/W	0b	AIN2M 模拟旁路输入阻抗。 0d = 4.4kΩ 1d = 20kΩ
1	AIN2x_BYP_CFG	R/W	0b	IN2x 模拟旁路输入配置 0d = FD/伪差分 1d = SE
0	DAC_CH2_BW_MODE	R/W	0b	DAC 通道 2 带宽选择。 0d = 音频带宽（24kHz 模式） 1d = 宽带宽（96kHz 模式）

7.5.1.69 OUT2x_CFG2 寄存器（地址 = 0x6D）[复位 = 0x20]

表 7-96 中显示了 OUT2x_CFG2。

返回到汇总表。

该寄存器是通道 OUT2x 的配置寄存器 2。

表 7-96. OUT2x_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-6	OUT2M_DRIVE[1:0]	R/W	00b	通道 OUT2M 驱动配置。 0d = 具有最小 300Ω 阻抗的线路输出驱动器 1d = 具有最小 4Ω 阻抗的耳机驱动器 2d = 4Ω 3d = FD 接收器/调试
5-3	OUT2M_LVL_CTRL[2:0]	R/W	100b	通道 OUT2M 电平控制配置。 0d = 24dB（仅适用于 DAC 信号链 SE） 1d = 18dB（仅适用于 DAC 信号链） 2d = 12dB（DAC 信号链 -> RFB 80K，如果已配置 RIN=20k） 3d = 6dB（DAC 信号链 -> RFB 40K，如果已配置 RIN=20k） 4d = 0dB（DAC 信号链 -> RFB 20K，如果已配置 RIN=20k） 5d = -6dB（DAC 信号链 -> RFB 10K，如果已配置 RIN=20k） 6d = -12dB（仅适用于 Rin 4.4kΩ） 7d = 保留；不使用
2	AIN2P_BYP_IMP	R/W	0b	AIN2P 模拟旁路输入阻抗。 0d = 4.4kΩ 1d = 20kΩ

Copyright © 2024 Texas Instruments Incorporated

表 7-96. OUT2x_CFG2 寄存器字段说明（续）

位	字段	类型	复位	说明
1	DAC_CH2_FULLSCALE_VAL	R/W	0b	VREF=2.75V 时的 DAC 通道 2 满量程值（适用于模拟输入）。 0d = 2Vrms 差分（单端运行时为 1Vrms） 1d = 4Vrms 差分（单端运行时为 2Vrms）（对于交流耦合配置，输入共模需要外部偏置，此模式支持轨到轨共模变化容差）（仅支持 2.75VREF，仅在音频带宽模式下受支持）
0	DAC_CH2_CM_TOL	R/W	0b	DAC 通道 2 输入耦合（适用于模拟输入）。 0d = 具有共模变化容差的交流耦合输入，对于单端配置，支持 50mVpp；对于差分配置，支持 100mVpp 1d = 具有共模变化容差的交流耦合/直流耦合输入，支持轨到轨（电源到地）

7.5.1.70 DAC_CH2A_CFG0 寄存器（地址 = 0x6E）[复位 = 0xC9]

表 7-97 中显示了 DAC_CH2A_CFG0。

返回到汇总表。

该寄存器是 DAC 通道 2A 的配置寄存器 0。

表 7-97. DAC_CH2A_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC_CH2A_DVOL[7:0]	R/W	11001001b	通道 2A 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 +0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 +26.5dB 255d = 数字音量控制设置为 +27dB

7.5.1.71 DAC_CH2A_CFG1 寄存器（地址 = 0x6F）[复位 = 0x80]

表 7-98 中显示了 DAC_CH2A_CFG1。

返回到汇总表。

该寄存器是 DAC 通道 2A. 的配置寄存器 1。

表 7-98. DAC_CH2A_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_CH2A_FGAIN[3:0]	R/W	1000b	DAC 通道 2A 精细增益校准。 0d = 精细增益设置为 -0.8dB 1d = 精细增益设置为 -0.7dB 2d = 精细增益设置为 -0.6dB 3d 至 7d = 根据配置设置精细增益 8d = 精细增益设置为 0dB 9d = 精细增益设置为 0.1dB 10d 至 13d = 根据配置设置精细增益 14d = 精细增益设置为 0.6dB 15d = 精细增益设置为 0.7dB
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.1.72 DAC_CH2B_CFG0 寄存器（地址 = 0x70）[复位 = 0xC9]

表 7-99 中显示了 DAC_CH2B_CFG0。

ADVANCE INFORMATION

返回到汇总表。

该寄存器是 DAC 通道 2B 的配置寄存器 0。

表 7-99. DAC_CH2B_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC_CH2B_DVOL[7:0]	R/W	11001001b	通道 2B 数字音量控制。 0d = 数字音量静音 1d = 数字音量控制设置为 -100dB 2d = 数字音量控制设置为 -99.5dB 3d 至 200d = 数字音量控制根据配置进行设置 201d = 数字音量控制设置为 0dB 202d = 数字音量控制设置为 +0.5dB 203d 至 253d = 数字音量控制根据配置进行设置 254d = 数字音量控制设置为 +26.5dB 255d = 数字音量控制设置为 +27dB

7.5.1.73 DAC_CH2B_CFG1 寄存器（地址 = 0x71）[复位 = 0x80]

表 7-100 中显示了 DAC_CH2B_CFG1。

返回到汇总表。

该寄存器是 DAC 通道 2B 的配置寄存器 1。

表 7-100. DAC_CH2B_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-4	DAC_CH2B_FGAIN[3:0]	R/W	1000b	DAC 通道 2B 精细增益校准。 0d = 精细增益设置为 -0.8dB 1d = 精细增益设置为 -0.7dB 2d = 精细增益设置为 -0.6dB 3d 至 7d = 根据配置设置精细增益 8d = 精细增益设置为 0dB 9d = 精细增益设置为 0.1dB 10d 至 13d = 根据配置设置精细增益 14d = 精细增益设置为 0.6dB 15d = 精细增益设置为 0.7dB
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.1.74 DSP_CFG1 寄存器（地址 = 0x73）[复位 = 0x18]

表 7-101 中显示了 DSP_CFG1。

返回到汇总表。

该寄存器是数字信号处理器 (DSP) 配置寄存器 0。

表 7-101. DSP_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	DAC_DSP_INTX_FILT[1:0]	R/W	00b	DAC 通道抽取滤波器响应。 0d = 线性相位 1d = 低延时 2d = 超低延时 3d = 保留；不使用
5-4	DAC_DSP_HPF_SEL[1:0]	R/W	01b	DAC 通道高通滤波器 (HPF) 选择。 0d = 使用可编程一阶 IIR 滤波器来实现自定义 HPF，在 P17_R120-127 至 P18_R8-11 范围内，默认系数值设置为实现全通滤波器 1d = 选择截止频率为 0.00002 x f_S（f_S = 48kHz 时为 1Hz）的 HPF 2d = 选择截止频率为 0.00025 x f_S（f_S = 48kHz 时为 12Hz）的 HPF 3d = 选择截止频率为 0.002 x f_S（f_S = 48kHz 时为 96Hz）的 HPF

Copyright © 2024 Texas Instruments Incorporated

ADVANCE INFORMATION

表 7-101. DSP_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
3-2	DAC_DSP_BQ_CFG[1:0]	读/写	10b	每个 DAC 通道配置的双二阶滤波器数。 0d = 每个通道均无双二阶滤波器；双二阶滤波器全部禁用 1d = 每个通道 1 个双二阶滤波器 2d = 每个通道 2 个双二阶滤波器 3d = 每个通道 3 个双二阶滤波器
1	DAC_DSP_DISABLE_SOFT_STEP	R/W	0b	在 DVOL 更改、静音和取消静音期间禁用 DAC 软步进。 0d = 启用软步进 1d = 禁用软步进
0	DAC_DSP_DVOL_GANG	R/W	0b	成组控制 DAC 通道上的 DVOL。 0d = 每个 DAC 通道均有自己的 DVOL CTRL 设置，这些设置在 DAC_CHx_DVOL 位中进行编程 1d = 无论通道 1 是否打开，所有活动通道都必须使用通道 1 DVOL 设置 (DAC_CH1_DVOL)

7.5.1.75 CH_EN 寄存器（地址 = 0x76）[复位 = 0xCC]

表 7-102 展示了 CH_EN。

返回到汇总表。

该寄存器是通道启用配置寄存器。

表 7-102. CH_EN 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	1b	保留位；仅写入复位值
6	RESERVED	R/W	1b	保留位；仅写入复位值
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	保留	读/写	0b	保留位；仅写入复位值
3	OUT_CH1_EN	R/W	1b	输出通道 1 启用设置。 0d = 禁用输出通道 1 1d = 启用输出通道 1
2	OUT_CH2_EN	R/W	1b	输出通道 2 使能设置。 0d = 禁用输出通道 2 1d = 启用输出通道 2
1	OUT_CH3_EN	R/W	0b	输出通道 3 使能设置。 0d = 禁用输出通道 3 1d = 启用输出通道 3
0	OUT_CH4_EN	R/W	0b	输出通道 4 启用设置。 0d = 禁用输出通道 4 1d = 启用输出通道 4

7.5.1.76 DYN_PUPD_CFG 寄存器（地址 = 0x77）[复位 = 0x00]

表 7-103 中显示了 DYN_PUPD_CFG。

返回到汇总表。

该寄存器是上电配置寄存器。

表 7-103. DYN_PUPD_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	RESERVED	读/写	0b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-103. DYN_PUPD_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
5	DAC_DYN_PUPD_EN	R/W	0b	用于回放路径的动态通道上电/断电使能。 0d = 如果任何通道回放处于开启状态，则不支持通道上电/断电 1d = 即使回放录音处于开启状态，通道也可以单独上电或断电
4	DAC_DYN_MAXCH_SEL	R/W	0b	回放路径的动态模式最大通道选择配置。 0d = 启用动态通道上电/断电功能时使用通道 1 和通道 2 1d = 启用动态通道上电/断电功能时使用通道 1 至通道 4
3	RESERVED	读/写	0b	保留位；仅写入复位值
2-0	RESERVED	R	000b	保留位；仅写入复位值

7.5.1.77 PWR_CFG 寄存器（地址 = 0x78）[复位 = 0x00]

表 7-104 展示了 PWR_CFG。

返回到汇总表。

该寄存器是上电配置寄存器。

表 7-104. PWR_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	DAC_PDZ	R/W	0b	DAC 通道的电源控制。 0d = 所有 DAC 通道断电 1d = 所有已启用的 DAC 通道上电
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	UAG_EN	R/W	0b	启用超声活动检测 (UAG) 算法。 0d = 禁用 UAG 1d = 启用 UAG
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.78 DEV_STS0 寄存器（地址 = 0x79）[复位 = 0x00]

表 7-105 展示了 DEV_STS0。

返回到汇总表。

该寄存器是器件状态值寄存器 0。

表 7-105. DEV_STS0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	RESERVED	R	0b	保留位；仅写入复位值
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	OUT_CH1_STATUS	R	0b	DAC 通道 1 电源状态。 0d = DAC 通道断电 1d = DAC 通道上电
2	OUT_CH2_STATUS	R	0b	DAC 通道 2 电源状态。 0d = DAC 通道断电 1d = DAC 通道上电

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-105. DEV_STS0 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	OUT_CH3_STATUS	R	0b	DAC 通道 3 电源状态。 0d = DAC 通道断电 1d = DAC 通道上电
0	OUT_CH4_STATUS	R	0b	DAC 通道 4 电源状态。 0d = DAC 通道断电 1d = DAC 通道上电

7.5.1.79 DEV_STS1 寄存器（地址 = 0x7A）[复位 = 0x80]

表 7-106 中显示了 DEV_STS1。

返回到汇总表。

该寄存器是器件状态值寄存器 1。

表 7-106. DEV_STS1 寄存器字段说明

位	字段	类型	复位	说明
7-5	MODE_STS[2:0]	R	100b	器件模式状态。 0-3d = 保留 4d = 器件处于睡眠模式或软件关断模式 5d = 保留 6d = 器件处于工作模式且所有录音和回放通道都关闭 7d = 器件处于工作模式且至少一个录音或回放通道开启
4	PLL_STS	R	0b	PLL 状态。 0d = 未启用 PLL 1d = 启用 PLL
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.1.80 I2C_CKSUM 寄存器（地址 = 0x7E）[复位 = 0x00]

表 7-107 中显示了 I2C_CKSUM。

返回到汇总表。

该寄存器返回 I^2C 事务校验和值。

表 7-107. I2C_CKSUM 寄存器字段说明

位	字段	类型	复位	说明
7-0	I2C_CKSUM[7:0]	R/W	00000000b	这些位返回 I^2C 事务校验和值。写入此寄存器会将校验和复位为写入值。此寄存器在所有页上的其他寄存器进行写操作时更新。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.2 TAD5212_P1 寄存器

表 7-108 列出了 TAD5212_P1 寄存器的存储器映射寄存器。表 7-108 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-108. TAD5212_P1 寄存器

地址	首字母缩写	寄存器名称	复位值	部分
0x0	PAGE_CFG	器件页寄存器	0x00	PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]
0x3	DSP_CFG0		0x00	DSP_CFG0 寄存器（地址 = 0x3）[复位 = 0x00]
0xD	CLK_CFG0		0x00	CLK_CFG0 寄存器（地址 = 0xD）[复位 = 0x00]
0xF	CHANNEL_CFG2		0x00	CHANNEL_CFG2 寄存器（地址 = 0xF）[复位 = 0x00]
0x17	SRC_CFG0	SRC 配置寄存器 1	0x00	SRC_CFG0 寄存器（地址 = 0x17）[复位 = 0x00]
0x18	SRC_CFG1	SRC 配置寄存器 2	0x00	SRC_CFG1 寄存器（地址 = 0x18）[复位 = 0x00]
0x19	JACK_DET_CFG0	JACK DET 配置寄存器 0	0x00	JACK_DET_CFG0 寄存器（地址 = 0x19）[复位 = 0x00]
0x1A	JACK_DET_CFG1	JACK DET 配置寄存器 1	0x00	JACK_DET_CFG1 寄存器（地址 = 0x1A）[复位 = 0x00]
0x1B	JACK_DET_CFG2	JACK DET 配置寄存器 2	0x00	JACK_DET_CFG2 寄存器（地址 = 0x1B）[复位 = 0x00]
0x1C	JACK_DET_CFG3	JACK DET 配置寄存器 3	0x00	JACK_DET_CFG3 寄存器（地址 = 0x1C）[复位 = 0x00]
0x1F	LPSG_CFG1	LPSG	0x80	LPSG_CFG1 寄存器（地址 = 0x1F）[复位 = 0x80]
0x20	LPSG_CFG1	LPSG 配置寄存器 1	0x00	LPSG_CFG1 寄存器（地址 = 0x1F）[复位 = 0x80]
0x23	LIMITER_CFG	限制器配置寄存器 2	0x00	LIMITER_CFG 寄存器（地址 = 0x23）[复位 = 0x00]
0x2B	PLIM_CFG0	PLIM 配置寄存器 0	0x00	PLIM_CFG0 寄存器（地址 = 0x2B）[复位 = 0x00]
0x2C	MIXER_CFG0	MISC 配置寄存器 0	0x00	MIXER_CFG0 寄存器（地址 = 0x2C）[复位 = 0x00]
0x2D	MISC_CFG0	MISC 配置寄存器 0	0x00	MISC_CFG0 寄存器（地址 = 0x2D）[复位 = 0x00]
0x2E	BRWNOUT		0xBF	BRWNOUT 寄存器（地址 = 0x2E）[复位 = 0xBF]

Copyright © 2024 Texas Instruments Incorporated

表 7-108. TAD5212_P1 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x2F	INT_MASK0	中断屏蔽寄存器 0	0xFF	INT_MASK0 寄存器（地址 = 0x2F）[复位 = 0xFF]
0x32	INT_MASK4	中断屏蔽寄存器 3	0x00	INT_MASK4 寄存器（地址 = 0x32）[复位 = 0x00]
0x33	INT_MASK5	中断屏蔽寄存器 3	0x30	INT_MASK5 寄存器（地址 = 0x33）[复位 = 0x30]
0x34	INT_LTCH0	锁存中断回读寄存器 0	0x00	INT_LTCH0 寄存器（地址 = 0x34）[复位 = 0x00]
0x35	CHx_LTCH	诊断摘要	0x00	CHx_LTCH 寄存器（地址 = 0x35）[复位 = 0x00]
0x38	OUT_CH1_LTCH		0x00	OUT_CH1_LTCH 寄存器（地址 = 0x38）[复位 = 0x00]
0x39	OUT_CH2_LTCH		0x00	OUT_CH2_LTCH 寄存器（地址 = 0x39）[复位 = 0x00]
0x3A	INT_LTCH1	锁存中断回读寄存器 0	0x00	INT_LTCH1 寄存器（地址 = 0x3A）[复位 = 0x00]
0x3B	INT_LTCH2	锁存中断回读寄存器 3	0x00	INT_LTCH2 寄存器（地址 = 0x3B）[复位 = 0x00]
0x3C	INT_LIVE0	实时中断回读寄存器 0	0x00	INT_LIVE0 寄存器（地址 = 0x3C）[复位 = 0x00]
0x3D	CHx_LIVE	诊断摘要	0x00	CHx_LIVE 寄存器（地址 = 0x3D）[复位 = 0x00]
0x40	OUT_CH1_LIVE		0x00	OUT_CH1_LIVE 寄存器（地址 = 0x40）[复位 = 0x00]
0x41	OUT_CH2_LIVE		0x00	OUT_CH2_LIVE 寄存器（地址 = 0x41）[复位 = 0x00]
0x42	INT_LIVE1	锁存中断回读寄存器 0	0x00	INT_LIVE1 寄存器（地址 = 0x42）[复位 = 0x00]
0x43	INT_LIVE2	锁存中断回读寄存器 3	0x00	INT_LIVE2 寄存器（地址 = 0x43）[复位 = 0x00]
0x4E	DIAG_CFG8		0xBA	DIAG_CFG8 寄存器（地址 = 0x4E）[复位 = 0xBA]
0x4F	DIAG_CFG9		0x4B	DIAG_CFG9 寄存器（地址 = 0x4F）[复位 = 0x4B]
0x54	DIAG_CFG14		0x48	DIAG_CFG14 寄存器（地址 = 0x54）[复位 = 0x48]
0x55	DIAGDATA_CFG		0x00	DIAGDATA_CFG 寄存器（地址 = 0x55）[复位 = 0x00]

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-108. TAD5212_P1 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x62	DIAG_MON_MSB_OUT1P		0x00	DIAG_MON_MSB_OUT1P 寄存器（地址 = 0x62）[复位 = 0x00]
0x63	DIAG_MON_LSB_OUT1P		0x06	DIAG_MON_LSB_OUT1P 寄存器（地址 = 0x63）[复位 = 0x06]
0x64	DIAG_MON_MSB_OUT1M		0x00	DIAG_MON_MSB_OUT1M 寄存器（地址 = 0x64）[复位 = 0x00]
0x65	DIAG_MON_LSB_OUT1M		0x07	DIAG_MON_LSB_OUT1M 寄存器（地址 = 0x65）[复位 = 0x07]
0x66	DIAG_MON_MSB_OUT2P		0x00	DIAG_MON_MSB_OUT2P 寄存器（地址 = 0x66）[复位 = 0x00]
0x67	DIAG_MON_LSB_OUT2P		0x08	DIAG_MON_LSB_OUT2P 寄存器（地址 = 0x67）[复位 = 0x08]
0x68	DIAG_MON_MSB_OUT2M		0x00	DIAG_MON_MSB_OUT2M 寄存器（地址 = 0x68）[复位 = 0x00]
0x69	DIAG_MON_LSB_OUT2M		0x09	DIAG_MON_LSB_OUT2M 寄存器（地址 = 0x69）[复位 = 0x09]
0x6A	DIAG_MON_MSB_TEMP		0x00	DIAG_MON_MSB_TEMP 寄存器（地址 = 0x6A）[复位 = 0x00]
0x6B	DIAG_MON_LSB_TEMP		0x0A	DIAG_MON_LSB_TEMP 寄存器（地址 = 0x6B）[复位 = 0x0A]
0x6E	DIAG_MON_MSB_AVDD		0x00	DIAG_MON_MSB_AVDD 寄存器（地址 = 0x6E）[复位 = 0x00]
0x6F	DIAG_MON_LSB_AVDD		0x0C	DIAG_MON_LSB_AVDD 寄存器（地址 = 0x6F）[复位 = 0x0C]
0x70	DIAG_MON_MSB_GPA		0x00	DIAG_MON_MSB_GPA 寄存器（地址 = 0x70）[复位 = 0x00]
0x71	DIAG_MON_LSB_GPA		0x0D	DIAG_MON_LSB_GPA 寄存器（地址 = 0x71）[复位 = 0x0D]

7.5.2.1 PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]

表 7-109 展示了 PAGE_CFG。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

器件存储器映射分为多个页面。该寄存器设置页。

表 7-109. PAGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	00000000b	这些位设置器件页。 0d = 第 0 页 1d = 第 1 页 2d 至 254d = 第 2 页至第 254 页 255d = 第 255 页

7.5.2.2 DSP_CFG0 寄存器（地址 = 0x3）[复位 = 0x00]

表 7-110 展示了 DSP_CFG0。

返回到汇总表。

表 7-110. DSP_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	RESERVED	读/写	0b	保留位；仅写入复位值
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	DIS_DVOL_OTF_CHG	R/W	0b	禁用对 DVOL 设置的运行时更改。 0d = ADC 上电时支持数字音量控制更改 1d = ADC 上电时不支持数字音量控制更改。
0	EN_BQ_OTF_CHG	R/W	0b	启用对 Biquad 设置的运行时更改。 0d = 禁用动态双二阶滤波器更改 1d = 启用动态双二阶滤波器更改

7.5.2.3 CLK_CFG0 寄存器（地址 = 0xD）[复位 = 0x00]

表 7-111 展示了 CLK_CFG0。

返回到汇总表。

表 7-111. CLK_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	CNT_TGT_CFG_OVR_PASI	R/W	0b	ASI 控制器目标配置覆盖寄存器 0d = 根据 PASI_CNT_CFG 位确定控制器-目标配置。 1d = 覆盖 PASI_CNT_CFG 的标准行为。在这种情况下，时钟自动检测功能不可用。 PASI_CNT_CFG = 0：BCLK 是输入，而 FSYNC 是输出。 PASI_CNT_CFG = 1：BCLK 是输出，而 FSYNC 是输入。
6	CNT_TGT_CFG_OVR_SASI	R/W	0b	ASI 控制器目标配置覆盖寄存器 0d = 根据 SASI_CNT_CFG 位确定控制器-目标配置。 1d = 覆盖 SASI_CNT_CFG 的标准行为。在这种情况下，时钟自动检测功能不可用。 SASI_CNT_CFG = 0：BCLK 是输入，而 FSYNC 是输出。 SASI_CNT_CFG = 1：BCLK 是输出，而 FSYNC 是输入。
5	RESERVED	R	0b	保留位；仅写入复位值
4-3	RESERVED	读/写	00b	保留位；仅写入复位值
2	PASI_USE_INT_FSYNC	R/W	0b	对于主要 ASI，在控制器模式配置下使用内部 FSYNC。 0d = 使用外部 FSYNC 1d = 使用内部 FSYNC

ADVANCE INFORMATION

表 7-111. CLK_CFG0 寄存器字段说明 （续）

位	字段	类型	复位	说明
1	SASI_USE_INT_FSYNC	R/W	0b	对于辅助 ASI，在控制器模式配置下使用内部 FSYNC。 0d = 使用外部 FSYNC 1d = 使用内部 FSYNC
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.2.4 CHANNEL_CFG2 寄存器（地址 = 0xF）[复位 = 0x00]

表 7-112 中显示了 CHANNEL_CFG2。

返回到汇总表。

表 7-112. CHANNEL_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	DAC_FORCE_DYN_MODE_CUST_MAX_CH	R/W	0b	DAC 强制动态模式自定义最大通道 0d = 在动态模式下，最大通道基于 DAC_DYN_MAXCH_SEL 1d = 在动态模式下，最大通道根据 DAC_DYN_MODE_CUST_MAX_CH 自定义
6-3	DAC_DYN_MODE_CUST_MAX_CH[3:0]	R/W	0000b	DAC 动态模式自定义最大通道配置（[3]->CH4_EN，[2]->CH3_EN，[1]->CH2_EN，[0]->CH1_EN） [3]->CH4_EN [2]->CH3_EN [1]->CH2_EN [0]->CH1_EN
2-0	RESERVED	R	000b	保留位；仅写入复位值

7.5.2.5 SRC_CFG0 寄存器（地址 = 0x17）[复位 = 0x00]

表 7-113 展示了 SRC_CFG0。

返回到汇总表。

该寄存器是 SRC 的配置寄存器 1。

表 7-113. SRC_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	SRC_EN	R/W	0b	SRC 启用配置 0b = SRC 禁用 1b = SRC 启用
6	DIS_AUTO_SRC_DET	R/W	0b	SRC 自动检测配置 0b = SRC 自动检测启用 1b = SRC 自动检测禁用
5-0	保留	R	000000b	保留位；仅写入复位值

7.5.2.6 SRC_CFG1 寄存器（地址 = 0x18）[复位 = 0x00]

表 7-114 展示了 SRC_CFG1。

返回到汇总表。

该寄存器是 SRC 的配置寄存器 2。

表 7-114. SRC_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	MAIN_FS_CUSTOM_CFG	R/W	0b	主 Fs 自定义配置 0b = 自动推断主 Fs 1b = 需要从 MAIN_FS_SELECT_CFG 中选择主 Fs

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-114. SRC_CFG1 寄存器字段说明 （续）

位	字段	类型	复位	说明
6	MAIN_FS_SELECT_CFG	R/W	0b	主 Fs 选择配置 0b = PASI Fs 应用作主 Fs 1b = SASI Fs 应用作主 Fs
5-3	MAIN_AUX_RATIO_M_CUSTOM_CFG[2:0]	R/W	000b	主 Fs 与辅助 Fs 之比 m:n 配置 0d = m 为自动推断 1d = 1 2d = 2 3d = 3 4d = 4 5d = 保留 6d = 6 7d = 保留
2-0	MAIN_AUX_RATIO_N_CUSTOM_CFG[2:0]	R/W	000b	主 Fs 与辅助 Fs 之比 m:n 配置 0d = n 为自动推断 1d = 1 2d = 2 3d = 3 4d = 4 5d = 保留 6d = 6 7d = 保留

7.5.2.7 JACK_DET_CFG0 寄存器（地址 = 0x19）[复位 = 0x00]

表 7-115 中显示了 JACK_DET_CFG0。

返回到汇总表。

该寄存器是 JACK DET 配置寄存器 0。

表 7-115. JACK_DET_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	JACK_DET_MONITOR_FREQ[1:0]	R/W	00b	耳机检测脉冲频率 0d = 0.5Hz 1d = 1Hz 2d = 7.5Hz 3d = 15Hz
5	JACK_DET_PULSE_WIDTH	R/W	0b	检测器脉冲高宽度 0d = 4ms（MICBIAS 引脚电容 = 1uF） 1d = 32ms（MICBIAS 引脚电容 = 10uF）
4	保留	读/写	0b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2-1	HPDET_CLOCK_SEL[1:0]	R/W	00b	耳机检测时钟时间周期选择 0d = 1ms 1d = 2ms 2d = 4ms 3d = 保留
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.2.8 JACK_DET_CFG1 寄存器（地址 = 0x1A）[复位 = 0x00]

表 7-116 中显示了 JACK_DET_CFG1。

返回到汇总表。

该寄存器是 JACK DET 配置寄存器 1。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-116. JACK_DET_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	JACK_DET_COMP_CTRL 2	R/W	0b	固定外部电阻情况下的挂钩按压阈值控制，控制选择要支持的最低麦克风阻抗或要支持的最高挂钩按钮阻抗 0d = 支持最小麦克风电阻，R_Mic = 支持 800Ω 和最大挂钩按钮阻抗，R_Hook = 320Ω，适用于交流耦合耳机 R26<3> = 0（否则，当 R26<3> = 1 时，R_hook = 150Ω 1d = 支持最大挂钩按钮阻抗，R_hook = 680Ω；支持最小麦克风电阻，R_Mic = 1350Ω，适用于交流耦合耳机 R26<3> = 0（否则，当 R26<3> = 1 时，R_Mic = 1750Ω）
5-4	JACK_DET_COMP_CTRL 3[1:0]	R/W	00b	挂钩按压插孔插入支持，仅对外部电阻类型 P0_R25_D4 = 0 有效，否则不用考虑。 0d = 支持 150Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测 1d = 支持 100Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测 2d = 支持 50Ω 最小挂钩按钮阻抗，适用于挂钩按压插孔插入检测 3d = 保留
3	HPDET_COUPLING	R/W	0b	耳机检测耦合 0d = 交流耦合 1d = 直流耦合
2	HPDET_USE_2x_CURR	R/W	0b	耳机检测电流选择配置 0d = 禁用 2 倍耳机检测电流 1d = 启用 2 倍耳机检测电流
1	JACK_DET_EN	R/W	0b	耳机检测启用 0d = 禁用耳机检测 1d = 启用耳机检测
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.9 JACK_DET_CFG2 寄存器（地址 = 0x1B）[复位 = 0x00]

表 7-117 中显示了 JACK_DET_CFG2。

返回到汇总表。

该寄存器是 JACK DET 配置寄存器 2。

表 7-117. JACK_DET_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	HPDET_DEB	R/W	0b	耳机检测去抖可编程性 0d = 无去抖 1d = 3 个检测去抖
5-3	JACK_DET_DEB_INSERT[2:0]	R/W	000b	耳机插入检测去抖可编程性 0d = 去抖时间 = 16ms 1d = 去抖时间 = 32ms 2d = 去抖时间 = 64ms 3d = 去抖时间 = 128ms 4d = 去抖时间 = 256ms 5d = 去抖时间 = 512ms 6d = 保留。不使用 7d = 无去抖
2	JACK_DET_DEB_REMOVAL	R/W	0b	耳机移除检测去抖可编程性 0d = 5 次检测去抖 1d = 3 次检测去抖
1-0	JACK_DET_DEB_HOOK_PRESS[1:0]	R/W	00b	挂钩按压去抖配置 0d = 无去抖 1d = 无去抖 2d = 2 个检测去抖 3d = 3 个检测去抖

Copyright © 2024 Texas Instruments Incorporated

7.5.2.10 JACK_DET_CFG3 寄存器（地址 = 0x1C）[复位 = 0x00]

表 7-118 中显示了 JACK_DET_CFG3。

返回到汇总表。

该寄存器是 JACK DET 配置寄存器 3。

表 7-118. JACK_DET_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-6	JACK_TYPE_FLAG[1:0]	R	00b	耳机插孔类型标志 0d = 插孔未插入 1d = 插入插孔，无麦克风 2d = 保留。不使用 3d = 插入插孔，有麦克风
5-4	HEADSET_TYPE_DET[1:0]	R	00b	耳机类型 0d = 未插入耳机 1d = 插入插孔，带单声道 HS（右） 2d = 插入插孔，带单声道 HS（左） 3d = 插入插孔，带立体声 HS
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.2.11 LPSG_CFG1 寄存器（地址 = 0x1F）[复位 = 0x80]

表 7-119 中显示了 LPSG_CFG1。

返回到汇总表。

低功耗信号生成配置寄存器 1

表 7-119. LPSG_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	LPSG_CH_SEL[1:0]	读/写	10b	LPSG 通道选择 - UAG 0d = 在通道 1 上生成 UAG 活动 1d = 在通道 2 上生成 UAG 活动 2d = 在通道 3 上生成 UAG 活动 3d = 在通道 4 上生成 UAG 活动
5	RESERVED	读/写	0b	保留位；仅写入复位值
4-0	RESERVED	R	00000b	保留位；仅写入复位值

7.5.2.12 LIMITER_CFG 寄存器（地址 = 0x23）[复位 = 0x00]

表 7-120 中显示了 LIMITER_CFG。

返回到汇总表。

该寄存器是限制器的配置寄存器 2。

表 7-120. LIMITER_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	LIMITER_INP_SEL[1:0]	R/W	00b	限制器输入选择配置 0d = max(dacin_ch0, dacin_ch1) 1d = dacin_ch1 2d = dacin_ch0 3d = avg(dacin_ch0, dacin_ch1)
5-4	LIMITER_OUT_SEL[1:0]	R/W	00b	限制器输出选择配置 0d = 同时应用 1d = dacin_ch1 2d = dacin_ch0 3d = 均不应用

ADVANCE INFORMATION

表 7-120. LIMITER_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.2.13 PLIM_CFG0 寄存器（地址 = 0x2B）[复位 = 0x00]

表 7-121 中显示了 PLIM_CFG0。

返回到汇总表。

该寄存器是 PLIM 的配置寄存器 0。

表 7-121. PLIM_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PLIM	R/W	0b	启用 PLIM 0d = 禁用 1d = 启用
6-4	PLIM_ATTN_VAL[2:0]	R/W	000b	PLIM 衰减系数 0d = 0dB 1d = -6dB 2d = -12dB 3d = -18dB 4d = -24dB 5d = -30dB 6d = -36dB 7d = -42dB
3	PLIM_BY_SAR_GPA	R/W	0b	PLIM 衰减值源 0d = 基于 GPIO 和 reg_plimi_attn_val 的 Plimit 衰减 1d = 基于 GPA 模拟电压的 Plimit 衰减。LUT 会将 SAR ADC 数据映射到衰减系数
2	PLIM_RECOVERY	R/W	0b	PLIM 衰减恢复 0d = Plimit func 未恢复。它保持在相同的衰减水平，或者可根据需要应用更多衰减 1d = Plimit func 恢复（减少衰减），如果“gpio_val=0”或“sar_adc_gpa”数据表明电池电压已恢复，则我们可以减少应用的衰减
1-0	RESERVED	R	00b	保留位；仅写入复位值

7.5.2.14 MIXER_CFG0 寄存器（地址 = 0x2C）[复位 = 0x00]

表 7-122 中显示了 MIXER_CFG0。

返回到汇总表。

该寄存器是 MISC 配置寄存器 0。

表 7-122. MIXER_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DAC_ASI_MIXER	R/W	0b	启用 DAC ASI 混频器 0b = 禁用 1b = 启用
6	EN_SIDE_CHAIN_MIXER	R/W	0b	启用侧链混频器 0b = 禁用 1b = 启用
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	EN_LOOPBACK_MIXER	R/W	0b	启用环回混频器 0b = 禁用 1b = 启用
3-0	RESERVED	R	0000b	保留位；仅写入复位值

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

7.5.2.15 MISC_CFG0 寄存器（地址 = 0x2D）[复位 = 0x00]

表 7-123 中显示了 MISC_CFG0。

返回到汇总表。

该寄存器是 MISC 配置寄存器 0。

表 7-123. MISC_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DISTORTION	R/W	0b	失真限制器启用配置 0b = 失真限制器禁用 1b = 失真限制器启用
6	EN_BOP	R/W	0b	BOP 启用配置 0b = BOP 禁用 1b = BOP 启用
5	EN_THERMAL_FOLDBACK	R/W	0b	热折返启用配置 0b = 热折返禁用 1b = 热折返启用
4	EN_DRC	R/W	0b	DRC 启用配置 0b = DRC 禁用 1b = DRC 启用
3	DAC_SIGNAL_GENERATOR_1_ENABLE	R/W	0b	DAC 信号生成器 1 启用配置 0b = 禁用信号生成器 1b = 启用信号生成器
2	DAC_SIGNAL_GENERATOR_2_ENABLE	R/W	0b	DAC 信号生成器 2 启用配置 0b = 禁用信号生成器 1b = 启用信号生成器
1	DSP_VBAT_AVDD_SEL	R/W	0b	DSP 限制器、BOP、DRC 的 SAR 数据源选择 0b = DSP 的 SAR VBAT 数据 1b = DSP 的 SAR AVDD 数据
0	BRWNOUT_EN	R/W	0b	Brownout 启用配置 0b = Brownout 禁用 1b = Brownout 启用

7.5.2.16 BRWNOUT 寄存器（地址 = 0x2E）[复位 = 0xBF]

表 7-124 中显示了 BRWNOUT。

返回到汇总表。

表 7-124. BRWNOUT 寄存器字段说明

位	字段	类型	复位	说明
7-0	BRWNOUT_THRS[7:0]	R/W	10111111b	欠压关断阈值 (IF P1_R45_D1->DSP_VBAT_AVDD_SEL=1) 默认值 = 7.8V (~2.7V) Nd = ((0.9×(N*16)/4095)-0·211764)x17) (V) (((0.9×(N*16)/4095)-0·225)x6 (V))

7.5.2.17 INT_MASK0 寄存器（地址 = 0x2F）[复位 = 0xFF]

表 7-125 中显示了 INT_MASK0。

返回到汇总表。

中断屏蔽。

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-125. INT_MASK0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK0	R/W	1b	时钟错误中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
6	INT_MASK0	R/W	1b	PLL 锁定中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
5	RESERVED	R/W	1b	保留位；仅写入复位值
4	保留	R/W	1b	保留位；仅写入复位值
3	RESERVED	R/W	1b	保留位；仅写入复位值
2	RESERVED	R/W	1b	保留位；仅写入复位值
1	RESERVED	R/W	1b	保留位；仅写入复位值
0	RESERVED	R/W	1b	保留位；仅写入复位值

7.5.2.18 INT_MASK4 寄存器（地址 = 0x32）[复位 = 0x00]

表 7-126 中显示了 INT_MASK4。

返回到汇总表。

中断屏蔽。

表 7-126. INT_MASK4 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	RESERVED	读/写	0b	保留位；仅写入复位值
5	INT_MASK4	R/W	0b	OUT 短路故障中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
4	INT_MASK4	R/W	0b	DRVR 虚拟接地故障中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
3	INT_MASK4	R/W	0b	耳机插入检测中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
2	INT_MASK4	R/W	0b	耳机移除检测中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
1	INT_MASK4	R/W	0b	耳机检测挂钩（按钮）中断屏蔽。 0b = 不屏蔽 1b = 屏蔽
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.2.19 INT_MASK5 寄存器（地址 = 0x33）[复位 = 0x30]

表 7-127 展示了 INT_MASK5。

返回到汇总表。

中断屏蔽。

Copyright © 2024 Texas Instruments Incorporated

表 7-127. INT_MASK5 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK5	R/W	0b	GPA 上阈值故障屏蔽。 0b = 不屏蔽 1b = 屏蔽
6	INT_MASK5	R/W	0b	GPA 低阈值故障屏蔽。 0b = 不屏蔽 1b = 屏蔽
5	RESERVED	R/W	1b	保留位；仅写入复位值
4	保留	R/W	1b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	RESERVED	读/写	0b	保留位；仅写入复位值
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.2.20 INT_LTCH0 寄存器（地址 = 0x34）[复位 = 0x00]

表 7-128 展示了 INT_LTCH0。

返回到汇总表。

锁存中断读回。

表 7-128. INT_LTCH0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH0	R	0b	时钟错误导致的中断（自行清除位）。 0b = 无中断 1b = 中断
6	INT_LTCH0	R	0b	PLL 锁定导致的中断（自行清除位） 0b = 无中断 1b =中断
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.21 CHx_LTCH 寄存器（地址 = 0x35）[复位 = 0x00]

表 7-129 展示了 CHx_LTCH。

返回到汇总表。

通道级诊断锁存状态

表 7-129. CHx_LTCH 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	RESERVED	R	0b	保留位；仅写入复位值
5	STS_CHx_LTCH	R	0b	输出 CH1_LTCH 的状态。 0b = 输出通道 1 中未发生故障 1b = 输出通道 1 中发生故障

ADVANCE INFORMATION

表 7-129. CHx_LTCH 寄存器字段说明 （续）

位	字段	类型	复位	说明
4	STS_CHx_LTCH	R	0b	输出 CH2_LTCH 的状态。 0b = 输出通道 2 中未发生故障 1b = 输出通道 2 中发生故障
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.22 OUT_CH1_LTCH 寄存器（地址 = 0x38）[复位 = 0x00]

表 7-130 中显示了 OUT_CH1_LTCH。

返回到汇总表。

表 7-130. OUT_CH1_LTCH 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_CH1_LTCH	R	0b	OUT1P 短路故障（自行清零位）。 0b = 无短路故障 1b = 短路故障
6	OUT_CH1_LTCH	R	0b	OUT1M 短路故障（自行清零位）。 0b = 无短路故障 1b = 短路故障
5	OUT_CH1_LTCH	R	0b	通道 1 DRVRP 虚拟接地故障（自行清零位）。 0b = 无虚拟接地故障 1b = 虚拟接地故障
4	OUT_CH1_LTCH	R	0b	通道 1 DRVRM 虚拟接地故障（自行清零位）。 0b = 无虚拟接地故障 1b = 虚拟接地故障
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1-0	RESERVED	R	00b	保留位；仅写入复位值

7.5.2.23 OUT_CH2_LTCH 寄存器（地址 = 0x39）[复位 = 0x00]

表 7-131 中显示了 OUT_CH2_LTCH。

返回到汇总表。

表 7-131. OUT_CH2_LTCH 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_CH2_LTCH	R	0b	OUT2P 短路故障（自行清零位）。 0b = 无短路故障 1b = 短路故障
6	OUT_CH2_LTCH	R	0b	OUT2M 短路故障（自行清零位）。 0b = 无短路故障 1b = 短路故障
5	OUT_CH2_LTCH	R	0b	通道 2 DRVRP 虚拟接地故障（自行清零位）。 0b = 无虚拟接地故障 1b = 虚拟接地故障
4	OUT_CH2_LTCH	R	0b	通道 2 DRVRM 虚拟接地故障（自行清零位）。 0b = 无虚拟接地故障 1b = 虚拟接地故障
3-2	RESERVED	R	00b	保留位；仅写入复位值

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-131. OUT_CH2_LTCH 寄存器字段说明（续）

位	字段	类型	复位	说明
1	MASK_AREG_SC_FLAG	R/W	0b	AREG SC 故障屏蔽。 0b = 不屏蔽 1b = 屏蔽
0	AREG_SC_FLAG_LTCH	R	0b	AREG SC 故障（自行清零位）。 0b = 无 AREG 短路故障 1b = AREG 短路故障

7.5.2.24 INT_LTCH1 寄存器（地址 = 0x3A）[复位 = 0x00]

表 7-132 中显示了 INT_LTCH1。

返回到汇总表。

锁存中断读回。

表 7-132. INT_LTCH1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	RESERVED	R	0b	保留位；仅写入复位值
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	INT_LTCH1	R	0b	由于耳机插入检测而中断（自行清零位）。 0b = 无中断 1b = 中断
2	INT_LTCH1	R	0b	由于耳机移除检测而中断（自行清零位）。 0b = 无中断 1b = 中断
1	INT_LTCH1	R	0b	由于耳机挂钩（按钮）而中断（自行清零位）。 0b = 无中断 1b = 中断
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.25 INT_LTCH2 寄存器（地址 = 0x3B）[复位 = 0x00]

表 7-133 展示了 INT_LTCH2。

返回到汇总表。

锁存中断读回。

表 7-133. INT_LTCH2 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH2	R	0b	GPA 上阈值故障导致的中断（自行清除位）。 0b = 无中断 1b = 中断
6	INT_LTCH2	R	0b	GPA 低阈值故障导致的中断（自行清零位） 0b = 无中断 1b = 中断
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-133. INT_LTCH2 寄存器字段说明（续）

位	字段	类型	复位	说明
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.26 INT_LIVE0 寄存器（地址 = 0x3C）[复位 = 0x00]

表 7-134 展示了 INT_LIVE0。

返回到汇总表。

锁存中断读回。

表 7-134. INT_LIVE0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LIVE0	R	0b	时钟错误导致的中断。 0b = 无中断 1b = 中断
6	INT_LIVE0	R	0b	PLL 锁定导致的中断 0b = 无中断 1b = 中断
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.27 CHx_LIVE 寄存器（地址 = 0x3D）[复位 = 0x00]

表 7-135 展示了 CHx_LIVE。

返回到汇总表。

通道级诊断实时状态

表 7-135. CHx_LIVE 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	RESERVED	R	0b	保留位；仅写入复位值
5	STS_CHx_LIVE	R	0b	输出 CH1_LIVE 的状态。 0b = 输出通道 1 中未发生故障 1b = 输出通道 1 中发生故障
4	STS_CHx_LIVE	R	0b	输出 CH2_LIVE 的状态。 0b = 输出通道 2 中未发生故障 1b = 输出通道 2 中发生故障
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.28 OUT_CH1_LIVE 寄存器（地址 = 0x40）[复位 = 0x00]

表 7-136 中显示了 OUT_CH1_LIVE。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

返回到汇总表。

表 7-136. OUT_CH1_LIVE 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_CH1_LIVE	R	0b	OUT1P 短路故障。 0b = 无短路故障 1b = 短路故障
6	OUT_CH1_LIVE	R	0b	OUT1M 短路故障。 0b = 无短路故障 1b = 短路故障
5	OUT_CH1_LIVE	R	0b	通道 1 DRVRP 虚拟接地故障。 0b = 无虚拟接地故障 1b = 虚拟接地故障
4	OUT_CH1_LIVE	R	0b	通道 1 DRVRM 虚拟接地故障。 0b = 无虚拟接地故障 1b = 虚拟接地故障
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.2.29 OUT_CH2_LIVE 寄存器（地址 = 0x41）[复位 = 0x00]

表 7-137 中显示了 OUT_CH2_LIVE。

返回到汇总表。

表 7-137. OUT_CH2_LIVE 寄存器字段说明

位	字段	类型	复位	说明
7	OUT_CH2_LIVE	R	0b	OUT2P 短路故障。 0b = 无短路故障 1b = 短路故障
6	OUT_CH2_LIVE	R	0b	OUT2M 短路故障。 0b = 无短路故障 1b = 短路故障
5	OUT_CH2_LIVE	R	0b	通道 2 DRVRP 虚拟接地故障。 0b = 无虚拟接地故障 1b = 虚拟接地故障
4	OUT_CH2_LIVE	R	0b	通道 2 DRVRM 虚拟接地故障。 0b = 无虚拟接地故障 1b = 虚拟接地故障
3-1	RESERVED	R	000b	保留位；仅写入复位值
0	AREG_SC_FLAG_LIVE	R	0b	AREG SC 故障。 0b = 无 AREG 短路故障 1b = AREG 短路故障

7.5.2.30 INT_LIVE1 寄存器（地址 = 0x42）[复位 = 0x00]

表 7-138 中显示了 INT_LIVE1。

返回到汇总表。

实时中断读回。

表 7-138. INT_LIVE1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6	RESERVED	R	0b	保留位；仅写入复位值
5	RESERVED	R	0b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-138. INT_LIVE1 寄存器字段说明（续）

位	字段	类型	复位	说明
4	RESERVED	R	0b	保留位；仅写入复位值
3	INT_LIVE1	R	0b	由于耳机插入检测而中断。 0b = 无中断 1b = 中断
2	INT_LIVE1	R	0b	由于耳机移除检测而中断。 0b = 无中断 1b = 中断
2	INT_LIVE1	R	0b	由于耳机挂钩（按钮）而中断。 0b = 无中断 1b = 中断
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	

7.5.2.31 INT_LIVE2 寄存器（地址 = 0x43）[复位 = 0x00]

表 7-139 中显示了 INT_LIVE2。

返回到汇总表。

实时中断读回。

表 7-139. INT_LIVE2 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LIVE2	R	0b	GPA 上阈值故障导致的中断。 0b = 无中断 1b = 中断
6	INT_LIVE2	R	0b	GPA 低阈值故障导致的中断 0b = 无中断 1b = 中断
5	RESERVED	R	0b	保留位；仅写入复位值
4	RESERVED	R	0b	保留位；仅写入复位值
3	RESERVED	R	0b	保留位；仅写入复位值
2	保留	R	0b	保留位；仅写入复位值
1	RESERVED	R	0b	保留位；仅写入复位值
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.2.32 DIAG_CFG8 寄存器（地址 = 0x4E）[复位 = 0xBA]

表 7-140 展示了 DIAG_CFG8。

返回到汇总表。

表 7-140. DIAG_CFG8 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPA_UP_THRS_FLT_THRES[7:0]	R/W	10111010b	通用模拟高阈值 默认值 = ~ 2.6V nd = ((0.9×(N*16)/4095)-0·225)x6 (V)

7.5.2.33 DIAG_CFG9 寄存器（地址 = 0x4F）[复位 = 0x4B]

表 7-141 展示了 DIAG_CFG9。

返回到汇总表。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-141. DIAG_CFG9 寄存器字段说明

位	字段	类型	复位	说明
7-0	GPA_LOW_THRS_FLT_THRES[7:0]	R/W	01001011b	通用模拟低阈值 默认值 = ~ 0.2V nd = ((0.9×(N*16)/4095)-0·225)x6 (V)

7.5.2.34 DIAG_CFG14 寄存器（地址 = 0x54）[复位 = 0x48]

表 7-142 中显示了 DIAG_CFG14。

返回到汇总表。

表 7-142. DIAG_CFG14 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	AVDD_FILT_SEL[1:0]	读/写	10b	AVDD 滤波器选择 0d = 3.5MHz 1d = 200kHz 2d = 100kHz 3d = 无滤波器
4	保留	读/写	0b	保留位；仅写入复位值
3-2	VBAT_FILT_SEL[1:0]	读/写	10b	VBAT 滤波器选择 0d = 3.5MHz 1d = 200kHz 2d = 100kHz 3d = 无滤波器
1	RESERVED	读/写	0b	保留位；仅写入复位值
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.2.35 DIAGDATA_CFG 寄存器（地址 = 0x55）[复位 = 0x00]

表 7-143 中显示了 DIAGDATA_CFG。

返回到汇总表。

表 7-143. DIAGDATA_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0000b	保留位；仅写入复位值
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	RESERVED	读/写	0b	保留位；仅写入复位值
1	OVRD_VBAT_TEMP_DATA	R/W	0b	覆盖 VBAT 和 TEMP 数据 0b = 禁用覆盖 1b = 启用覆盖
0	HOLD_SAR_DATA	R/W	0b	在寄存器读回期间保持 SAR 数据更新 0b = 不保持数据更新，数据寄存器持续更新 1b = 保持数据更新，可完成数据寄存器读回

7.5.2.36 DIAG_MON_MSB_OUT1P 寄存器（地址 = 0x62）[复位 = 0x00]

表 7-144 中显示了 DIAG_MON_MSB_OUT1P。

返回到汇总表。

ADVANCE INFORMATION

表 7-144. DIAG_MON_MSB_OUT1P 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_OUT_CH1P[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.37 DIAG_MON_LSB_OUT1P 寄存器（地址 = 0x63）[复位 = 0x06]

表 7-145 中显示了 DIAG_MON_LSB_OUT1P。

返回到汇总表。

表 7-145. DIAG_MON_LSB_OUT1P 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_OUT_CH1P[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	0110b	通道 ID

7.5.2.38 DIAG_MON_MSB_OUT1M 寄存器（地址 = 0x64）[复位 = 0x00]

表 7-146 中显示了 DIAG_MON_MSB_OUT1M。

返回到汇总表。

表 7-146. DIAG_MON_MSB_OUT1M 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_OUT_CH1N[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.39 DIAG_MON_LSB_OUT1M 寄存器（地址 = 0x65）[复位 = 0x07]

表 7-147 中显示了 DIAG_MON_LSB_OUT1M。

返回到汇总表。

表 7-147. DIAG_MON_LSB_OUT1M 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_OUT_CH1N[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	0111b	通道 ID

7.5.2.40 DIAG_MON_MSB_OUT2P 寄存器（地址 = 0x66）[复位 = 0x00]

表 7-148 中显示了 DIAG_MON_MSB_OUT2P。

返回到汇总表。

表 7-148. DIAG_MON_MSB_OUT2P 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_OUT_CH2P[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.41 DIAG_MON_LSB_OUT2P 寄存器（地址 = 0x67）[复位 = 0x08]

表 7-149 中显示了 DIAG_MON_LSB_OUT2P。

Copyright © 2024 Texas Instruments Incorporated

返回到汇总表。

表 7-149. DIAG_MON_LSB_OUT2P 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_OUT_CH2P[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	1000b	通道 ID

7.5.2.42 DIAG_MON_MSB_OUT2M 寄存器（地址 = 0x68）[复位 = 0x00]

表 7-150 中显示了 DIAG_MON_MSB_OUT2M。

返回到汇总表。

表 7-150. DIAG_MON_MSB_OUT2M 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_OUT_CH2N[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.43 DIAG_MON_LSB_OUT2M 寄存器（地址 = 0x69）[复位 = 0x09]

表 7-151 中显示了 DIAG_MON_LSB_OUT2M。

返回到汇总表。

表 7-151. DIAG_MON_LSB_OUT2M 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_OUT_CH2N[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	1001b	通道 ID

7.5.2.44 DIAG_MON_MSB_TEMP 寄存器（地址 = 0x6A）[复位 = 0x00]

表 7-152 展示了 DIAG_MON_MSB_TEMP。

返回到汇总表。

表 7-152. DIAG_MON_MSB_TEMP 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_TEMP[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.45 DIAG_MON_LSB_TEMP 寄存器（地址 = 0x6B）[复位 = 0x0A]

表 7-153 展示了 DIAG_MON_LSB_TEMP。

返回到汇总表。

表 7-153. DIAG_MON_LSB_TEMP 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_TEMP[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	1010b	通道 ID

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5.2.46 DIAG_MON_MSB_AVDD 寄存器（地址 = 0x6E）[复位 = 0x00]

表 7-154 展示了 DIAG_MON_MSB_AVDD。

返回到汇总表。

表 7-154. DIAG_MON_MSB_AVDD 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_AVDD[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.47 DIAG_MON_LSB_AVDD 寄存器（地址 = 0x6F）[复位 = 0x0C]

表 7-155 展示了 DIAG_MON_LSB_AVDD。

返回到汇总表。

表 7-155. DIAG_MON_LSB_AVDD 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_AVDD[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	1100b	通道 ID

7.5.2.48 DIAG_MON_MSB_GPA 寄存器（地址 = 0x70）[复位 = 0x00]

表 7-156 展示了 DIAG_MON_MSB_GPA。

返回到汇总表。

表 7-156. DIAG_MON_MSB_GPA 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIAG_MON_MSB_GPA[7:0]	R	00000000b	诊断 SAR 监控数据 MSB 字节

7.5.2.49 DIAG_MON_LSB_GPA 寄存器（地址 = 0x71）[复位 = 0x0D]

表 7-157 展示了 DIAG_MON_LSB_GPA。

返回到汇总表。

表 7-157. DIAG_MON_LSB_GPA 寄存器字段说明

位	字段	类型	复位	说明
7-4	DIAG_MON_LSB_GPA[3:0]	R	0000b	诊断 SAR 监控数据 LSB 半字节
3-0	Channel[3:0]	R	1101b	通道 ID

Copyright © 2024 Texas Instruments Incorporated

7.5.3 TAD5212_P3 寄存器

表 7-158 列出了 TAD5212_P3 寄存器的存储器映射寄存器。表 7-158 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-158. TAD5212_P3 寄存器

地址	首字母缩写	寄存器名称	复位值	部分
0x0	PAGE_CFG	器件页寄存器	0x00	PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]
0x1A	SASI_CFG0	辅助 ASI 配置寄存器 0	0x30	SASI_CFG0 寄存器（地址 = 0x1A）[复位 = 0x30]
0x1B	SASI_TX_CFG0	SASI TX 配置寄存器 0	0x00	SASI_TX_CFG0 寄存器（地址 = 0x1B）[复位 = 0x00]
0x1C	SASI_TX_CFG1	SASI TX 配置寄存器 1	0x00	SASI_TX_CFG1 寄存器（地址 = 0x1C）[复位 = 0x00]
0x1D	SASI_TX_CFG2	SASI TX 配置寄存器 2	0x00	SASI_TX_CFG2 寄存器（地址 = 0x1D）[复位 = 0x00]
0x20	SASI_TX_CH3_CFG	SASI TX 通道 3 配置寄存器	0x02	SASI_TX_CH3_CFG 寄存器（地址 = 0x20）[复位 = 0x02]
0x21	SASI_TX_CH4_CFG	SASI TX 通道 4 配置寄存器	0x03	SASI_TX_CH4_CFG 寄存器（地址 = 0x21）[复位 = 0x03]
0x22	SASI_TX_CH5_CFG	SASI TX 通道 5 配置寄存器	0x04	SASI_TX_CH5_CFG 寄存器（地址 = 0x22）[复位 = 0x04]
0x23	SASI_TX_CH6_CFG	SASI TX 通道 6 配置寄存器	0x05	SASI_TX_CH6_CFG 寄存器（地址 = 0x23）[复位 = 0x05]
0x24	SASI_TX_CH7_CFG	SASI TX 通道 7 配置寄存器	0x06	SASI_TX_CH7_CFG 寄存器（地址 = 0x24）[复位 = 0x06]
0x25	SASI_TX_CH8_CFG	SASI TX 通道 8 配置寄存器	0x07	SASI_TX_CH8_CFG 寄存器（地址 = 0x25）[复位 = 0x07]
0x26	SASI_RX_CFG0	SASI RX 配置寄存器 0	0x00	SASI_RX_CFG0 寄存器（地址 = 0x26）[复位 = 0x00]
0x27	SASI_RX_CFG1	SASI RX 配置寄存器 1	0x00	SASI_RX_CFG1 寄存器（地址 = 0x27）[复位 = 0x00]
0x28	SASI_RX_CH1_CFG	SASI RX 通道 1 配置寄存器	0x00	SASI_RX_CH1_CFG 寄存器（地址 = 0x28）[复位 = 0x00]
0x29	SASI_RX_CH2_CFG	SASI RX 通道 2 配置寄存器	0x01	SASI_RX_CH2_CFG 寄存器（地址 = 0x29）[复位 = 0x01]
0x2A	SASI_RX_CH3_CFG	SASI RX 通道 3 配置寄存器	0x02	SASI_RX_CH3_CFG 寄存器（地址 = 0x2A）[复位 = 0x02]
0x2B	SASI_RX_CH4_CFG	SASI RX 通道 4 配置寄存器	0x03	SASI_RX_CH4_CFG 寄存器（地址 = 0x2B）[复位 = 0x03]

ADVANCE INFORMATION

ADVANCE INFORMATION

表 7-158. TAD5212_P3 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x2C	SASI_RX_CH5_CFG	SASI RX 通道 5 配置寄存器	0x04	SASI_RX_CH5_CFG 寄存器（地址 = 0x2C）[复位 = 0x04]
0x2D	SASI_RX_CH6_CFG	SASI RX 通道 6 配置寄存器	0x05	SASI_RX_CH6_CFG 寄存器（地址 = 0x2D）[复位 = 0x05]
0x2E	SASI_RX_CH7_CFG	SASI RX 通道 7 配置寄存器	0x06	SASI_RX_CH7_CFG 寄存器（地址 = 0x2E）[复位 = 0x06]
0x2F	SASI_RX_CH8_CFG	SASI RX 通道 8 配置寄存器	0x07	SASI_RX_CH8_CFG 寄存器（地址 = 0x2F）[复位 = 0x07]
0x32	CLK_CFG12	时钟配置寄存器 12	0x00	CLK_CFG12 寄存器（地址 = 0x32）[复位 = 0x00]
0x33	CLK_CFG13		0x00	CLK_CFG13 寄存器（地址 = 0x33）[复位 = 0x00]
0x34	CLK_CFG14	时钟配置寄存器 14	0x10	CLK_CFG14 寄存器（地址 = 0x34）[复位 = 0x10]
0x35	CLK_CFG15	时钟配置寄存器 15	0x01	CLK_CFG15 寄存器（地址 = 0x35）[复位 = 0x01]
0x36	CLK_CFG16	时钟配置寄存器 16	0x00	CLK_CFG16 寄存器（地址 = 0x36）[复位 = 0x00]
0x37	CLK_CFG17	时钟配置寄存器 17	0x00	CLK_CFG17 寄存器（地址 = 0x37）[复位 = 0x00]
0x38	CLK_CFG18	时钟配置寄存器 18	0x08	CLK_CFG18 寄存器（地址 = 0x38）[复位 = 0x08]
0x39	CLK_CFG19	时钟配置寄存器 19	0x20	CLK_CFG19 寄存器（地址 = 0x39）[复位 = 0x20]
0x3A	CLK_CFG20	时钟配置寄存器 20	0x04	CLK_CFG20 寄存器（地址 = 0x3A）[复位 = 0x04]
0x3B	CLK_CFG21	时钟配置寄存器 21	0x00	CLK_CFG21 寄存器（地址 = 0x3B）[复位 = 0x00]
0x3C	CLK_CFG22	时钟配置寄存器 18	0x01	CLK_CFG22 寄存器（地址 = 0x3C）[复位 = 0x01]
0x3D	CLK_CFG23	时钟配置寄存器 18	0x01	CLK_CFG23 寄存器（地址 = 0x3D）[复位 = 0x01]
0x3E	CLK_CFG24	时钟配置寄存器 21	0x01	CLK_CFG24 寄存器（地址 = 0x3E）[复位 = 0x01]
0x44	CLK_CFG30		0x00	CLK_CFG30 寄存器（地址 = 0x44）[复位 = 0x00]
0x45	CLK_CFG31		0x00	CLK_CFG31 寄存器（地址 = 0x45）[复位 = 0x00]

Copyright © 2024 Texas Instruments Incorporated

表 7-158. TAD5212_P3 寄存器（续）

地址	首字母缩写	寄存器名称	复位值	部分
0x46	CLKOUT_CFG1	CLKOUT 配置寄存器 1	0x00	CLKOUT_CFG1 寄存器（地址 = 0x46）[复位 = 0x00]
0x47	CLKOUT_CFG2	CLKOUT 配置寄存器 2	0x01	CLKOUT_CFG2 寄存器（地址 = 0x47）[复位 = 0x01]
0x49	SARCLK_CFG1	SAR 时钟配置寄存器 1	0x00	SARCLK_CFG1 寄存器（地址 = 0x49）[复位 = 0x00]

7.5.3.1 PAGE_CFG 寄存器（地址 = 0x0）[复位 = 0x00]

表 7-159 展示了 PAGE_CFG。

返回到汇总表。

器件存储器映射分为多个页面。该寄存器设置页。

表 7-159. PAGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	00000000b	这些位设置器件页。 0d = 第 0 页 1d = 第 1 页 2d 至 254d = 第 2 页至第 254 页 255d = 第 255 页

7.5.3.2 SASI_CFG0 寄存器（地址 = 0x1A）[复位 = 0x30]

表 7-160 展示了 SASI_CFG0。

返回到汇总表。

该寄存器是 ASI 配置寄存器 0。

表 7-160. SASI_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	SASI_FORMAT[1:0]	R/W	00b	辅助 ASI 协议格式。 0d = TDM 模式 1d = I^2S 模式 2d = LJ（左对齐）模式 3d = 保留；不使用
5-4	SASI_WLEN[1:0]	R/W	11b	辅助 ASI 字长或时隙长度。 0d = 16 位（建议将此设置与 10kΩ 输入阻抗配置一起使用) 1d = 20 位 2d = 24 位 3d = 32 位
3	SASI_FSYNC_POL	R/W	0b	ASI FSYNC 极性（仅适用于 SASI 协议）。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
2	SASI_BCLK_POL	R/W	0b	ASI BCLK 极性（仅适用于 SASI 协议）。 0d = 符合标准协议的默认极性 1d = 相对于标准协议的反向极性
1	SASI_BUS_ERR	R/W	0b	ASI 总线错误检测。 0d = 启用总线错误检测 1d = 禁用总线错误检测

ADVANCE INFORMATION

表 7-160. SASI_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SASI_BUS_ERR_RCOV	R/W	0b	ASI 总线错误自动恢复。 0d = 启用总线错误恢复后自动恢复 1d = 禁用总线错误恢复后自动恢复，并在主机配置器件之前保持断电状态

7.5.3.3 SASI_TX_CFG0 寄存器（地址 = 0x1B）[复位 = 0x00]

表 7-161 展示了 SASI_TX_CFG0。

返回到汇总表。

该寄存器是 SASI TX 配置寄存器 0。

表 7-161. SASI_TX_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	SASI_TX_EDGE	R/W	0b	辅助 ASI 数据输出（在主要和辅助数据引脚上）发送边沿。 0d = 基于 SASI_BCLK_POL 中协议配置设置的默认边沿 1d = 相对于默认边沿设置的反相随后边沿（半个周期延迟）
6	SASI_TX_FILL	R/W	0b	任何未使用周期的辅助 ASI 数据输出（在主要和辅助数据引脚上） 0d = 针对未使用周期始终发送 0 1d = 针对未使用周期始终使用高阻态
5	SASI_TX_LSB	R/W	0b	用于 LSB 传输的辅助 ASI 数据输出（在主要和辅助数据引脚上）。 0d =在一个完整周期内发送 LSB 1d = 在前半个周期内发送 LSB，在后半个周期内发送高阻态
4-3	SASI_TX_KEEPER[1:0]	R/W	00b	辅助 ASI 数据输出（在主要和辅助数据引脚上）总线保持器。 0d = 始终禁用总线保持器 1d = 始终启用总线保持器 2d = 总线保持器仅在 LSB 传输期间启用一个周期 3d = 总线保持器仅在 LSB 传输期间启用一个半周期
2	SASI_TX_USE_INT_FSYNC	R/W	0b	辅助 ASI 使用内部 FSYNC 在控制器模式配置中根据情况生成输出数据。 0d = 使用外部 FSYNC 进行 ASI 协议数据生成 1d = 使用内部 FSYNC 进行 ASI 协议数据生成
1	SASI_TX_USE_INT_BCLK	R/W	0b	辅助 ASI 使用内部 BCLK 在控制器模式配置中生成输出数据。 0d = 使用外部 BCLK 进行 ASI 协议数据生成 1d = 使用内部 BCLK 进行 ASI 协议数据生成
0	SASI_TDM_PULSE_WIDTH	R/W	0b	TDM 格式的辅助 ASI fsync 脉冲宽度。 0d = Fsync 脉冲为 1 个 bclk 周期宽度 1d = Fsync 脉冲为 2 个 bclk 周期宽度

7.5.3.4 SASI_TX_CFG1 寄存器（地址 = 0x1C）[复位 = 0x00]

表 7-162 展示了 SASI_TX_CFG1。

返回到汇总表。

该寄存器是 SASI TX 配置寄存器 1。

表 7-162. SASI_TX_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	000b	保留位；仅写入复位值

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-162. SASI_TX_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_TX_OFFSET[4:0]	R/W	00000b	辅助 ASI 输出数据 MSB 时隙 0 偏移（在主要和辅助数据引脚上）。 0d = ASI 数据 MSB 位置没有偏移，并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移

7.5.3.5 SASI_TX_CFG2 寄存器（地址 = 0x1D）[复位 = 0x00]

表 7-163 展示了 SASI_TX_CFG2。

返回到汇总表。

该寄存器是 SASI TX 配置寄存器 2。

表 7-163. SASI_TX_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	SASI_TX_CH8_SEL	R/W	0b	辅助 ASI 输出通道 8 选择。 0d = 辅助 ASI 通道 8 输出在 DOUT 上 1d = 辅助 ASI 通道 8 输出在 DOUT2 上
6	SASI_TX_CH7_SEL	R/W	0b	辅助 ASI 输出通道 7 选择。 0d = 辅助 ASI 通道 7 输出在 DOUT 上 1d = 辅助 ASI 通道 7 输出在 DOUT2 上
5	SASI_TX_CH6_SEL	R/W	0b	辅助 ASI 输出通道 6 选择。 0d = 辅助 ASI 通道 6 输出在 DOUT 上 1d = 辅助 ASI 通道 6 输出在 DOUT2 上
4	SASI_TX_CH5_SEL	R/W	0b	辅助 ASI 输出通道 5 选择。 0d = 辅助 ASI 通道 5 输出在 DOUT 上 1d = 辅助 ASI 通道 5 输出在 DOUT2 上
3	SASI_TX_CH4_SEL	R/W	0b	辅助 ASI 输出通道 4 选择。 0d = 辅助 ASI 通道 4 输出在 DOUT 上 1d = 辅助 ASI 通道 4 输出在 DOUT2 上
2	SASI_TX_CH3_SEL	R/W	0b	辅助 ASI 输出通道 3 选择。 0d = 辅助 ASI 通道 3 输出在 DOUT 上 1d = 辅助 ASI 通道 3 输出在 DOUT2 上
1	RESERVED	读/写	0b	保留位；仅写入复位值
0	RESERVED	读/写	0b	保留位；仅写入复位值

7.5.3.6 SASI_TX_CH3_CFG 寄存器（地址 = 0x20）[复位 = 0x02]

表 7-164 中显示了 SASI_TX_CH3_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 3 配置寄存器。

表 7-164. SASI_TX_CH3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-164. SASI_TX_CH3_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
6-5	SASI_TX_CH3_CFG[1:0]	R/W	00b	辅助 ASI 输出通道 3 配置。 0d = 辅助 ASI 通道 3 输出处于三态条件 不使用 2d = 辅助 ASI 通道 3 输出对应于 VBAT 数据 3d = 保留
4-0	SASI_TX_CH3_SLOT_NUM[4:0]	R/W	00010b	辅助 ASI 输出通道 3 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.3.7 SASI_TX_CH4_CFG 寄存器（地址 = 0x21）[复位 = 0x03]

表 7-165 展示了 SASI_TX_CH4_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 4 配置寄存器。

表 7-165. SASI_TX_CH4_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_TX_CH4_CFG[1:0]	R/W	00b	辅助 ASI 输出通道 4 配置。 0d = 辅助 ASI 通道 4 输出处于三态条件 不使用 2d = 辅助 ASI 通道 4 输出对应于 TEMP 数据 3d = 保留
4-0	SASI_TX_CH4_SLOT_NUM[4:0]	R/W	00011b	辅助 ASI 输出通道 4 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.3.8 SASI_TX_CH5_CFG 寄存器（地址 = 0x22）[复位 = 0x04]

表 7-166 展示了 SASI_TX_CH5_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 5 配置寄存器。

表 7-166. SASI_TX_CH5_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_TX_CH5_CFG[1:0]	R/W	00b	辅助 ASI 输出通道 5 配置。 0d = 辅助 ASI 通道 5 输出处于三态条件 1d = 辅助 ASI 通道 5 输出对应于 ASI 输入通道 1 环回数据 2d = 辅助 ASI 通道 5 输出对应于回声基准通道 1 数据 3d = 保留

Copyright © 2024 Texas Instruments Incorporated

表 7-166. SASI_TX_CH5_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_TX_CH5_SLOT_NUM[4:0]	R/W	00100b	辅助 ASI 输出通道 5 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.9 SASI_TX_CH6_CFG 寄存器（地址 = 0x23）[复位 = 0x05]

表 7-167 展示了 SASI_TX_CH6_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 6 配置寄存器。

表 7-167. SASI_TX_CH6_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_TX_CH6_CFG[1:0]	R/W	00b	辅助 ASI 输出通道 6 配置。 0d = 辅助 ASI 通道 6 输出处于三态条件 1d = 辅助 ASI 通道 6 输出对应于 ASI 输入通道 2 环回数据 2d = 辅助 ASI 通道 6 输出对应于回声基准通道 2 数据 3d = 保留
4-0	SASI_TX_CH6_SLOT_NUM[4:0]	R/W	00101b	辅助 ASI 输出通道 6 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.10 SASI_TX_CH7_CFG 寄存器（地址 = 0x24）[复位 = 0x06]

表 7-168 展示了 SASI_TX_CH7_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 7 配置寄存器。

表 7-168. SASI_TX_CH7_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_TX_CH7_CFG[1:0]	R/W	00b	辅助 ASI 输出通道 7 配置。 0d = 辅助 ASI 通道 7 输出处于三态条件 1d = 辅助 ASI 通道 7 输出对应于 {VBAT_WLby2, TEMP_WLby2} 2d = 辅助 ASI 通道 7 输出对应于 {echo_ref_ch1_wlby2, echo_ref_ch2_wlby2} 3d = 保留

ADVANCE INFORMATION

表 7-168. SASI_TX_CH7_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_TX_CH7_SLOT_NUM[4:0]	R/W	00110b	辅助 ASI 输出通道 7 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.11 SASI_TX_CH8_CFG 寄存器（地址 = 0x25）[复位 = 0x07]

表 7-169 中显示了 SASI_TX_CH8_CFG。

返回到汇总表。

该寄存器是 SASI TX 通道 8 配置寄存器。

表 7-169. SASI_TX_CH8_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	SASI_TX_CH8_CFG	R/W	0b	辅助 ASI 输出通道 8 配置。 0d = 辅助 ASI 通道 8 输出处于三态条件 1d = 辅助 ASI 通道 8 输出对应于 ICLA 数据
4-0	SASI_TX_CH8_SLOT_NUM[4:0]	R/W	00111b	辅助 ASI 输出通道 8 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.12 SASI_RX_CFG0 寄存器（地址 = 0x26）[复位 = 0x00]

表 7-170 展示了 SASI_RX_CFG0。

返回到汇总表。

该寄存器是 SASI RX 配置寄存器 0。

表 7-170. SASI_RX_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7	SASI_RX_EDGE	R/W	0b	辅助 ASI 数据输入（在主要和辅助数据引脚上）接收边沿。 0d = 基于位 2 (BCLK_POL) 中协议配置设置的默认边沿 1d = 相对于默认边沿设置的反相随后边沿（半个周期延迟）
6	SASI_RX_USE_INT_FSYNC	R/W	0b	辅助 ASI 使用内部 FSYNC 在控制器模式配置中根据情况锁存输入数据。 0d = 使用外部 FSYNC 进行 ASI 协议数据锁存 1d = 使用内部 FSYNC 进行 ASI 协议数据锁存
5	SASI_RX_USE_INT_BCLK	R/W	0b	辅助 ASI 使用内部 BCLK 在控制器模式配置中锁存输入数据。 0d = 使用外部 BCLK 进行 ASI 协议数据锁存 1d = 使用内部 BCLK 进行 ASI 协议数据锁存

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-170. SASI_RX_CFG0 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_RX_OFFSET[4:0]	R/W	00000b	辅助 ASI 输入数据 MSB 时隙 0 偏移（在主要和辅助数据引脚上）。 0d = ASI 数据 MSB 位置没有偏移，并符合标准协议 1d = 一个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 2d = 两个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）的偏移 3d 至 30d = 根据配置分配的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移 31d = 31 个 BCLK 周期相对于标准协议的 ASI 数据 MSB 位置（TDM 模式是时隙 0 或 I^2S，LJ 模式是左侧和右侧时隙 0）偏移

7.5.3.13 SASI_RX_CFG1 寄存器（地址 = 0x27）[复位 = 0x00]

表 7-171 中显示了 SASI_RX_CFG1。

返回到汇总表。

该寄存器是 SASI RX 配置寄存器 1。

表 7-171. SASI_RX_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	SASI_RX_CH8_SEL	R/W	0b	辅助 ASI 输入通道 8 选择。 0d = 辅助 ASI 通道 8 输入在 DIN 上 1d = 辅助 ASI 通道 8 输入在 DIN2 上
6	SASI_RX_CH7_SEL	R/W	0b	辅助 ASI 输入通道 7 选择。 0d = 辅助 ASI 通道 7 输入在 DIN 上 1d = 辅助 ASI 通道 7 输入在 DIN2 上
5	SASI_RX_CH6_SEL	R/W	0b	辅助 ASI 输入通道 6 选择。 0d = 辅助 ASI 通道 6 输入在 DIN 上 1d = 辅助 ASI 通道 6 输入在 DIN2 上
4	SASI_RX_CH5_SEL	R/W	0b	辅助 ASI 输入通道 5 选择。 0d = 辅助 ASI 通道 5 输入在 DIN 上 1d = 辅助 ASI 通道 5 输入在 DIN2 上
3	SASI_RX_CH4_SEL	R/W	0b	辅助 ASI 输入通道 4 选择。 0d = 辅助 ASI 通道 4 输入在 DIN 上 1d = 辅助 ASI 通道 4 输入在 DIN2 上
2	SASI_RX_CH3_SEL	R/W	0b	辅助 ASI 输入通道 3 选择。 0d = 辅助 ASI 通道 3 输入在 DIN 上 1d = 辅助 ASI 通道 3 输入在 DIN2 上
1	SASI_RX_CH2_SEL	R/W	0b	辅助 ASI 输入通道 2 选择。 0d = 辅助 ASI 通道 2 输入在 DIN 上 1d = 辅助 ASI 通道 2 输入在 DIN2 上
0	SASI_RX_CH1_SEL	R/W	0b	辅助 ASI 输入通道 1 选择。 0d = 辅助 ASI 通道 1 输入在 DIN 上 1d = 辅助 ASI 通道 1 输入在 DIN2 上

7.5.3.14 SASI_RX_CH1_CFG 寄存器（地址 = 0x28）[复位 = 0x00]

表 7-172 中显示了 SASI_RX_CH1_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 1 配置寄存器。

表 7-172. SASI_RX_CH1_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值

ADVANCE INFORMATION

表 7-172. SASI_RX_CH1_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
5	SASI_RX_CH1_CFG	R/W	0b	辅助 ASI 输入通道 1 配置。 0d = 禁用辅助 ASI 通道 1 输入 1d = 辅助 ASI 通道 1 输入对应于 DAC 通道 1 数据
4-0	SASI_RX_CH1_SLOT_NUM[4:0]	R/W	00000b	辅助 ASI 输入通道 1 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

ADVANCE INFORMATION

7.5.3.15 SASI_RX_CH2_CFG 寄存器（地址 = 0x29）[复位 = 0x01]

表 7-173 中显示了 SASI_RX_CH2_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 2 配置寄存器。

表 7-173. SASI_RX_CH2_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	SASI_RX_CH2_CFG	R/W	0b	辅助 ASI 输入通道 2 配置。 0d = 禁用辅助 ASI 通道 2 输入 1d = 辅助 ASI 通道 2 输入对应于 DAC 通道 2 数据
4-0	SASI_RX_CH2_SLOT_NUM[4:0]	R/W	00001b	辅助 ASI 输入通道 2 时隙分配。 0d = TDM 是时隙 0 或 I^2S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I^2S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I^2S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I^2S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I^2S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I^2S，LJ 是右侧时隙 15

7.5.3.16 SASI_RX_CH3_CFG 寄存器（地址 = 0x2A）[复位 = 0x02]

表 7-174 中显示了 SASI_RX_CH3_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 3 配置寄存器。

表 7-174. SASI_RX_CH3_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	SASI_RX_CH3_CFG	R/W	0b	辅助 ASI 输入通道 3 配置。 0d = 禁用辅助 ASI 通道 3 输入 1d = 辅助 ASI 通道 3 输入对应于 DAC 通道 3 数据

Copyright © 2024 Texas Instruments Incorporated

表 7-174. SASI_RX_CH3_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_RX_CH3_SLOT_NUM[4:0]	R/W	00010b	辅助 ASI 输入通道 3 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.17 SASI_RX_CH4_CFG 寄存器（地址 = 0x2B）[复位 = 0x03]

表 7-175 中显示了 SASI_RX_CH4_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 4 配置寄存器。

表 7-175. SASI_RX_CH4_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5	SASI_RX_CH4_CFG	R/W	0b	辅助 ASI 输入通道 4 配置。 0d = 禁用辅助 ASI 通道 4 输入 1d = 辅助 ASI 通道 4 输入对应于 DAC 通道 4 数据
4-0	SASI_RX_CH4_SLOT_NUM[4:0]	R/W	00011b	辅助 ASI 输入通道 4 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.18 SASI_RX_CH5_CFG 寄存器（地址 = 0x2C）[复位 = 0x04]

表 7-176 中显示了 SASI_RX_CH5_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 5 配置寄存器。

表 7-176. SASI_RX_CH5_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_RX_CH5_CFG[1:0]	R/W	00b	辅助 ASI 输入通道 5 配置。 0d = 禁用辅助 ASI 通道 5 输入 1d = 辅助 ASI 通道 5 输入对应于 DAC 通道 5 数据 2d = 辅助 ASI 通道 5 输入对应于 ADC 通道 1 输出环回 3d = 保留

ADVANCE INFORMATION

表 7-176. SASI_RX_CH5_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_RX_CH5_SLOT_NUM[4:0]	R/W	00100b	辅助 ASI 输入通道 5 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.19 SASI_RX_CH6_CFG 寄存器（地址 = 0x2D）[复位 = 0x05]

表 7-177 中显示了 SASI_RX_CH6_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 6 配置寄存器。

表 7-177. SASI_RX_CH6_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_RX_CH6_CFG[1:0]	R/W	00b	辅助 ASI 输入通道 6 配置。 0d = 禁用辅助 ASI 通道 6 输入 1d = 辅助 ASI 通道 6 输入对应于 DAC 通道 6 数据 2d = 辅助 ASI 通道 6 输入对应于 ADC 通道 2 输出环回 3d = 辅助 ASI 通道 6 输入对应于 ICLA 器件 1 数据
4-0	SASI_RX_CH6_SLOT_NUM[4:0]	R/W	00101b	辅助 ASI 输入通道 6 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.20 SASI_RX_CH7_CFG 寄存器（地址 = 0x2E）[复位 = 0x06]

表 7-178 中显示了 SASI_RX_CH7_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 7 配置寄存器。

表 7-178. SASI_RX_CH7_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_RX_CH7_CFG[1:0]	R/W	00b	辅助 ASI 输入通道 7 配置。 0d = 禁用辅助 ASI 通道 7 输入 1d = 辅助 ASI 通道 7 输入对应于 DAC 通道 7 数据 2d = 辅助 ASI 通道 7 输入对应于 ADC 通道 3 输出环回 3d = 辅助 ASI 通道 7 输入对应于 ICLA 器件 2 数据

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-178. SASI_RX_CH7_CFG 寄存器字段说明（续）

位	字段	类型	复位	说明
4-0	SASI_RX_CH7_SLOT_NUM[4:0]	R/W	00110b	辅助 ASI 输入通道 7 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.21 SASI_RX_CH8_CFG 寄存器（地址 = 0x2F）[复位 = 0x07]

表 7-179 中显示了 SASI_RX_CH8_CFG。

返回到汇总表。

该寄存器是 SASI RX 通道 8 配置寄存器。

表 7-179. SASI_RX_CH8_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-5	SASI_RX_CH8_CFG[1:0]	R/W	00b	辅助 ASI 输入通道 8 配置。 0d = 禁用辅助 ASI 通道 8 输入 1d = 辅助 ASI 通道 8 输入对应于 DAC 通道 8 数据 2d = 辅助 ASI 通道 8 输入对应于 ADC 通道 4 输出环回 3d = 辅助 ASI 通道 8 输入对应于 ICLA 器件 3 数据
4-0	SASI_RX_CH8_SLOT_NUM[4:0]	R/W	00111b	辅助 ASI 输入通道 8 时隙分配。 0d = TDM 是时隙 0 或 I²S，LJ 是左侧时隙 0 1d = TDM 是时隙 1 或 I²S，LJ 是左侧时隙 1 2d 至 14d = 分配的时隙视配置而定 15d = TDM 是时隙 15 或 I²S，LJ 是左侧时隙 15 16d = TDM 是时隙 16 或 I²S，LJ 是右侧时隙 0 17d = TDM 是时隙 17 或 I²S，LJ 是右侧时隙 1 18d 至 30d = 分配的时隙视配置而定 31d = TDM 是时隙 31 或 I²S，LJ 是右侧时隙 15

7.5.3.22 CLK_CFG12 寄存器（地址 = 0x32）[复位 = 0x00]

表 7-180 中显示了 CLK_CFG12。

返回到汇总表。

该寄存器是时钟配置寄存器 12。

表 7-180. CLK_CFG12 寄存器字段说明

位	字段	类型	复位	说明
7-6	PDIV_CLKSRC_SEL[1:0]	R/W	00b	PLL PDIV 分频器的源时钟选择 0d = PLL_PDIV_IN_CLK 是主要 ASI BCLK 1d = PLL_PDIV_IN_CLK 是辅助 ASI BCLK 2d = PLL_PDIV_IN_CLK 是 CCLK 3d = PLL_PDIV_IN_CLK 是内部振荡器时钟
5-3	PASI_BCLK_DIV_CLK_SEL[2:0]	R/W	000b	主要 ASI BCLK 分频器时钟源选择。 0d = 主要 ASI BCLK 分频器时钟源是 PLL 输出 1d = 保留 2d = 主要 ASI BCLK 分频器时钟源是辅助 ASI BCLK 3d = 主要 ASI BCLK 分频器时钟源是 CCLK 4d = 主要 ASI BCLK 分频器时钟源是内部振荡器时钟 5d = 主要 ASI BCLK 分频器时钟源是 DSP 时钟 6d 至 7d = 保留

ADVANCE INFORMATION

表 7-180. CLK_CFG12 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	RESERVED	R	000b	保留位；仅写入复位值

7.5.3.23 CLK_CFG13 寄存器（地址 = 0x33）[复位 = 0x00]

表 7-181 展示了 CLK_CFG13。

返回到汇总表。

表 7-181. CLK_CFG13 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0b	保留位；仅写入复位值
6-4	SASI_BCLK_DIV_CLK_SEL[2:0]	R/W	000b	辅助 ASI BCLK 分频器时钟源选择。 0d = 辅助 ASI BCLK 分频器时钟源是 PLL 输出 1d = 辅助 ASI BCLK 分频器时钟源是主要 ASI BCLK 2d = 保留 3d = 辅助 ASI BCLK 分频器时钟源是 CCLK 4d = 辅助 ASI BCLK 分频器时钟源是内部振荡器时钟 5d = 辅助 ASI BCLK 分频器时钟源是 DSP 时钟 6d 至 7d = 保留
3-0	RESERVED	R	0000b	保留位；仅写入复位值

7.5.3.24 CLK_CFG14 寄存器（地址 = 0x34）[复位 = 0x10]

表 7-182 展示了 CLK_CFG14。

返回到汇总表。

该寄存器是时钟配置寄存器 14。

表 7-182. CLK_CFG14 寄存器字段说明

位	字段	类型	复位	说明
7-6	DIG_NM_DIV_CLK_SRC_SEL[1:0]	R/W	00b	DIG NMDIV CLK 时钟的源时钟选择。 0d = DIG NM 分频器输入时钟是主要 ASI BCLK 1d = DIG NM 分频器输入时钟是辅助 ASI BCLK 2d = DIG NM 分频器输入时钟是 CCLK 3d = DIG NM 分频器输入时钟是内部振荡器时钟
5-4	ANA_NM_DIV_CLK_SRC_SEL[1:0]	R/W	01b	NMDIV CLK 时钟的源时钟选择。 0d = NM 分频器输入时钟是 PLL 输出 1d = NM 分频器输入时钟是 PLL 输出 2d = NM 分频器输入时钟是 DIG NM 分频器时钟源 3d = NM 分频器输入时钟是主要 ASI BCLK（低抖动路径）
3-2	RESERVED	读/写	00b	保留位；仅写入复位值
1-0	保留	读/写	00b	保留位；仅写入复位值

7.5.3.25 CLK_CFG15 寄存器（地址 = 0x35）[复位 = 0x01]

表 7-183 展示了 CLK_CFG15。

返回到汇总表。

该寄存器是时钟配置寄存器 15。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

表 7-183. CLK_CFG15 寄存器字段说明

位	字段	类型	复位	说明
7-0	PLL_PDIV[7:0]	R/W	00000001b	PLL 预分频器 P 分频器值（启用自动检测时不用考虑） 0d = PLL PDIV 值为 256 1d = PLL PDIV 值为 1 2d = PLL PDIV 值为 2 3d 至 254d = PLL PDIV 值根据配置来确定 255d = PLL PDIV 值为 255

7.5.3.26 CLK_CFG16 寄存器（地址 = 0x36）[复位 = 0x00]

表 7-184 展示了 CLK_CFG16。

返回到汇总表。

该寄存器是时钟配置寄存器 16。

表 7-184. CLK_CFG16 寄存器字段说明

位	字段	类型	复位	说明
7	PLL_JMUL_MSB	R/W	0b	PLL 整数部分 J 乘法器值 MSB 位。（启用自动检测时不用考虑）
6	PLL_DIV_CLK_DIG_BY_2	R/W	0b	PLL DIV 时钟 2 分频配置 0d = PLL 内无 2 分频 1d = PLL 进行 2 分频
5-0	PLL_DMUL_MSB[5:0]	R/W	000000b	PLL 小数部分 D 乘法器值 MSB 位。（启用自动检测时不用考虑）

7.5.3.27 CLK_CFG17 寄存器（地址 = 0x37）[复位 = 0x00]

表 7-185 展示了 CLK_CFG17。

返回到汇总表。

该寄存器是时钟配置寄存器 17。

表 7-185. CLK_CFG17 寄存器字段说明

位	字段	类型	复位	说明
7-0	PLL_DMUL_LSB[7:0]	R/W	00000000b	PLL 小数部分 D 乘法器值 LSB 字节。上述 D 乘法器值 MSB 位 (PLL_DMUL_MSB) 与此 LSB 字节 (PLL_DMUL_LSB) 连在一起来确定最终的 D 乘法器值。（启用自动检测时不用考虑） 0d = PLL DMUL 值为 0 1d = PLL DMUL 值为 1 2d = PLL DMUL 值为 2 3d 至 9998d = PLL JMUL 值根据配置来确定 9999d = PLL JMUL 值为 9999 10000d 至 16383d = 保留；不使用

7.5.3.28 CLK_CFG18 寄存器（地址 = 0x38）[复位 = 0x08]

表 7-186 展示了 CLK_CFG18。

返回到汇总表。

该寄存器是时钟配置寄存器 18。

ADVANCE INFORMATION

表 7-186. CLK_CFG18 寄存器字段说明

位	字段	类型	复位	说明
7-0	PLL_JMUL_LSB[7:0]	R/W	00001000b	PLL 整数部分 J 乘法器值 LSB 字节。上述 J 乘法器值 MSB 位 (PLL_JMUL_MSB) 与此 LSB 字节 (PLL_JMUL_LSB) 连在一起来确定最终的 J 乘法器值。（启用自动检测时不用考虑） 0d = 保留；不使用 1d = PLL JMUL 值为 1 2d = PLL JMUL 值为 2 3d 至 510d = PLL JMUL 值根据配置来确定 511d = PLL JMUL 值为 511

7.5.3.29 CLK_CFG19 寄存器（地址 = 0x39）[复位 = 0x20]

表 7-187 展示了 CLK_CFG19。

返回到汇总表。

该寄存器是时钟配置寄存器 19。

表 7-187. CLK_CFG19 寄存器字段说明

位	字段	类型	复位	说明
7-5	NDIV[2:0]	R/W	001b	NDIV 分频器值。（启用自动检测时不用考虑） 0d = NDIV 值为 8 1d = NDIV 值为 1 2d = NDIV 值为 2 3d 至 6d = NDIV 值根据配置来确定 7d = NDIV 值为 7
4-2	PDM_DIV[2:0]	R/W	000b	PDM 分频器值。（启用自动检测时不用考虑） 0d = PDM_DIV 值为 1 1d = PDM_DIV 值为 2 2d = PDM_DIV 值为 4 3d = PDM_DIV 值为 8 4d = PDM_DIV 值为 16 5d-7d 保留
1-0	保留	读/写	00b	保留位；仅写入复位值

7.5.3.30 CLK_CFG20 寄存器（地址 = 0x3A）[复位 = 0x04]

表 7-188 展示了 CLK_CFG20。

返回到汇总表。

该寄存器是时钟配置寄存器 20。

表 7-188. CLK_CFG20 寄存器字段说明

位	字段	类型	复位	说明
7-2	MDIV[5:0]	R/W	000001b	MDIV 分频器值。（启用自动检测时不用考虑） 0d = MDIV 值为 64 1d = MDIV 值为 1 2d = MDIV 值为 2 3d 至 62d = MDIV 值根据配置来确定 63d = MDIV 值为 63
1-0	保留	读/写	00b	保留位；仅写入复位值

7.5.3.31 CLK_CFG21 寄存器（地址 = 0x3B）[复位 = 0x00]

表 7-189 中显示了 CLK_CFG21。

返回到汇总表。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

该寄存器是时钟配置寄存器 21。

表 7-189. CLK_CFG21 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	读/写	00b	保留位；仅写入复位值
5-4	DIG_DAC_MODCLK_DIV[1:0]	R/W	00b	DAC 调制器时钟分频器值。（启用自动检测时不用考虑） 0d = DIG_DAC_MODCLK_DIV 值为 1 1d = DIG_DAC_MODCLK_DIV 值为 2 2d = DIG_DAC_MODCLK_DIV 值为 4 3d = 保留
3	RESERVED	读/写	0b	保留位；仅写入复位值
2	PASI_BDIV_MSB	R/W	0b	主要 ASI BCLK 分频器值 MSB 位。（启用自动检测时不用考虑）
1	SASI_BDIV_MSB	R/W	0b	辅助 ASI BCLK 分频器值 MSB 位。（启用自动检测时不用考虑）
0	RESERVED	R	0b	保留位；仅写入复位值

7.5.3.32 CLK_CFG22 寄存器（地址 = 0x3C）[复位 = 0x01]

表 7-190 中显示了 CLK_CFG22。

返回到汇总表。

该寄存器是时钟配置寄存器 18。

表 7-190. CLK_CFG22 寄存器字段说明

位	字段	类型	复位	说明
7-0	PASI_BDIV_LSB[7:0]	R/W	00000001b	辅助 ASI BCLK 分频器值。（启用自动检测时不用考虑） 0d = SASI BCLK 分频器值为 512 1d = SASI BCLK 分频器值为 1 2d = SASI BCLK 分频器值为 2 3d 至 62d = SASI BCLK 分频器值根据配置来确定 63d = SASI BCLK 分频器值为 511

7.5.3.33 CLK_CFG23 寄存器（地址 = 0x3D）[复位 = 0x01]

表 7-191 展示了 CLK_CFG23。

返回到汇总表。

该寄存器是时钟配置寄存器 18。

表 7-191. CLK_CFG23 寄存器字段说明

位	字段	类型	复位	说明
7-0	SASI_BDIV_LSB[7:0]	R/W	00000001b	辅助 ASI BCLK 分频器值。（启用自动检测时不用考虑） 0d = SASI BCLK 分频器值为 512 1d = SASI BCLK 分频器值为 1 2d = SASI BCLK 分频器值为 2 3d 至 62d = SASI BCLK 分频器值根据配置来确定 63d = SASI BCLK 分频器值为 511

7.5.3.34 CLK_CFG24 寄存器（地址 = 0x3E）[复位 = 0x01]

表 7-192 展示了 CLK_CFG24。

返回到汇总表。

该寄存器是时钟配置寄存器 21。

ADVANCE INFORMATION

表 7-192. CLK_CFG24 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	00b	保留位；仅写入复位值
5-0	ANA_NM_DIV[5:0]	R/W	000001b	模拟 N-M DIV 分频器值。（启用自动检测时不用考虑） 0d = ANA_NM_DIV 值为 64 1d = ANA_NM_DIV 值为 1 2d = ANA_NM_DIV 值为 2 3d 至 62d = ANA_NM_DIV 值根据配置来确定 63d = ANA_NM_DIV 值为 63

7.5.3.35 CLK_CFG30 寄存器（地址 = 0x44）[复位 = 0x00]

表 7-193 展示了 CLK_CFG30。

返回到汇总表。

表 7-193. CLK_CFG30 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	00000b	保留位；仅写入复位值
2	NDIV_EN	R/W	0b	NDIV 分频器启用 0d = 分频器禁用 1d = 分频器启用
1	MDIV_EN	R/W	0b	MDIV 分频器启用 0d = 分频器禁用 1d = 分频器启用
0	PDM_DIV_EN	R/W	0b	PDM 分频器启用 0d = 分频器禁用 1d = 分频器启用

7.5.3.36 CLK_CFG31 寄存器（地址 = 0x45）[复位 = 0x00]

表 7-194 展示了 CLK_CFG31。

返回到汇总表。

表 7-194. CLK_CFG31 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	读/写	0b	保留位；仅写入复位值
6	RESERVED	读/写	0b	保留位；仅写入复位值
5	RESERVED	读/写	0b	保留位；仅写入复位值
4	DIG_DAC_MODCLK_DIV_EN	R/W	0b	DAC MODCLK 分频器启用 0d = 分频器禁用 1d = 分频器启用
3	PASI_BDIV_EN	R/W	0b	PASI BDIV 分频器启用 0d = 分频器禁用 1d = 分频器启用
2	SASI_BDIV_EN	R/W	0b	SASI BDIV 分频器启用 0d = 分频器禁用 1d = 分频器启用
1	PASI_FSYNC_DIV_EN	R/W	0b	PASI FSYNC DIV 分频器启用 0d = 分频器禁用 1d = 分频器启用
0	SASI_FSYNC_DIV_EN	R/W	0b	SASI FSYNC DIV 分频器启用 0d = 分频器禁用 1d = 分频器启用

Copyright © 2024 Texas Instruments Incorporated

7.5.3.37 CLKOUT_CFG1 寄存器（地址 = 0x46）[复位 = 0x00]

表 7-195 展示了 CLKOUT_CFG1。

返回到汇总表。

该寄存器是 CLKOUT 配置寄存器 1。

表 7-195. CLKOUT_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	00000b	保留位；仅写入复位值
2-0	CLKOUT_CLK_SEL[2:0]	R/W	000b	通用 CLKOUT 分频器时钟源选择。 0d = 源时钟是 PLL 输出 1d = 源时钟是主要 ASI BCLK 2d = 源时钟是辅助 ASI BCLK 3d = 源时钟是 CCLK 4d = 源时钟是内部振荡器时钟 5d = 源时钟是 DSP 时钟 6d 至 7d = 保留

7.5.3.38 CLKOUT_CFG2 寄存器（地址 = 0x47）[复位 = 0x01]

表 7-196 展示了 CLKOUT_CFG2。

返回到汇总表。

该寄存器是 CLKOUT 配置寄存器 2。

表 7-196. CLKOUT_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	CLKOUT_DIV_EN	R/W	0b	CLKOUT 分频器启用。 0d = CLKOUT 分频器禁用 1d = CLKOUT 分频器启用
6-0	CLKOUT_DIV[6:0]	R/W	0000001b	CLKOUT DIV 分频器值。 0d = CLKOUT_DIV 值为 128 1d = CLKOUT_DIV 值为 1 2d = CLKOUT_DIV 值为 2 3d 至 126d = CLKOUT_DIV 值根据配置来确定 127d = CLKOUT_DIV 值为 127

7.5.3.39 SARCLK_CFG1 寄存器（地址 = 0x49）[复位 = 0x00]

表 7-197 展示了 SARCLK_CFG1。

返回到汇总表。

该寄存器是 SAR 时钟配置寄存器 1

表 7-197. SARCLK_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7-6	SAR_CLK_FREQ_SEL[1:0]	R/W	00b	SAR 时钟频率模式 0d = SAR 时钟频率为 ~6MHz 1d = SAR 时钟频率为 ~3MHz 2d = SAR 时钟频率为 ~1.5MHz 3d = SAR 时钟频率为 ~12MHz（仅当 SAR 时钟直接使用内部振荡器时钟生成时有效）
5	SAR_CLK_SRC_AUTO_DIS	R/W	0b	SAR 分频器源时钟自动选择禁用 0d = 根据时钟检测方案来确定 SAR 分频器源时钟自动选择 1d = 根据 BST_CLK_SRC_SEL 来禁用和选择 SAR 分频器源时钟自动选择

ADVANCE INFORMATION

表 7-197. SARCLK_CFG1 寄存器字段说明（续）

位	字段	类型	复位	说明
4	SAR_CLK_SRC_MANUAL_SEL	R/W	0b	SAR 时钟源手动选择（在自动模式下不用考虑） 0d = 根据可用于 ADC/DAC 的音频时钟生成 SAR 时钟 1d = 根据内部振荡器时钟生成 SAR 时钟
3	SAR_CLK_EN_AUTO_DIS	R/W	0b	SAR 分频器源时钟自动选择禁用 0d = SAR 分频器自动启用 1d = 根据使用 BST_CLK_EN 进行的手动控制来启用/禁用 SAR 分频器
2	SAR_CLK_MANUAL_EN	R/W	0b	SAR 分频器手动启用（在自动模式下不用考虑） 0d = 禁用 SAR 分频器 1d = 启用 SAR 分频器
1-0	SAR_CLK_MANUAL_DIV[1:0]	R/W	00b	SAR 分频器值（在自动模式下不用考虑） 0d = SAR 分频器值为 1 1d = SAR 分频器值为 2 2d = SAR 分频器值为 4 3d = SAR 分频器值为 8

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TAD5212 是一款立体声、高性能音频 DAC，支持高达 768kHz 的采样速率。该器件支持最多 4 通道同时播放，它们可配置为 2 通道差分或伪差分输出或最多 4 通道单端输出，并提供耳机和线路输出驱动功能选项。

TAD5212 支持使用 I²C 或 SPI 接口进行通信，用于进行控制寄存器配置。该器件支持高度灵活的音频串行接口（TDM、I²S 和 LJ），可在系统中跨设备无缝传输音频数据。

8.2 典型应用

8.2.1 应用

图 8-1 展示了典型的 TAD5212 应用配置，该配置通过 I²C 控制接口和时分多路复用 (TDM) 音频数据目标接口进行双通道线路输出操作。

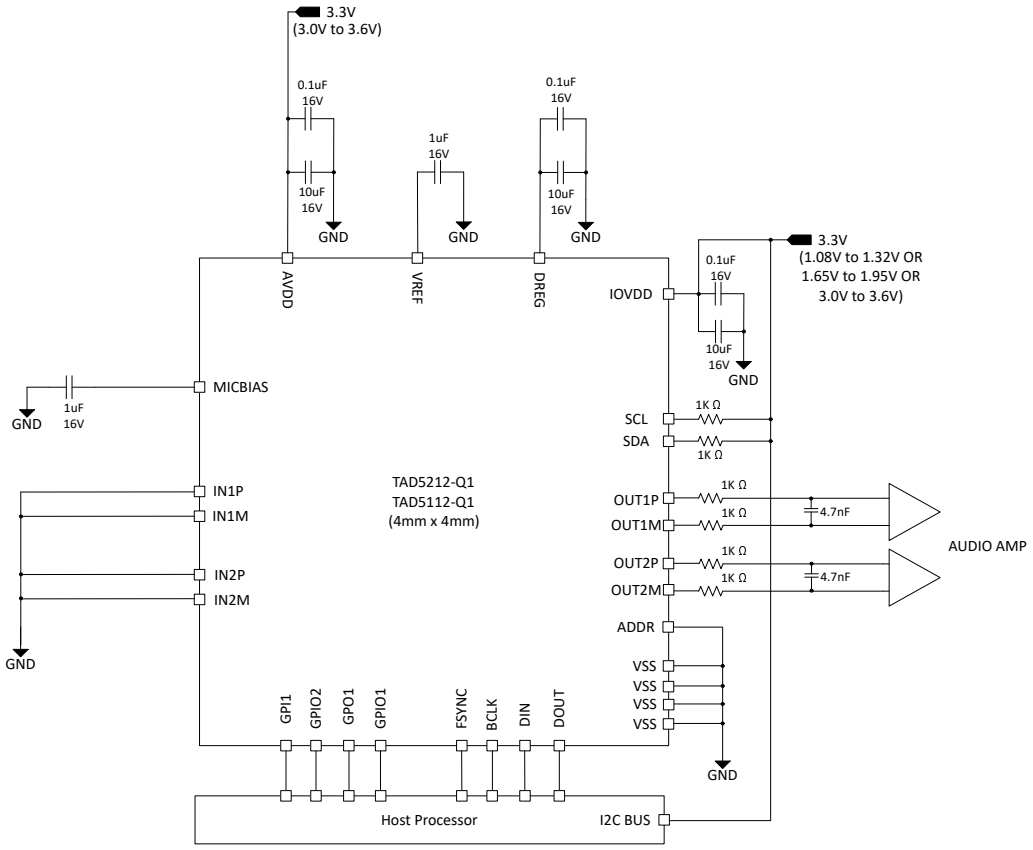


图 8-1. 立体声线路输出方框图

8.2.2 设计要求

表 8-1 列出了此应用的设计参数。

ADVANCE INFORMATION

表 8-1. 设计参数

参数	值
AVDD	3.3V
IOVDD	1.2V、1.8V 或 3.3V
AVDD 电源电流消耗	待定
IOVDD 电源电流消耗	待定
最大 MICBIAS 电流	5mA
OUT1M、OUT1P、OUT2M、OUT2P 上的负载	>600Ω

8.2.3 详细设计过程

本节介绍了为此特定应用配置 TAD5212 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列事项。

1. 为器件通电：
   a. 为 IOVDD 和 AVDD 电源加电
   b. 等待至少 1ms，让器件初始化内部寄存器。
   c. 器件现在进入睡眠模式（低功耗模式 < 10μA）
2. 根据操作需要，从睡眠模式切换到工作模式：
   a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
   b. 等待至少 1ms，让器件完成内部唤醒序列
   c. 根据需要覆盖默认配置寄存器或可编程系数值（这一步是可选操作）
   d. 通过写入 DAC 的 P0_R40 至 P0_R47 来启用所有需要的音频串行接口输入/输出通道
   e. 通过写入 P0_R120 来为 DAC 上电
   f. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK

      该特定步骤可以在步骤 a 后序列的任意时间点完成。

      有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 *节 7.3.1.4* 一节。
   g. 现在使用 TDM 音频串行数据总线将器件记录数据发送到主机处理器，并且来自 TDM 的回放数据现在通过线路输出进行播放
3. 根据系统的低功耗运行要求，从工作模式（再次）转换到睡眠模式：
   a. 通过写入 P0_R2 以启用睡眠模式来进入睡眠模式
   b. 等待至少 6ms（FSYNC = 48kHz 时），让音量下降并让所有模块断电
   c. 读取 P0_R122 以检查器件关断和睡眠模式状态
   d. 如果器件 P0_R122_D[7:5] 状态位为 3'b100，则停止系统中的 FSYNC 和 BCLK
   e. 器件现在进入睡眠模式（低功耗模式 < 10μA）并保留所有寄存器值
4. 根据录音操作需要，从睡眠模式（再次）转换到工作模式：
   a. 通过写入 P0_R2 以禁用睡眠模式来唤醒器件
   b. 等待至少 1ms，让器件完成内部唤醒序列
   c. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK
   d. 现在使用 TDM 音频串行数据总线将器件记录数据发送到主机处理器，并且来自 TDM 的回放数据现在通过线路输出进行播放
5. 根据模式转换要求，重复步骤 4 和步骤 5

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

9 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。然而，在所有电源稳定后，只能启动 I²C 或 SPI 事务来初始化器件。

对于电源上电要求，t_1、t_2 必须至少为 2ms 才能让器件初始化内部寄存器。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 *节 7.4* 部分。对于电源断电要求，t_3、t_4 必须至少为 10ms。该时序（如图 9-1 所示）让器件可以慢慢降低回放数据的音量、关闭模拟和数字块，以及将器件置于关断模式。还可以通过降低电源电压来立即将器件置于关断模式，但这样会导致突然关断。

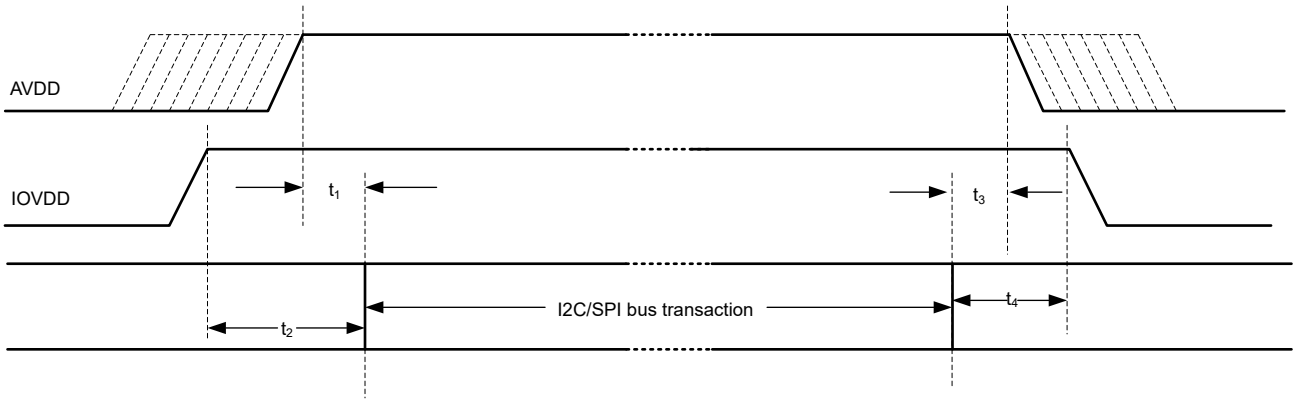


图 9-1. 电源时序要求时序图

确保电源斜坡速率低于 0.1V/µs，并且断电和上电事件之间的等待时间至少为 100ms。对于低于 0.1V/ms 的电源斜坡速率，主机器件必须在进行任何器件配置之前将软件复位作为第一个事务应用。确保所有数字输入引脚均处于有效的输入电平，并且在电源时序控制期间不会进行切换。

TAD5212 通过集成片上数字稳压器 DREG 和模拟稳压器 AREG，支持单 AVDD 电源运行。

ADVANCE INFORMATION

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

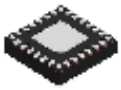
TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

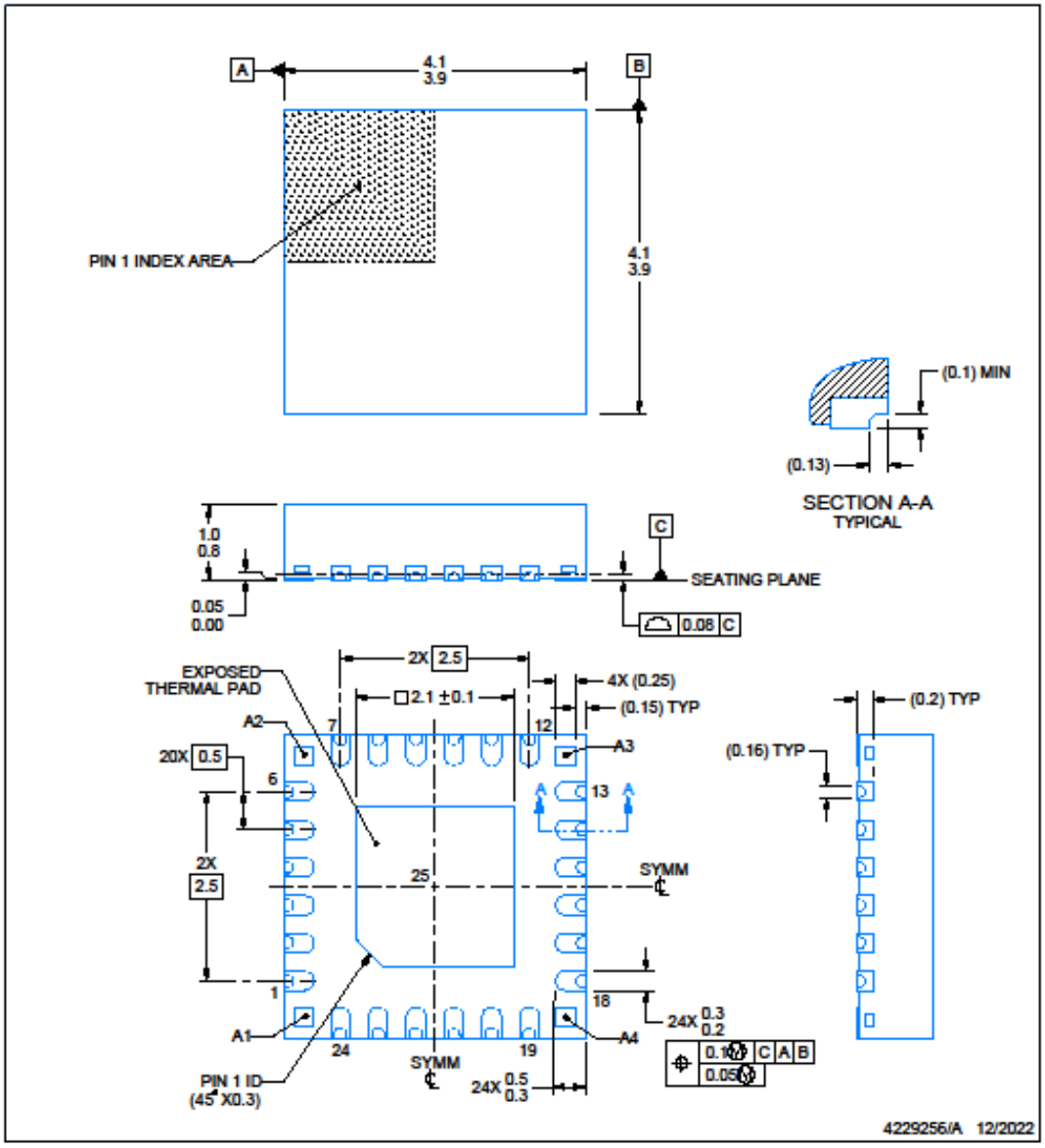
RGE0024W



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

www.ti.com

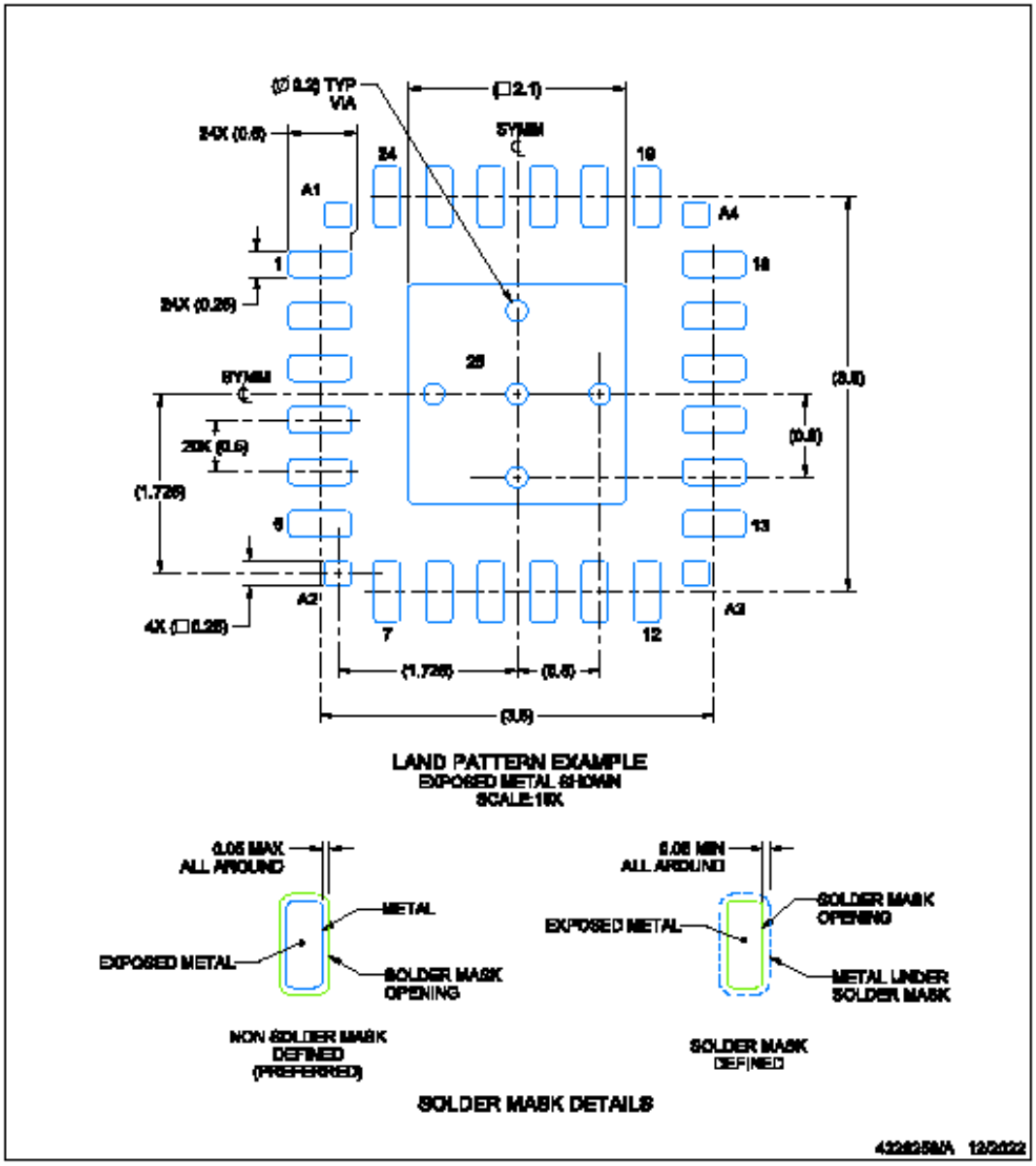
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RGE0024W — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

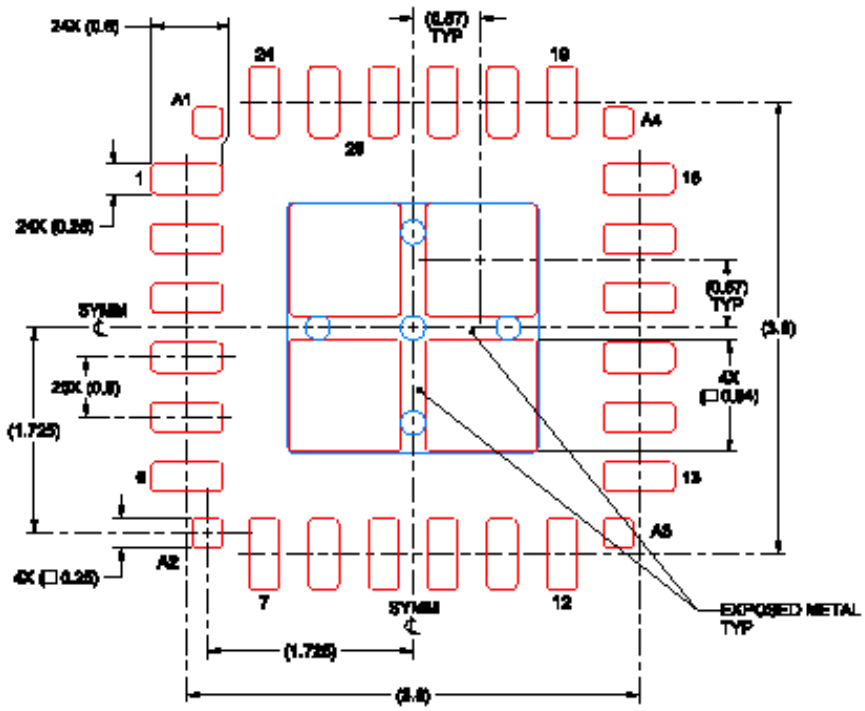
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024W **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

THERMAL PAD 26:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Texas Instruments
www.ti.com

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XTAD5212IRGER	ACTIVE	VQFN	RGE	24	3000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

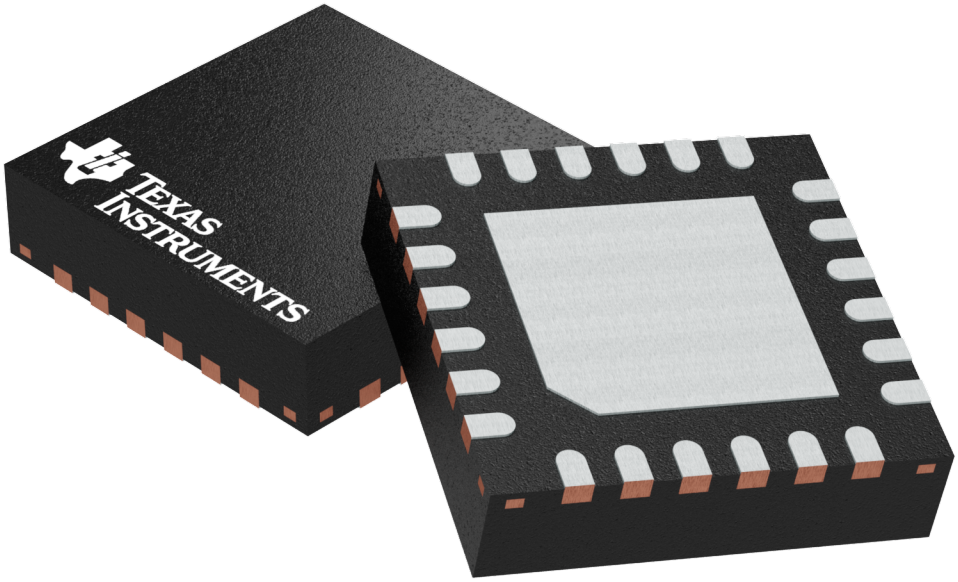
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司