TAA5242 具有 118dB 动态范围的低功耗、高性能 立体声音频 ADC

1 特性

- ADC 通道
  - 立体声高性能 ADC
  - 性能：
    - 线路差分输入动态范围：118dB
    - 麦克风差分输入动态范围：118dB
    - THD+N：-95dB
  - 输入电压：
    - 差分 $2V_{RMS}$ 满量程输入
    - 单端 $1V_{RMS}$ 满量程输入
  - 输入混合/多路复用器选项
  - 采样速率 (f_S) = 8kHz 至 768kHz
  - 可编程麦克风偏置（最高 3V）
- 常见特性
  - 可配置 HPF
  - 管脚控制
  - 音频串行接口
    - 格式：TDM、I^2S 或左平衡
    - 字长：16 位、20 位、24 位或 32 位
  - 用于灵活时钟的可编程 PLL
  - 低功耗模式
    - 录音时为 TBDmW
  - 单电源运算：1.8V 或 3.3V
  - I/O 电源运行：1.2V、1.8V 或 3.3V
  - 温度等级 1：–40°C ≤ T_A ≤ +125°C

2 应用

- 陆地移动无线电
- IP 网络摄像机
- IP 电话
- 视频会议系统
- 专业音频混合器/控制平面

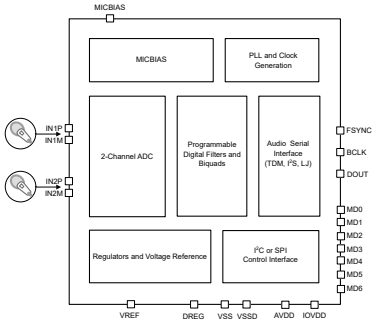
3 说明

TAA5242 是具有 $2V_{RMS}$ 差分输入和 118dB 动态范围的高性能 立体声 ADC。TAA5242 支持差分输入和单端输入。器件通过 ADC 通道上的交流和直流耦合选项支持麦克风输入和线路输入。TAA5242 集成了、数字音量控制、低抖动锁相环 (PLL)、可配置的高通滤波器 (HPF)，并可实现高达 768kHz 的采样速率。TAA5242 支持时分多路复用 (TDM)、I^2S 或左平衡 (LJ) 音频格式，并可通过 引脚控制进行控制。这些集成的高性能特性以及单电源运行，使 TAA5242 特别适用于空间受限的音频应用。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
TAA5242	WQFN (28)	4mm x 4mm，0.5mm 间距

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....6
6.5 电气特性.....6
6.6 时序要求：TDM、I²S 或 LJ 接口.....8
6.7 开关特性：TDM、I²S 或 LJ 接口.....8
7 参数测量信息.....10
8 详细说明.....11
8.1 概述.....11
8.2 功能方框图.....11
8.3 特性说明.....11
8.4 器件功能模式.....14
9 应用和实施.....15
9.1 应用信息.....15
9.2 典型应用.....15
10 电源相关建议.....17
11 器件和文档支持.....18
11.1 文档支持.....18
11.2 接收文档更新通知.....18
11.3 支持资源.....18
11.4 商标.....18
11.5 静电放电警告.....18
11.6 术语表.....18
12 机械、封装和可订购信息.....18

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
January 2022	*	初始发行版

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

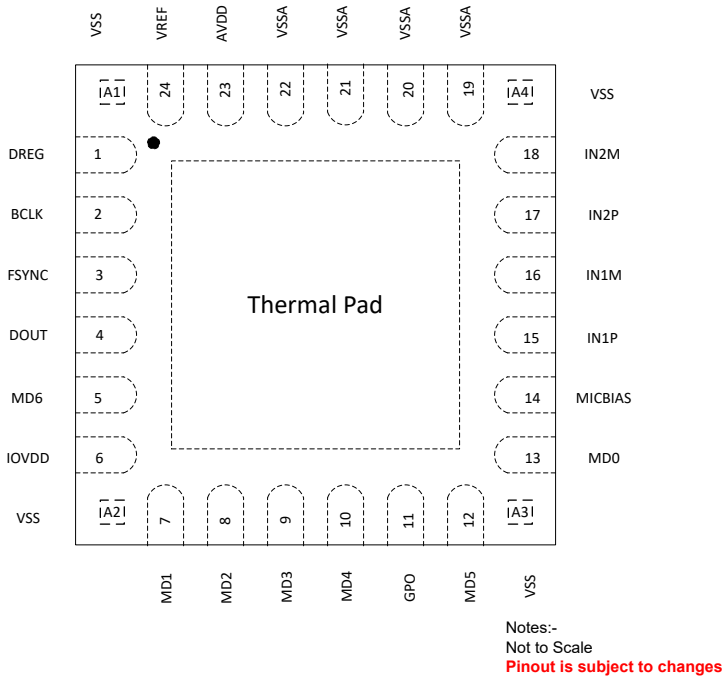


图 5-1. 带有外露散热焊盘的 28 引脚 QFN，顶视图

表 5-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
VSS	A1	接地	直接短接至电路板接地层。
DREG	1	数字电源	数字电源的数字片上稳压器输出电压（标称值为 1.5V）
BCLK	2	数字 I/O	音频串行数据接口总线位时钟
FSYNC	3	数字 I/O	音频串行数据接口总线帧同步信号
DOUT	4	数字输出	音频串行数据接口总线输出
MD6	5	数字输入	TDM 模式：MD6= DAISY_DIN
			I2S/LJ 模式：MD6=0：立体声 ADC 启用；MD6=1：单声道 1
IOVDD	6	数字电源	数字 I/O 电源（标称值为 1.8V 或 3.3V）
VSS	A2	接地	直接短接至电路板接地层。
MD1	7	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源和字长选择
MD2	8	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源和字长选择
MD3	9	数字输入	控制器模式：控制器时钟输入
			目标模式：数字 HPF 和数据时隙选择
MD4	10	数字输入	ADC 模式选择
GPO	11	数字输出	中断输出
MD5	12	数字输入	ADC 模式选择
VSS	A3	接地	直接短接至电路板接地层。
MD0	13	模拟输入	控制器/目标和 I^2S/TDM/LJ 的多级模拟输入选择

ADVANCE INFORMATION

表 5-1. 引脚功能（续）

引脚		类型[1]	说明
名称	编号		
MICBIAS	14	模拟	MICBIAS 输出（可编程输出高达 11V）
IN1P	15	模拟输入	模拟输入 1P 引脚
IN1M	16	模拟输入	模拟输入 1M 引脚
IN2P	17	模拟输入	模拟输入 2P 引脚
IN2M	18	模拟输入	模拟输入 2M 引脚
VSS	A4	接地	直接短接至电路板接地层。
OUT1M	19	模拟输出	模拟输出 1M 引脚
OUT1P	20	模拟输出	模拟输出 1P 引脚
OUT2P	21	模拟输出	模拟输出 2P 引脚
OUT2M	22	模拟输出	模拟输出 2M 引脚
AVDD	23	模拟电源	模拟电源（标称值为 3.3V）
VREF	24	模拟	模拟基准电压滤波器输出

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	–0.3	3.9	V
电源电压	IOVDD 至 VSS（散热焊盘）	–0.3	3.9	V
接地电压差	AVSS 至 VSS（散热焊盘）	–0.3	0.3	V
模拟输入电压	模拟输入引脚电压至 AVSS	–0.3	5.656	V
数字输入电压	数字输入引脚电压至 VSS（散热焊盘）	–0.3	IOVDD + 0.3	V
温度	功能环境温度，T_A	-55	125	°C
	工作环境温度，T_A	-40	125	
	结温，T_J	-40	150	
	贮存温度，T_{stg}	-65	150	

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 AEC Q100-011	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

		最小值	标称值	最大值	单位
POWER					
AVDD[(1)]	模拟电源电压至 AVSS，AVDD 3.3V 运行	3.0	3.3	3.6	V
AVDD[(1)]	模拟电源电压至 AVSS - AVDD 1.8V 运行	1.65	1.8	1.95	V
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 3.3V 运行	3.0	3.3	3.6	V
	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.8V 运行	1.65	1.8	1.95	
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.2V 运行	1.08	1.2	1.32	V
输入					
INxx	模拟输入引脚电压至 AVSS，用于线路输入录音	0		AVDD	V
INxx	模拟输入引脚电压至 AVSS，用于麦克风录音	0.1		MICBIAS – 0.1	V
	数字输入引脚电压至 VSS（散热焊盘）	0		IOVDD	V
MD0	MD0 引脚，以 AVSS 为基准	0		AVDD	V
温度					
T_A	工作环境温度	-40		125	°C

ADVANCE INFORMATION

		最小值	标称值	最大值	单位
其他					
	MD3 用作 MCLK 输入时钟频率			36.864[(2)]	MHz
C_L	数字输出负载电容		20	50	pF

(1) AVSS 和 VSS（散热焊盘）；所有接地引脚必须连接在一起，并且电压差异不得超过 0.2V。
(2) MCLK 输入上升时间（V_{IL} 到 V_{IH}）和下降时间（V_{IH} 到 V_{IL}）必须小于 5ns。为了获得更好的音频噪声性能，必须使用低抖动的 MCLK 输入。

6.4 热性能信息

热指标[(1)]		TAA5242 RGE (WQFN) 28 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.3	°C/W
$R_{\theta JB}$	结至电路板热阻	15.9	°C/W
ψ_{JT}	结至顶部特征参数	0.5	°C/W
ψ_{JB}	结至电路板特征参数	15.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅 spra953 应用报告。

6.5 电气特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
输入记录的 ADC 性能						
	差分输入满量程交流信号电压	交流耦合输入		2		V_{RMS}
	单端输入满量程交流信号电压	交流耦合输入		1		V_{RMS}
SNR	信噪比，A 加权[(1) (2)]	选择 IN1 差分交流耦合输入，交流信号对地短路，0dB 通道增益		118		dB
SNR	信噪比，A 加权[(1) (2)]	选择 IN1 差分直流耦合输入，交流信号接地短路，0dB 通道增益，器件处于高共模容差模式		110		dB
SNR	信噪比，A 加权[(1) (2)]	1.8V AVDD 运行：选择 IN1 差分交流耦合输入，交流信号对地短路，0dB 通道增益		110		dB
		1.8V AVDD 运行：选择 IN1 差分直流耦合输入，交流信号对地短路，0dB 通道增益		104		
DR	动态范围，A 加权[(2)]	选择 IN1 差分交流耦合输入，–60dB 满量程交流信号输入，0dB 通道增益		118		dB
		选择 IN1 差分直流耦合输入，–60dB 满量程交流信号输入，0dB 通道增益		110		
DR	动态范围，A 加权[(2)]	1.8V AVDD 运行：选择 IN1 差分交流耦合输入，–60dB 满量程交流信号输入，0dB 通道增益	106	110		dB
		1.8V AVDD 运行：选择 IN1 差分直流耦合输入，–60dB 满量程交流信号输入，0dB 通道增益		104		
THD+N	总谐波失真[(2)]	选择 IN1 差分交流耦合输入，–1dB 满量程交流信号输入，0dB 通道增益		–95	待定	dB
		选择 IN1 差分直流耦合输入，–1dB 满量程交流信号输入，0dB 通道增益		–95		

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
ADC 其他参数						
	输入阻抗	差分输入，INxP 和 INxM 之间，5kΩ 模式		5.5		kΩ
	输入阻抗	单端输入，INxP 和 INxM 之间，5kΩ 模式		2.75		kΩ
	偏移	短接输入。		待定		mV
	数字音量控制范围	可编程 0.5dB 步长	-80		47Ω	dB
	输入信号带宽	高达 192KSPS FS 速率		0.46		FS
		>192KSPS		90		kHz
	输出数据采样速率	可编程	3.675		768	kHz
	输出数据样本字长	可编程	16		32	位
	数字高通滤波器截止频率	–3dB 点（默认设置）		2		Hz
	通道间隔离	–1dB 满量程交流信号线路输入至非测量通道		-134		dB
	通道间增益不匹配	–6dB 满量程交流信号线路输入，0dB 通道增益		0.1		dB
	通道间相位不匹配	1kHz 正弦信号		0.01		度
PSRR	电源抑制比	100mV$_{PP}$，AVDD 上 1kHz 正弦信号，选择差分输入，0dB 通道增益		92		dB
麦克风偏置						
	MICBIAS 噪声	BW = 20Hz 至 20kHz，A 加权，MICBIAS 和 AVSS 之间具有 1μF 电容器		2		μV$_{RMS}$
	MICBIAS 电压	AVDD=1.8V		1.375		V
	MICBIAS 电压	AVDD=3.3V		2.75		V
数字 I/O						
V_{IL}	低电平数字输入逻辑电压阈值	的所有数字引脚，IOVDD 1.8V 运行	–0.3		0.35 × IOVDD	V
		的所有数字引脚，IOVDD 3.3V 运行	–0.3		0.8	
V_{IH}	高电平数字输入逻辑电压阈值	的所有数字引脚，IOVDD 1.8V 运行	0.65 × IOVDD		IOVDD + 0.3	V
		的所有数字引脚，IOVDD 3.3V 运行	2		IOVDD + 0.3	
V_{OL}	低电平数字输出电压	的所有数字引脚，I_{OL} = –2mA，IOVDD 1.8V 运行			0.45	V
		的所有数字引脚，I_{OL} = –2mA，IOVDD 3.3V 运行			0.4	
V_{OH}	高电平数字输出电压	的所有数字引脚，I_{OH} = 2mA，IOVDD 1.8V 运行	IOVDD – 0.45			V
		的所有数字引脚，I_{OH} = 2mA，IOVDD 3.3V 运行	2.4			
I_{IL}	数字输入的输入逻辑低电平泄漏电流	所有数字引脚，输入 = 0V	-5	0.1	5	μA
I_{IH}	数字输入的输入逻辑高电平泄漏电流	所有数字引脚；输入 = IOVDD	-5	0.1	5	μA
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
典型电源电流消耗						
I_{AVDD}	睡眠模式（软件关断模式）下的电流消耗	所有器件外部时钟停止		待定		μA
I_{IOVDD}				1		

ADVANCE INFORMATION

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式且 PLL 开启（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
I_{AVDD}	MICBIAS 开启、MICBIAS 电压 10V、30mA 负载、ADC 关闭时的电流消耗	f_S = 48kHz，BCLK = 256 × f_S		待定		mA
I_{IOVDD}				0.01		
I_{AVDD}	ADC 2 通道在 f_S 16kHz、MICBIAS 关闭、PLL 开启、BCLK = 512 ×f_S 下运行时的电流消耗			待定		mA
I_{IOVDD}				0.1		
I_{AVDD}	ADC 2 通道在 f_S 48kHz、MICBIAS 开启、PLL 关闭、BCLK = 512 ×f_S 下运行时的电流消耗			待定		mA
I_{IOVDD}				0.1		

(1) 在 1kHz 满量程正弦波输入时的输出电平与交流信号输入对地短路时的输出电平之比，使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。
(2) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，会导致比“电气特性”中所示更高的 THD 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但会影响动态规格值。

6.6 时序要求：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见

			最小值	标称值	最大值	单位
$t_{(BCLK)}$	BCLK 周期		40			ns
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间(1)		18			ns
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间 (1)		18			ns
$t_{SU(FSYNC)}$	FSYNC 设置时间		8			ns
$t_{HLD(FSYNC)}$	FSYNC 保持时间		8			ns
$t_{r(BCLK)}$	BCLK 上升时间	10% 至 90% 上升时间			10	ns
$t_{f(BCLK)}$	BCLK 下降时间	90% 至 10% 下降时间			10	ns

(1) 如果 SDOUT 数据线锁存位于与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns（以满足时序规格）。

6.7 开关特性：TDM、I²S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见 TBD

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(SDOUT-BCLK)}$	BCLK 到 SDOUT 延迟	BCLK 的 50% 至 SDOUT 的 50%，IOVDD = 1.8V			18	ns
		BCLK 的 50% 至 SDOUT 的 50%，IOVDD = 3.3V			14	
$t_{d(SDOUT-FSYNC)}$	TDM 或 LJ 模式下的 FSYNC 到 SDOUT 延迟（对于 TX_OFFSET = 0 的 MSB 数据）	FSYNC 的 50% 至 SDOUT 的 50%，IOVDD = 1.8V			18	ns
		FSYNC 的 50% 至 SDOUT 的 50%，IOVDD = 3.3V			14	
$f_{(BCLK)}$	BCLK 输出时钟频率；主模式 (1)				24.576	MHz
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间；主模式	IOVDD = 1.8V	14			ns
		IOVDD = 3.3V	14			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间；主模式	IOVDD = 1.8V	14			ns
		IOVDD = 3.3V	14			

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见 TBD

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(FSYNC)}$	BCLK 至 FSYNC 延迟；主模式	BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.8V			18	ns
		BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 3.3V			14	
$t_{r(BCLK)}$	BCLK 上升时间；主模式	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间；主模式	90% - 10% 下降时间，IOVDD = 1.8V			8	ns
		90% - 10% 下降时间，IOVDD = 3.3V			8	

(1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz（以满足时序规格）。

ADVANCE INFORMATION

7 参数测量信息

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

8 详细说明

8.1 概述

TAA5242 是可扩展器件系列中的一员。作为扩展器件系列的一部分，TAA5242 包括高性能、低功耗、灵活的单声道/立体声音频模数转换器 (ADC)。此器件适用于各种应用，例如加固型通信设备、IP 网络摄像头、专业音频和多媒体应用。此器件具有高动态范围，使其能够以高保真度实现远场音频录制。此器件集成了大量特性，可在空间受限的系统设计中降低成本、减小布板空间和功耗。扩展系列中的封装、性能和兼容配置寄存器使得该器件非常适合可扩展系统设计。

TAA5242 包含以下模块：

- 2 通道、多位、高性能 Δ-Σ ADC
- 具有 2Vrms 信号摆幅的可配置单端或差分音频输入
- 低噪声麦克风偏置输出
- 具有线性相位的抽取滤波器
- 高通滤波器 (HPF)
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

该器件支持高度灵活的音频串行接口（时分多路复用 (TDM)、I^2S 或左平衡 (LJ)），以在系统中各个器件之间无缝传输音频数据。

8.2 功能方框图

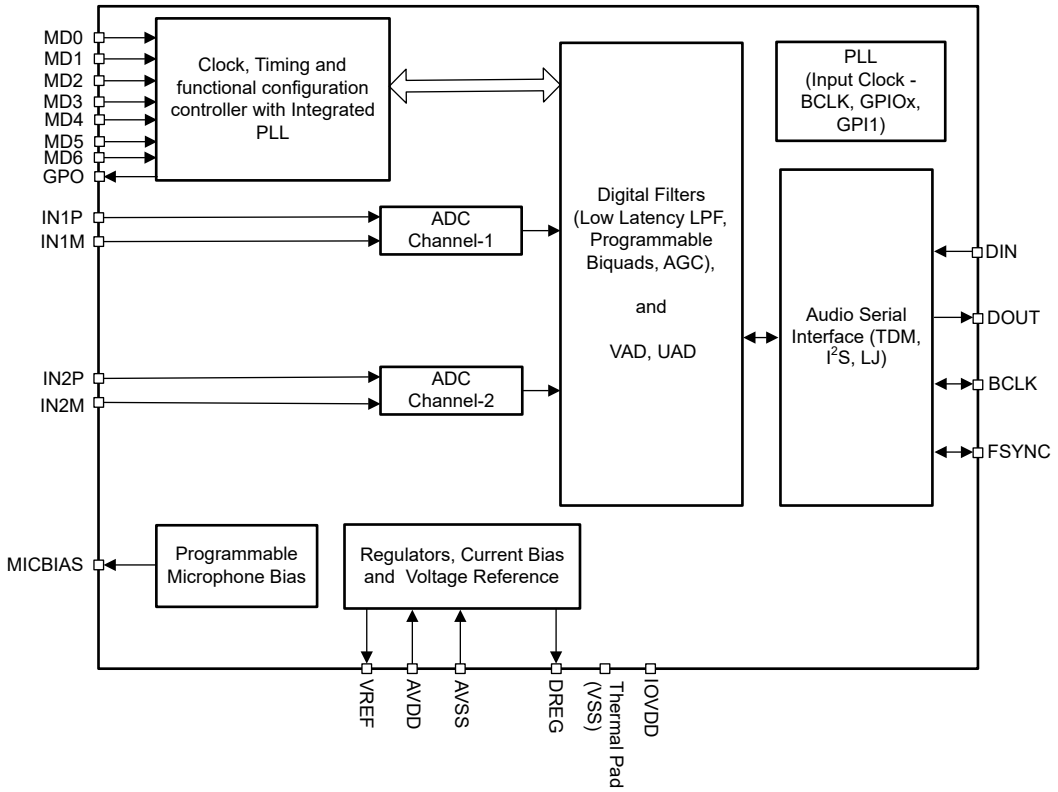


图 8-1. 功能方框图

8.3 特性说明

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3.1 硬件控制

该器件支持简单的硬件引脚控制选项，以便为给定系统选择特定的工作模式和音频接口。MD0 至 MD6 引脚可用于通过上拉或下拉电阻器来控制器件。

8.3.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAA5242 之间流动。这个高度灵活的 ASI 总线包括用于多通道运行的 TDM 模式、I^2S 和 LJF 支持，以及总线时钟线路的引脚可选控制器-目标可配置性。

该器件使用硬件引脚 MD0 来支持音频总线控制器或目标运行模式。在目标模式下，FSYNC 和 BCLK 用作输入引脚，而在控制器模式下，FSYNC 和 BCLK 用作器件生成的输出引脚。表 8-1 展示了使用 MD0 引脚的主模式和从模式选择。

表 8-1. 控制器和目标模式选择

MD0	控制器和目标选择
接地短路	目标 I2S 模式
通过 4.7kΩ 接地短路	目标 TDM 模式
短接至 AVDD	控制器 I2S 模式
通过 4.7kΩ 短接至 AVDD	控制器 TDM 模式
通过 22kΩ 短接至 AVDD	目标 LJ 模式

在目标运行模式下，可通过 MD1 和 MD2 引脚选择 TAA5242 中音频串行接口 (ASI) 的字长。在控制器模式下，支持 32 位的固定字长。在目标模式下，TAA5242 还支持以 32 位字长运行 1.8V AVDD。表 8-2 显示用于设置字长和 AVDD 电源电压的配置表

表 8-2. 字长和电源模式选择

MD1	MD2	控制器和目标选择
低电平	低电平	字长 = 32 AVDD=3.3V
低电平	高电平	字长 = 32 AVDD=1.8V
高电平	低电平	字长 = 24 AVDD=3.3V
高电平	高电平	字长 = 16 AVDD=3.3V

TAA5242 为目标 TDM 运行模式提供菊花链配置。在目标 TDM 模式下配置 MD0 时，可通过 MD3 引脚进行选择。在此模式下，可以使用 MD6 作为菊花链数据输入。表 8-3 展示了基于 MD3 引脚的目标 TDM 运行模式下的菊花链配置。

表 8-3. 目标 TDM 模式的菊花链选择

MD3	菊花链
低电平	禁用
高电平	启用

Copyright © 2024 Texas Instruments Incorporated

8.3.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式（也称为 DSP 模式）下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位（TX_OFFSET 等于 0 时，时隙 0 的 MSB 除外）会在 BCLK 的上升沿传输。图 8-2 至图 8-3 展示了各种配置下 TDM 运行的协议时序。

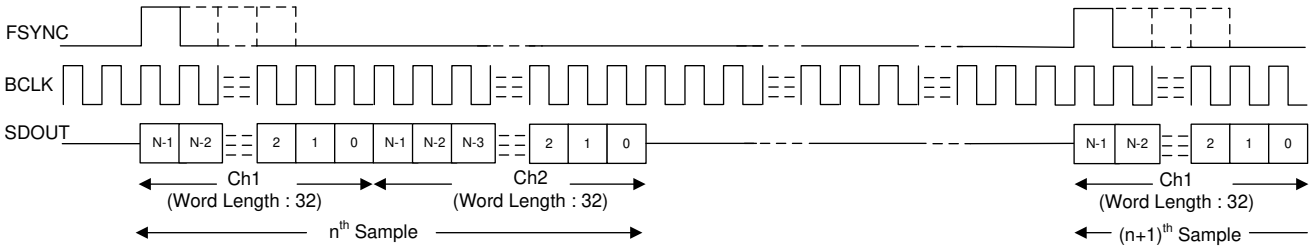


图 8-2. 目标模式下的 TDM 模式协议时序（MD0 对地短路，阻抗为 4.7KΩ）

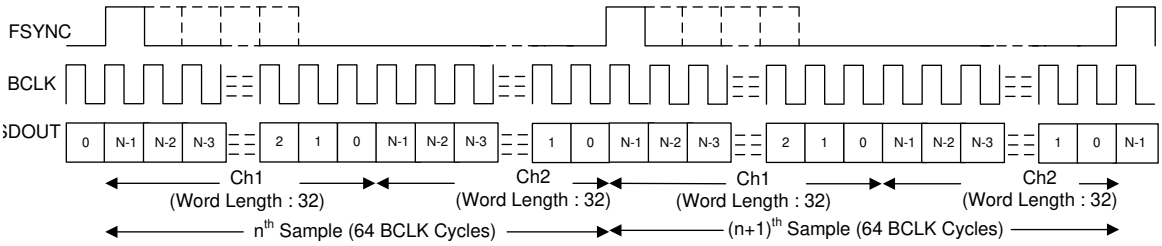


图 8-3. 控制器模式下的 TDM 模式协议时序（MD0 短接至 AVDD，阻值为 4.7KΩ）

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的 32 位字长。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持多个脉冲。

8.3.2.2 IC 间音频 (I^2S) 接口

标准 I^2S 协议仅针对两个通道进行定义：左通道和右通道。在 I^2S 模式下，左时隙 0 的 MSB 会在 FSYNC *下降*沿之后第二个周期中的 BCLK 下降沿上传输。右时隙 0 的 MSB 会在 FSYNC *上升* 沿之后第二个周期中的 BCLK 下降沿上传输。后续的每个数据位都在 BCLK 的下降沿传输。在主模式下，FSYNC 在 BCLK 的上升沿传输。图 8-4 和图 8-5 展示了在从器件和主器件运行模式下 I^2S 运行的协议时序。

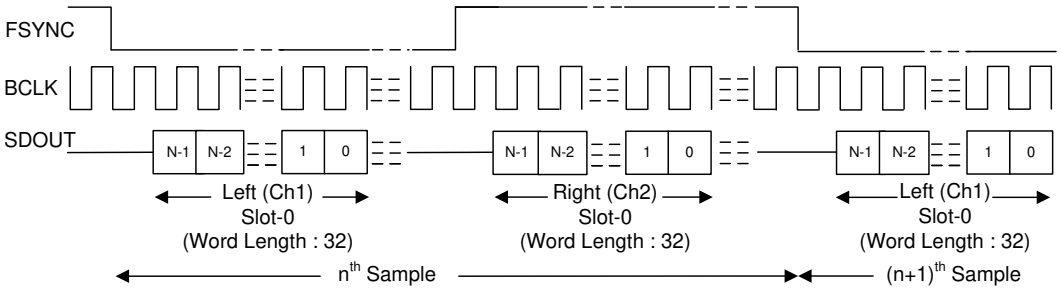


图 8-4. 目标模式下的 I^2S 模式协议时序（MD0 对地短路）

ADVANCE INFORMATION

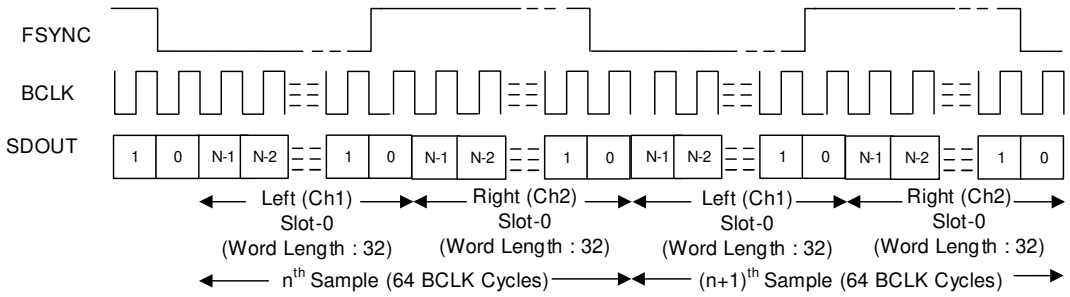


图 8-5. 控制器模式下的 I²S 协议时序（MD0 短接至 AVDD）

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的 32 位字长。器件 FSYNC 低电平脉冲必须是大于或等于活动左时隙数量乘以 32 位数据字长的 BCLK 周期数。同样，FSYNC 高电平脉冲必须是大于或等于活动右时隙数量乘以 32 位数据字长的 BCLK 周期数。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。

8.3.3 模拟输入配置

该器件支持使用高性能立体声 ADC 同时对多达两个通道进行录音。该器件包含两对模拟输入引脚（INxP 和 INxM），可通过设置 MD4 和 MD5 引脚配置为单端或差分输入模式。模拟引脚的输入源可以来自驻极体电容式模拟麦克风、微机电系统 (MEMS) 模拟麦克风，或来自系统板的线路输入（辅助输入）。

语音或音频信号输入可以容性耦合（交流耦合）或直流耦合到器件。为了获得出色的失真性能，建议使用低电压系数电容器进行交流耦合。对于 INxP 或 INxM 引脚，TAA5242 的典型输入阻抗是 5kΩ。在交流耦合模式下，选择的耦合电容值必须确保由耦合电容器和输入阻抗形成的高通滤波器不影响信号内容。该耦合电容器必须在上电时充电至共模电压，然后才能开始进行正确录音。为了实现快速充电，该器件配备了快速充电方案，可在上电时加快耦合电容器的充电速度。该器件的快速充电时间是通过 MD3 引脚和数字 HPF 进行配置的。

表 8-4 展示了 MD4 和 MD5 配置所提供的模拟输入配置模式

表 8-4. 模拟输入配置

MD4	MD5	模拟输入配置
低电平	低电平	差分输入；仅交流耦合
低电平	高电平	差分输入；交流或直流耦合
高电平	低电平	INxP 上的单端输入
高电平	高电平	差分输入；交流或直流耦合；低功耗模式

8.3.4 基准电压

所有音频数据转换器都需要直流基准电压。TAA5242 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须在 VREF 引脚与模拟地 (VSS) 之间使用一个最低 1μF 的电容器从外部进行滤波。该基准电压 VREF 的值设置为 2.75V（对于 3.3V AVDD）或 1.375V（对于 1.8V AVDD），从而可支持 $2V_{RMS}$ 差分满量程输入和连接至器件的 $2V_{RMS}$ 差分满量程输出。不要将任何外部负载连接到 VREF 引脚。

8.4 器件功能模式

8.4.1 工作模式

当 AVDD 和 IOVDD 可用时，器件会在工作模式下唤醒。在为器件启用时钟之前，为器件所需的工作模式配置所有硬件控制引脚（MD0、MD1、MD2、MD3、MD4、MD5 和 MD6）。

在工作模式下，如果音频时钟可用，则器件会自动为所有 ADC 通道加电并开始通过音频串行接口发送和播放数据。如果时钟停止，则器件会自动关闭 ADC 通道。

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TAA5242 是一款立体声、高性能音频 ADC，支持高达 192kHz 的采样速率。可以通过控制引脚 MD0 至 MD6 来配置该器件，并且该器件可以支持 1.8V/3.3V AVDD 以及 I2S/TDM/LJF 的灵活数字接口。该器件支持具有差分输入和单端输入功能的立体声高动态范围 ADC。

9.2 典型应用

9.2.1 应用

图 9-1 展示了 TAA5242 的典型配置，适用于在交流耦合模式下使用两通道 MEMS 麦克风和 I²S 目标音频数据目标接口的应用。为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。

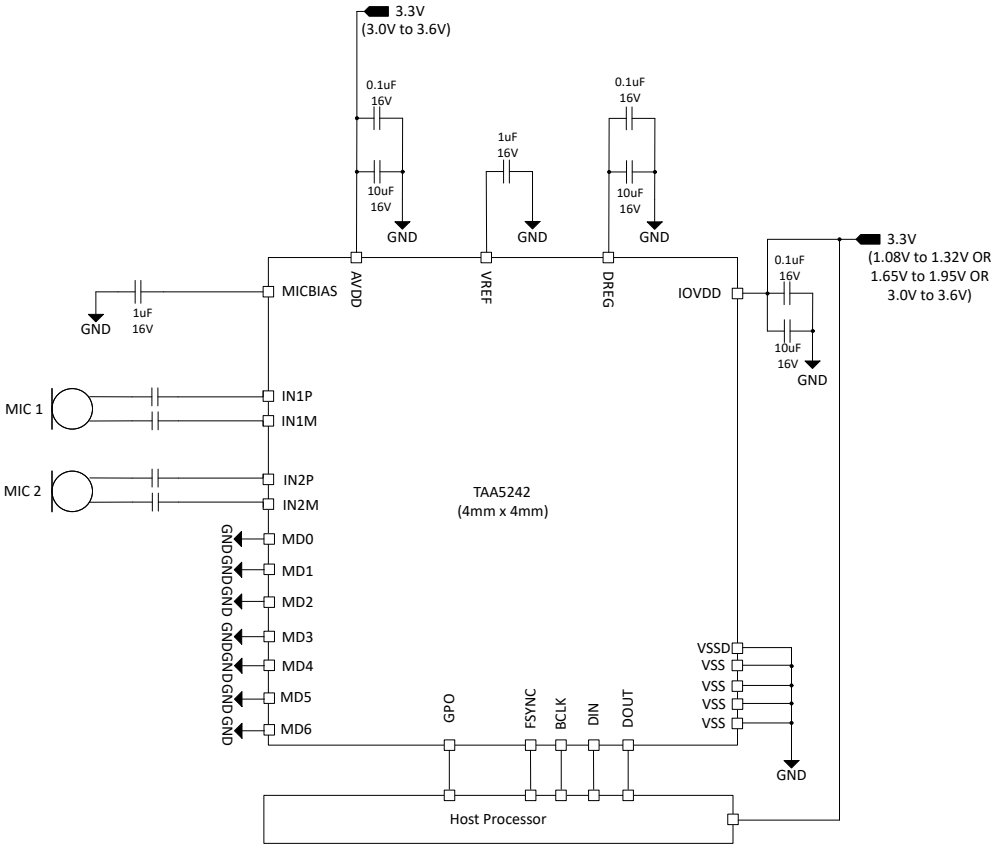


图 9-1. 立体声 MEMS 麦克风方框图

9.2.2 设计要求

表 9-1 列出了此应用的设计参数。

ADVANCE INFORMATION

表 9-1. 设计参数

参数	值
AVDD	3.3V
IOVDD	1.2V、1.8V 或 3.3V
AVDD 电源电流消耗	待定
IOVDD 电源电流消耗	待定
最大 MICBIAS 电流	5mA

9.2.3 详细设计过程

本节介绍了为此特定应用配置 TAA5242 的必要步骤。

1. 为器件通电：
   a. 为 IOVDD 和 AVDD 电源加电
   b. 等待至少 1ms，让器件初始化内部寄存器。
   c. 器件现在进入睡眠模式（低功耗模式 < 10μA）
2. 根据系统要求配置模式引脚：
   a. 通过上拉至 AVDD 或下拉至 VSS 来选择 ASI 模式；MD0 引脚。对于此用例，应将 MD0 接地。
   b. 根据所需配置在 MD1 至 MD6 引脚上拉至 IOVDD 或下拉至 VSS。对于此用例，所有引脚均接地。
3. 应用 ASI 时钟将唤醒器件（BCLK 和 FSYNC）
4. 要将器件重新置于睡眠模式，请停止时钟：
   a. 等待至少 100ms，让器件完成内部关断序列
   b. 根据要求将 MD0 更改为 MD5 来更改模式配置
5. 根据模式转换要求，重复步骤 3 和步骤 4

ADVANCE INFORMATION

Copyright © 2024 Texas Instruments Incorporated

10 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。然而，只有当所有模式引脚稳定后，才可以启动时钟来初始化器件。

对于电源上电要求，t_1、t_2 和 t_3 必须至少为 2ms 才能让器件初始化内部寄存器。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 *节 8.4*。对于电源断电要求，t_4、t_5 和 t_6 必须至少为 10ms。该时序（如图 10-1 所示）允许器件慢慢降低录音数据的音量，关闭模拟和数字块，以及将器件置于低功耗模式。

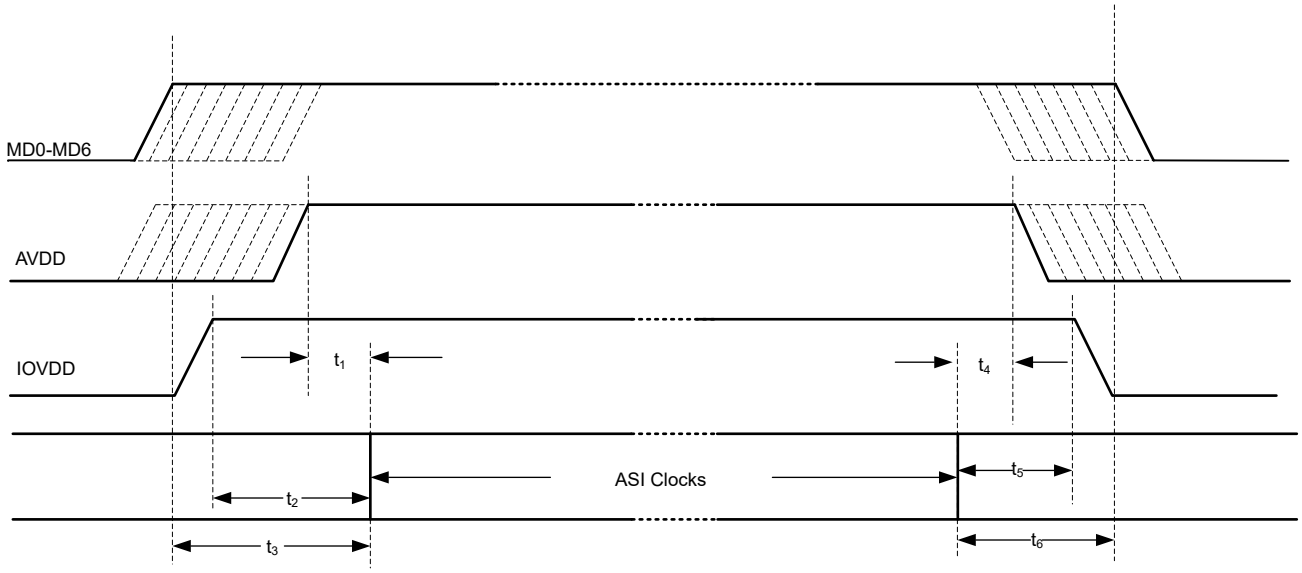


图 10-1. 电源时序要求时序图

确保电源斜升速率低于 0.1V/μs，并且断电和上电事件之间的等待时间至少为 100ms。

TAA5242 通过集成片上数字稳压器 DREG 和模拟稳压器 AREG，支持单 AVDD 电源运行。

ADVANCE INFORMATION

ADVANCE INFORMATION

11 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 文档支持

11.1.1 相关文档

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

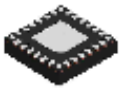
12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

ADVANCE INFORMATION

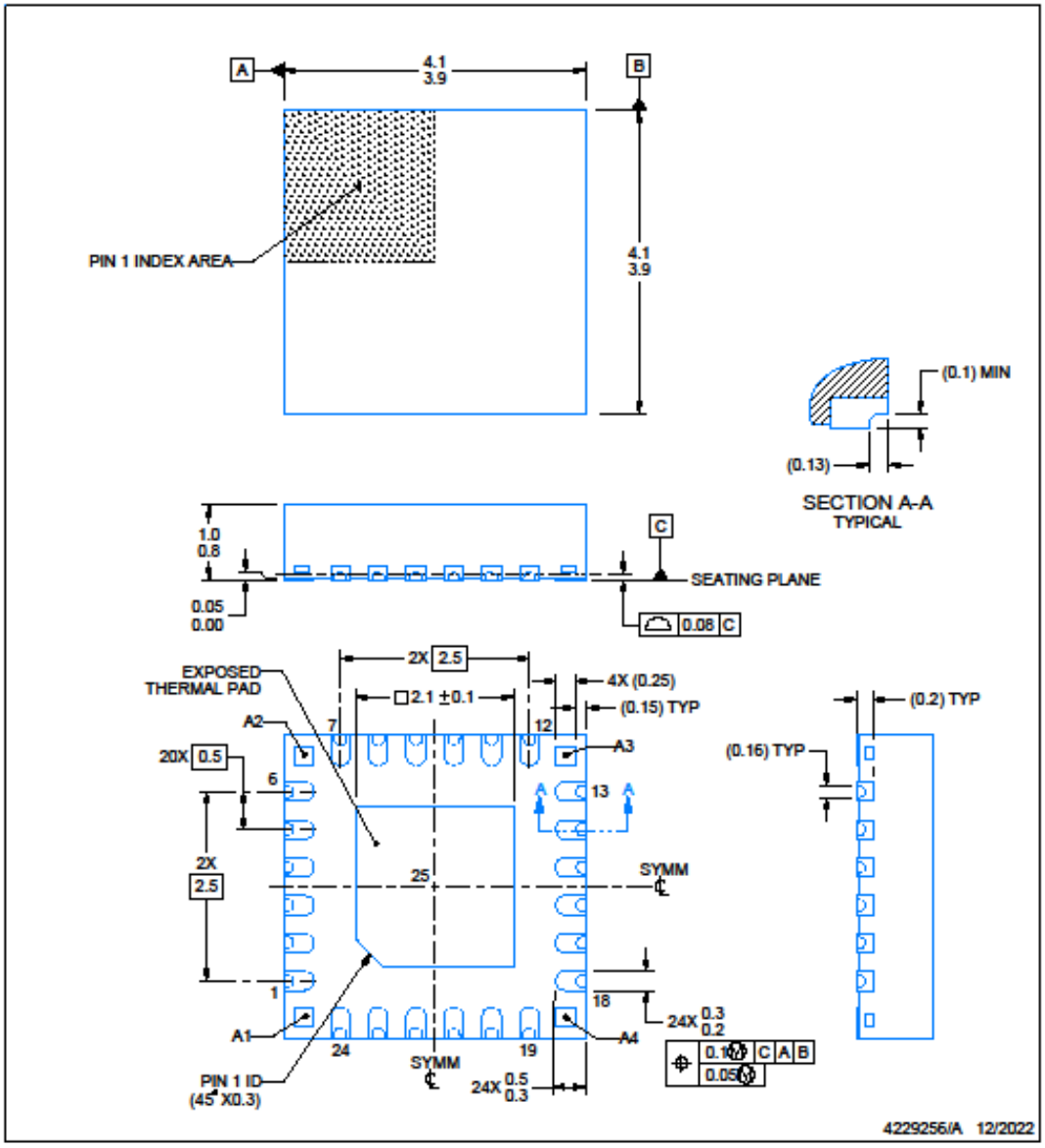
RGE0024W



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

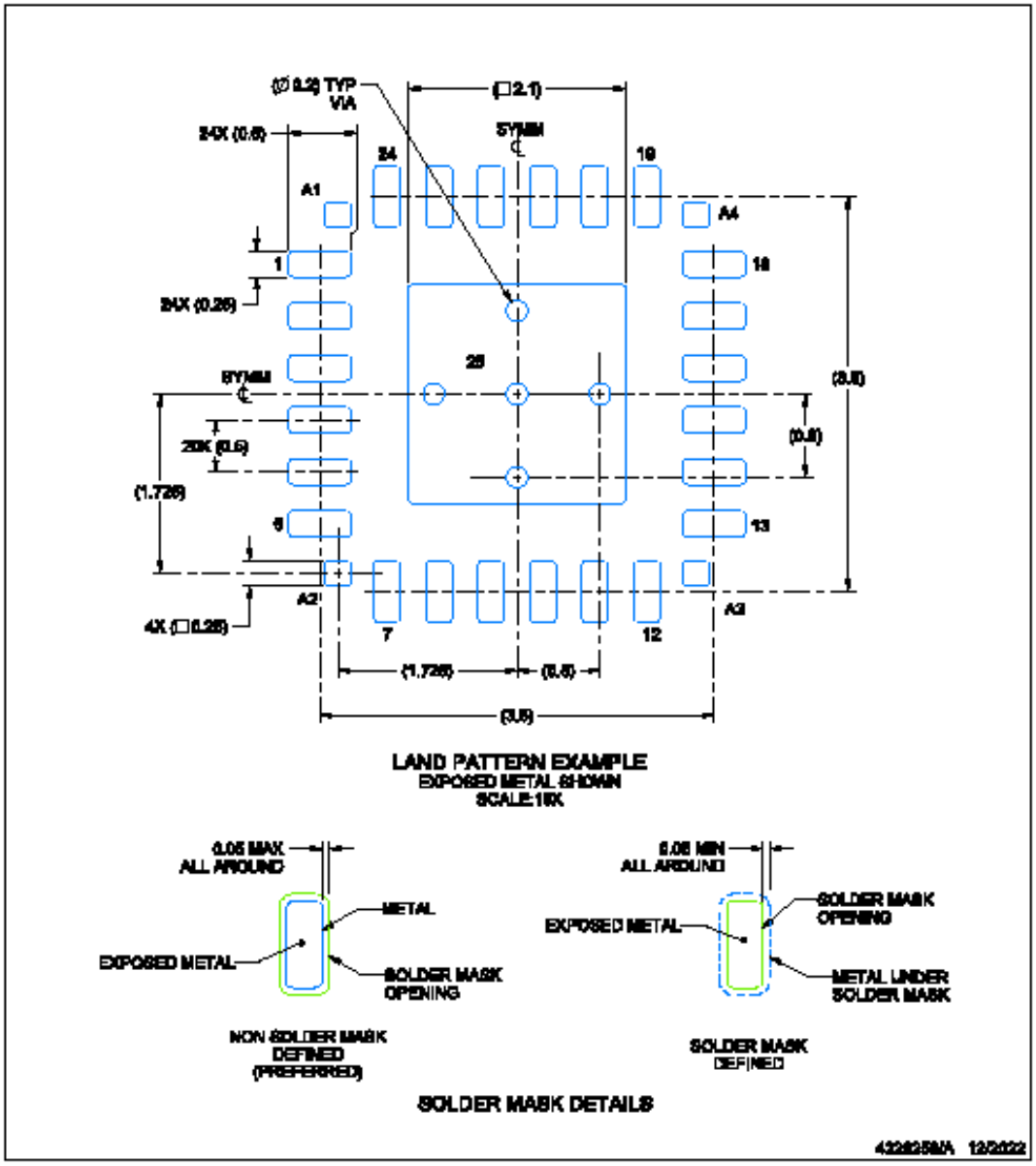
www.ti.com

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RGE0024W — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

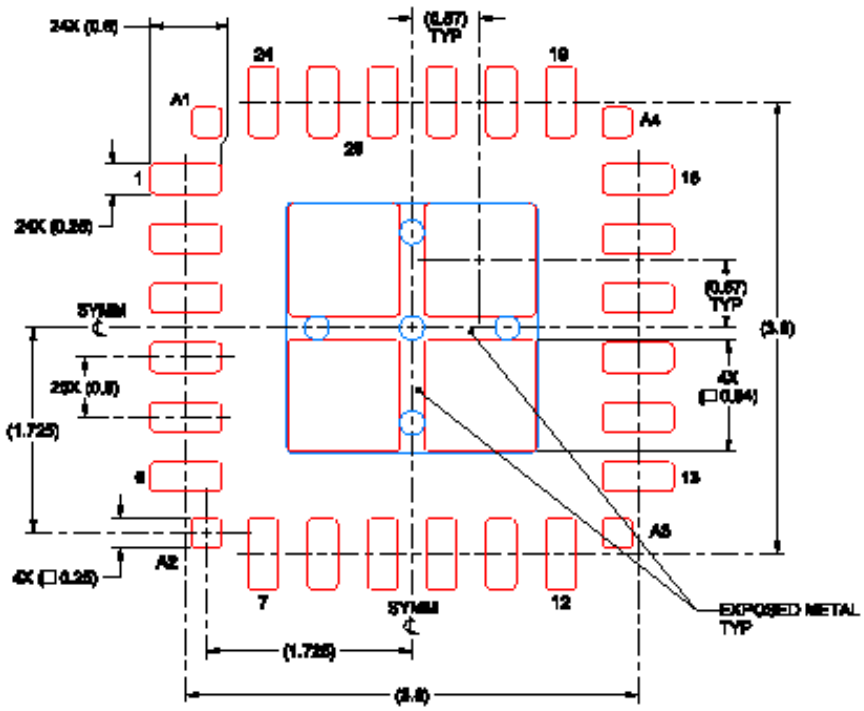
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024W **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

THERMAL PAD 26:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Texas Instruments
www.ti.com

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XTAA5242IRGER	ACTIVE	VQFN	RGE	24	3000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

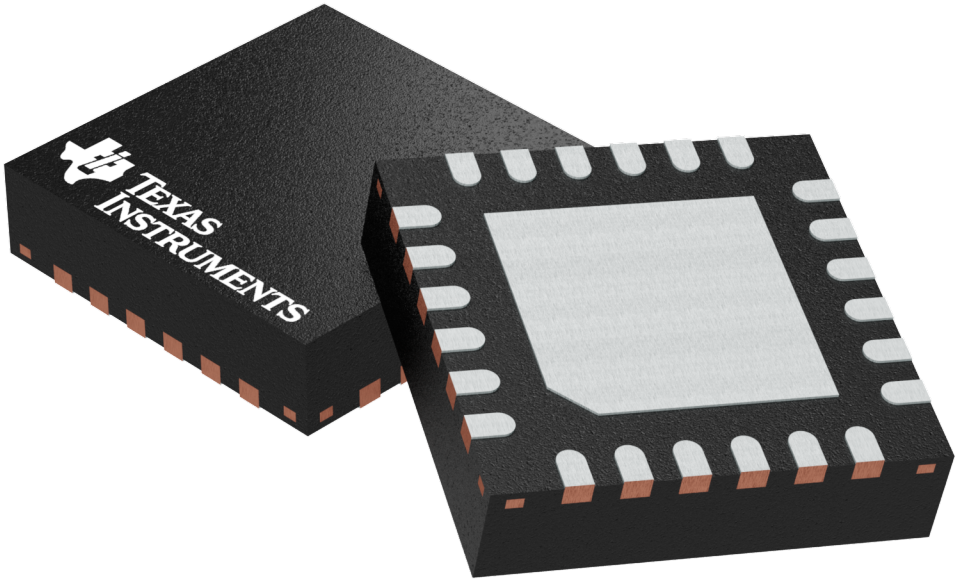
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司