

具有 PWM 接口和低功耗睡眠模式的 DRV8212P 11V H 桥电机驱动器

1 特性

- N 沟道 H 桥电机驱动器
 - MOSFET 导通电阻：HS + LS 280mΩ
 - 可驱动一个双向有刷直流电机
 - 一个单线圈或双线圈闭锁继电器
- 1.65V 至 11V 工作电源电压范围
- 高输出电流能力：4A 峰值
- 标准脉宽调制 (PWM) 接口 (IN1/IN2)
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 超低功耗休眠模式
 - 在 $V_{VM} = 5V$, $V_{VCC} = 3.3V$, $T_J = 25^\circ C$ 时 $<84.5nA$
 - 与 [DRV8837](#) 和 [DRV8837C](#) 引脚对引脚兼容
- 保护特性
 - 欠压锁定 (UVLO)
 - 过流保护 (OCP)
 - 热关断 (TSD)
- 器件产品系列。有关详细信息，请参阅 [节 5](#)。
 - [DRV8210](#)：1.65-11V，1Ω，多接口
 - [DRV8210P](#)：睡眠引脚，PWM 接口
 - [DRV8212](#)：1.65-11V，280mΩ，多接口
 - [DRV8212P](#)：睡眠引脚，PWM 接口
 - [DRV8220](#)：4.5-18V，1Ω，多接口

2 应用

- 有刷直流电机、螺线管和继电器驱动
- 水表、煤气表和电表
- IP 网络摄像机红外截止滤光器
- 可视门铃
- 机器视觉摄像机
- 电子智能锁
- 电动玩具和机器人玩具
- 血压监护仪
- 输液泵
- 电动牙刷
- 美容美发

3 说明

DRV8212P 是一款集成电机驱动器，具有四个 N 沟道功率 FET、电荷泵稳压器和保护电路。三倍电荷泵架构允许器件在低至 1.65V 的电压下工作，以适应 1.8V 的电源轨和电池电量不足的情况。电荷泵集成了所有电容器，以减小 PCB 上电机驱动器的整体解决方案尺寸，并允许 100% 占空比运行。

DRV8212P 支持业界通用的 PWM (IN1/IN2) 控制接口。nSLEEP 引脚控制低功耗睡眠模式，该模式通过禁用内部电路实现超低静态电流消耗。

该器件能够提供高达 4A 的峰值输出电流。该器件的工作电源电压为 1.65V 至 5.5V。

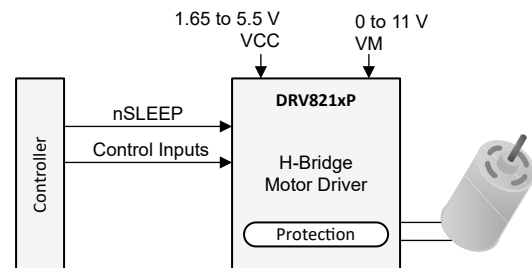
该驱动器提供强大的内部保护功能，包括电源欠压锁定 (UVLO)、输出过流 (OCP) 和器件过热 (TSD) 保护。

DRV8212P 是器件产品系列的一部分，其具有引脚对引脚可扩展的 $R_{DS(on)}$ 和电源电压选项，以支持各种负载和电源轨，并且设计改动最小。有关本产品系列中器件的信息，请参阅 [节 5](#)。访问 ti.com 查看我们完整的有刷电机驱动器产品系列。

器件信息

器件型号 ⁽¹⁾	封装	封装尺寸 (标称值)
DRV8212PDSG	WSO8 (8)	2.00mm × 2.00mm

(1) 有关所有可用的封装，请参阅数据表末尾的可订购产品附录。



简化原理图



内容

1 特性	1	9 应用和实施	14
2 应用	1	9.1 应用信息.....	14
3 说明	1	9.2 典型应用.....	14
4 修订历史记录	2	9.3 电流能力和热性能.....	19
5 器件比较	3	10 电源建议	23
6 引脚配置和功能	4	10.1 大容量电容.....	23
7 规格	5	11 布局	24
7.1 绝对最大额定值.....	5	11.1 布局指南.....	24
7.2 ESD 额定值.....	5	11.2 布局示例.....	24
7.3 建议工作条件.....	5	12 器件和文档支持	25
7.4 热信息.....	5	12.1 文档支持.....	25
7.5 电气特性.....	6	12.2 接收文档更新通知.....	25
7.6 典型特性.....	7	12.3 支持资源.....	25
8 详细说明	9	12.4 商标.....	25
8.1 概述.....	9	12.5 Electrostatic Discharge Caution.....	25
8.2 功能方框图.....	9	12.6 术语表.....	25
8.3 特性说明.....	10	13 机械、封装和可订购信息	26
8.4 器件功能模式.....	12		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (June 2021) to Revision A (July 2021)	Page
---	------

5 器件比较

表 5-1. 器件比较表

器件名称	电源电压 (V)	R _{DS(on)} (m Ω)	I _{OCP} (A)	接口选项	睡眠模式进入	引脚对引脚器件	封装
DRV8210	1.65 至 11	950 (DRL) , 1050 (DSG)	1.76	PWM、PH/EN、半桥	自动睡眠、 VCC	DRV8210 、 DRV8212 、 DRV8220	SOT563 (DRL) 、 WSON (DSG)
DRV8212	1.65 至 11	280	4				
DRV8220	4.5 至 18	1000	1.76				
DRV8210P	1.65 至 11	1050	1.76	PWM	nSLEEP 引脚	DRV8837 、 DRV8837C 、 DRV8210P 、 DRV8212P	WSON (DSG)
DRV8212P	1.65 至 11	280	4				WSON (DSG)

6 引脚配置和功能

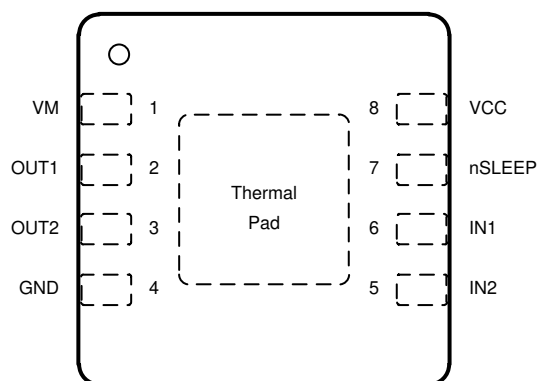


图 6-1. DRV8212P DSG 封装 8 引脚 WSON 顶视图

表 6-1. 引脚功能

引脚		类型	说明
名称	编号		
GND	4	PWR	器件接地。连接到系统接地。
IN1	6	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
IN2	5	I	H 桥控制输入。请参阅节 8.3.2 内部下拉电阻。
nSLEEP	7	I	睡眠模式输入。将此引脚设置为逻辑高电平以启用器件。将此引脚设置为逻辑低电平以进入低功耗睡眠模式。内部下拉电阻。
OUT1	2	O	H 桥输出。连接到电机或其他负载。
OUT2	3	O	H 桥输出。连接到电机或其他负载。
VM	1	PWR	电机电源。使用 0.1μF 陶瓷电容器和额定电压为 VM 的充足大容量电容器将此引脚旁路至 GND 引脚。
VCC	8	PWR	逻辑电源。使用额定值为 VCC 的 0.1μF 陶瓷电容器将此引脚旁路至 GND 引脚。
PAD	—	—	散热焊盘。连接到系统接地。

7 规格

7.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源引脚电压	VM	-0.5	12	V
逻辑电源引脚电压	VCC	-0.5	5.75	V
电源瞬态电压斜坡	VM, VCC	0	2	V/μs
逻辑引脚电压	INx, nSLEEP	-0.5	5.75	V
输出引脚电压	OUTx	-V _{SD}	V _{VM} +V _{SD}	V
输出电流 ⁽¹⁾	OUTx	受内部限制	受内部限制	A
环境温度, T _A		-40	125	°C
结温, T _J		-40	150	°C
存储温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不意味着器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 额定值

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。

(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。列为 ±500V 的引脚实际上可能具有更高的性能。

7.3 建议工作条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V _{VM}	电机电源电压	VM	0		11	V
V _{VCC}	逻辑电源电压	VCC	1.65		5.5	V
V _{IN}	逻辑引脚电压	INx, nSLEEP	0		5.5	V
f _{PWM}	PWM 频率	INx,	0		100	kHz
I _{OUT} ⁽¹⁾	峰值输出电流	OUTx	0		4	A
T _A	工作环境温度		-40		125	°C
T _J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值。

7.4 热信息

热指标 ⁽¹⁾		DRV8212P	单位
		DSG (WSON)	
		8 引脚	
R _{θJA}	结至环境热阻	77.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	97.3	°C/W
R _{θJB}	结至电路板热阻	42.6	°C/W
Ψ _{JT}	结至顶部特征参数	4.9	°C/W
Ψ _{JB}	结至电路板特征参数	42.4	°C/W

热指标 ⁽¹⁾		DRV8212P	单位
		DSG (WSON)	
		8 引脚	
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	21.1	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

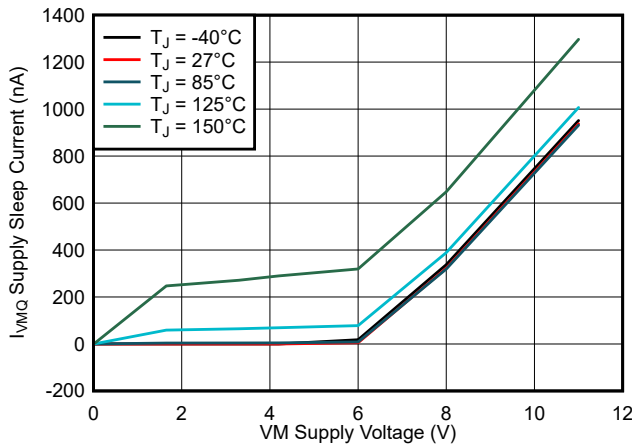
7.5 电气特性

$0V \leq V_{VM} \leq 11V$ 且 $1.65V \leq V_{VCC} \leq 11V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。

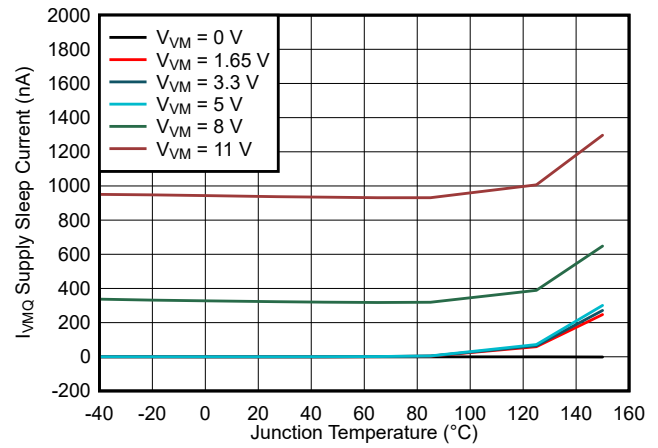
典型值是在 $T_J = 27^{\circ}C$, $V_{VCC} = 3.3V$ 且 $V_{VM} = 5V$ 时。

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM, VCC)						
I_{VM}	VM 工作模式电流	nSLEEP = 3.3V, IN1 = 0V, IN2 = 3.3V	6	11		mA
I_{VMQ}	VM 睡眠模式电流	睡眠模式, $V_{VM} = 5V$, $V_{VCC} = 3.3V$, $T_J = 27^{\circ}C$	1	82		nA
I_{VCC}	VCC 工作模式电流	nSLEEP = 3.3V, IN1 = 0V, IN2 = 3.3V	0.21	11		mA
I_{VCCQ}	VCC 睡眠模式电流	睡眠模式, $V_{VM} = 5V$, $V_{VCC} = 3.3V$, $T_J = 27^{\circ}C$		2.5		nA
t_{WAKE}	开通时间	睡眠模式到工作模式延迟		100		μs
t_{SLEEP}	关断时间	工作模式到睡眠模式延迟	2			μs
逻辑电平输入 (INx, nSLEEP)						
V_{IL}	输入逻辑低电平电压		0	0.4		V
V_{IH}	输入逻辑高电平电压		1.45	5.5		V
V_{HYS}	输入逻辑迟滞		49			mV
I_{IL}	输入逻辑低电平电流	$V_I = 0V$	-1	1		μA
I_{IH}	输入逻辑高电平电流	$V_I = 3.3V$	20	50		μA
R_{PD}	输入下拉电阻	至 GND		100		k Ω
驱动器输出 (OUTx)						
$R_{DS(on)_HS}$	高侧 MOSFET 导通电阻	$I_O = 0.2A$		140		m Ω
$R_{DS(on)_LS}$	低侧 MOSFET 导通电阻	$I_O = -0.2A$		140		m Ω
V_{SD}	体二极管正向电压	$I_O = -1.5A$		1		V
t_{RISE}	输出上升时间	V_{OUTx} 上升, 从 V_{VM} 的 10% 上升到 90%		150		ns
t_{FALL}	输出下降时间	V_{OUTx} 下降, 从 V_{VM} 的 90% 下降到 10%		150		ns
t_{PD}	输入至输出传播延迟	输入超过 0.8V 至 $V_{OUTx} = 0.1 \times V_{VM}$, $I_O = 1A$		135		ns
t_{DEAD}	输出死区时间	内部死区时间		500		ns
保护电路						
$V_{UVLO,VCC}$	VCC 电源欠压锁定 (UVLO)	电源上升		1.65		V
		电源下降	1.30			V
$V_{UVLO,HYS}$	电源 UVLO 迟滞	上升至下降阈值		80		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间	V_{VCC} 下降至 OUTx 禁用		3.8		μs
I_{OCP}	过流保护跳变点		4			A
t_{OCP}	过流保护抗尖峰脉冲时间			4.2		μs
t_{RETRY}	过流保护重试时间			1.7		ms
T_{TSD}	热关断温度		153	193		°C
T_{HYS}	热关断滞后			22		°C

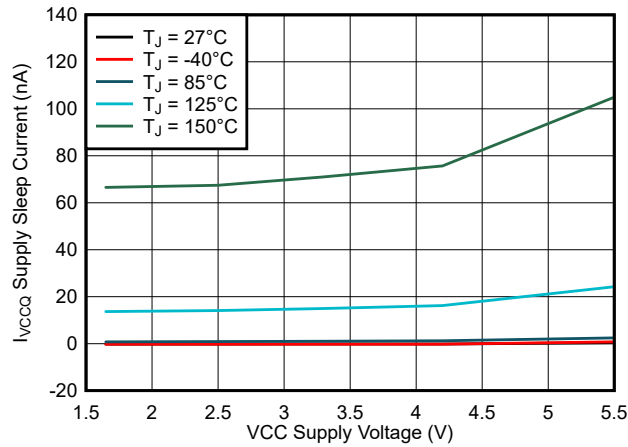
7.6 典型特性



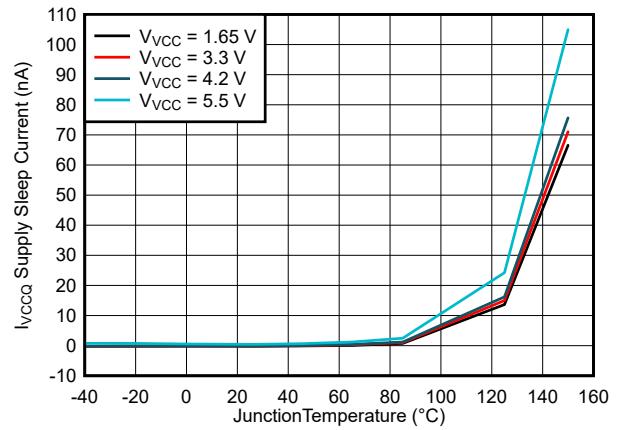
A. $V_{VCC} = 3.3\text{V}$
图 7-1. 睡眠电流 (I_{VMQ}) 与电源电压 (V_{VM}) 间的关系



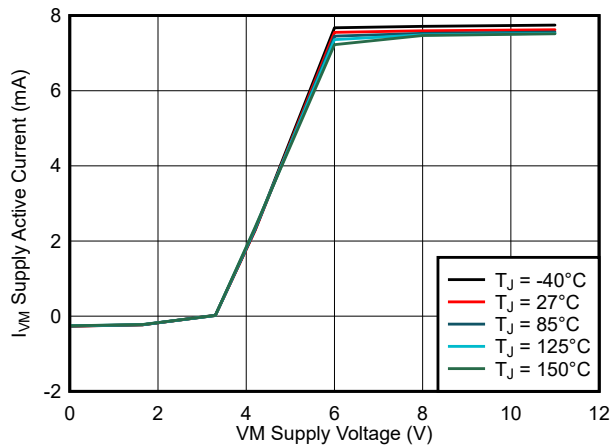
A. $V_{VCC} = 3.3\text{V}$
图 7-2. 睡眠电流 (I_{VMQ}) 与结温 (T_J) 间的关系



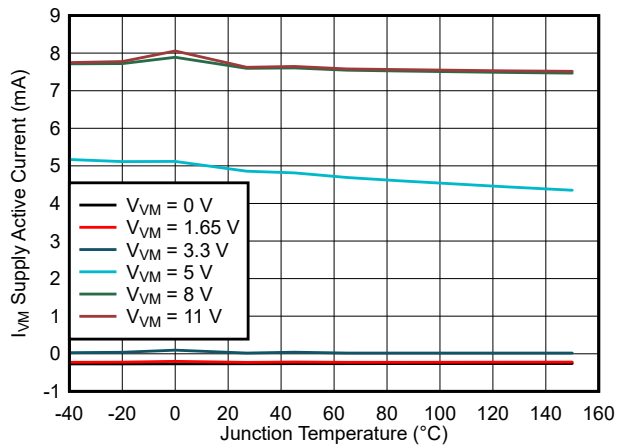
A. $V_{VM} = 5\text{V}$
图 7-3. 睡眠电流 (I_{VCCQ}) 与电源电压 (V_{VCC}) 间的关系



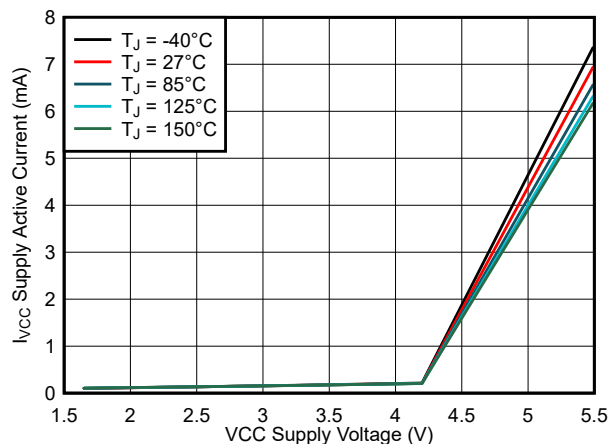
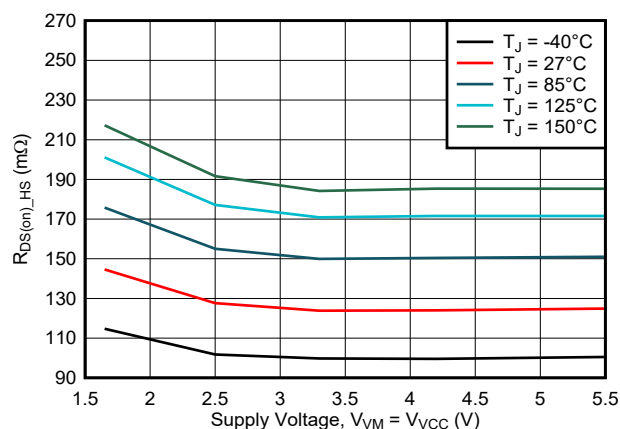
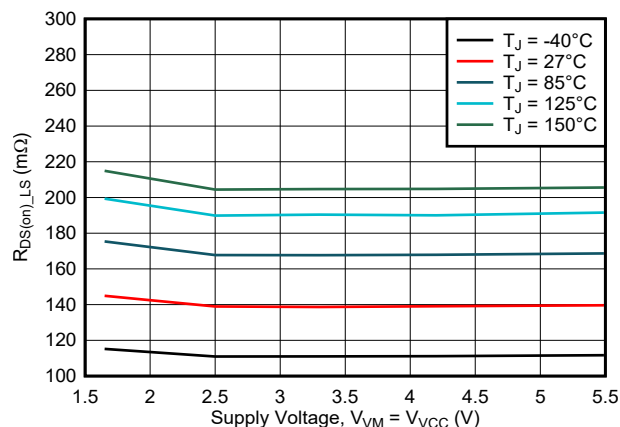
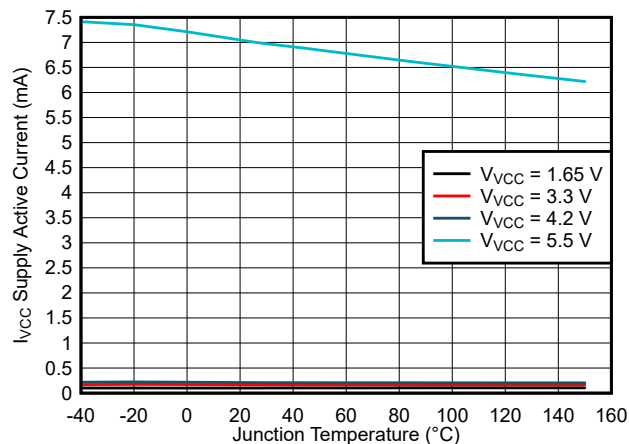
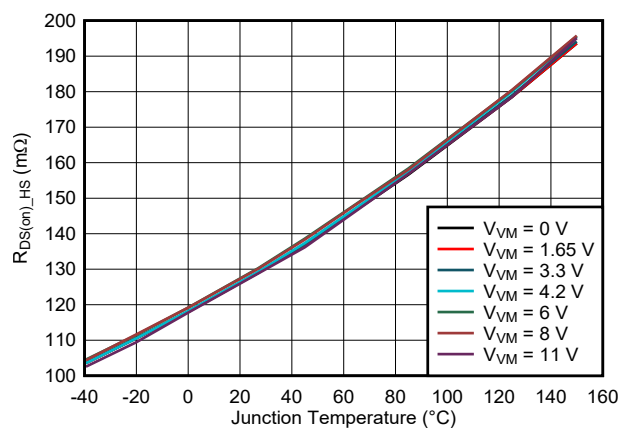
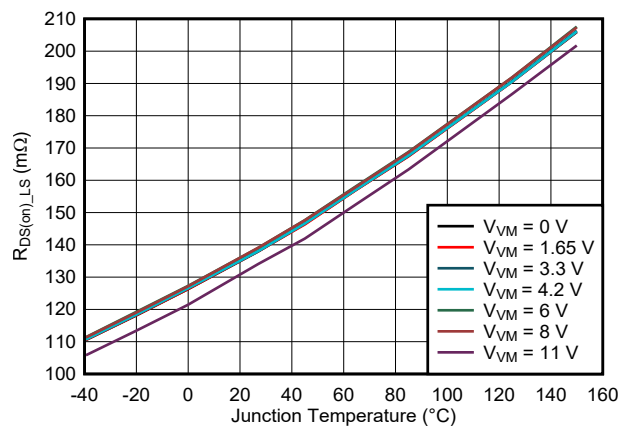
A. $V_{VM} = 5\text{V}$
图 7-4. 睡眠电流 (I_{VCCQ}) 与结温 (T_J) 间的关系



A. $V_{VCC} = 3.3\text{V}$
图 7-5. 工作电流 (I_{VM}) 与电源电压 (V_{VM}) 间的关系



A. $V_{VCC} = 3.3\text{V}$
图 7-6. 工作电流 (I_{VM}) 与结温 (T_J) 间的关系

A. V_{VM} = 5V图 7-7. 工作电流 (I_{VCC}) 与电源电压 (V_{VCC}) 间的关系A. V_{VM} = V_{VCC}图 7-9. 高侧 R_{DS(on)} 与电源电压间的关系A. V_{VM} = V_{VCC}图 7-11. 低侧 R_{DS(on)} 与电源电压间的关系A. V_{VM} = 5V图 7-8. 工作电流 (I_{VCC}) 与结温 (T_J) 间的关系A. V_{VCC} = 3.3V图 7-10. 高侧 R_{DS(on)} 与结温 (T_J) 间的关系A. V_{VCC} = 3.3V图 7-12. 低侧 R_{DS(on)} 与结温 (T_J) 间的关系

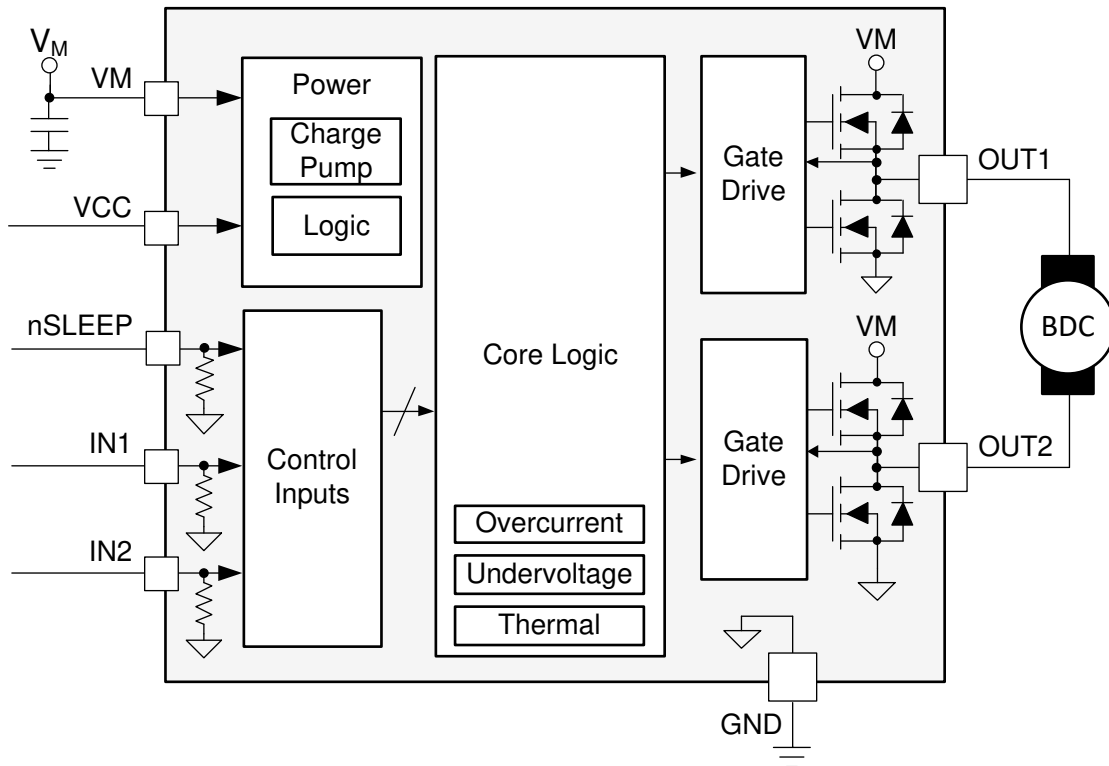
8 详细说明

8.1 概述

DRV8212P 是由标准 PWM (IN1/IN2) 接口控制的集成 H 桥驱动器。H 桥可以双向驱动有刷直流电机和双稳态继电器等负载。为了减少印刷电路板上的面积和外部元件,该器件集成了电荷泵稳压器及其电容器。借助独立的电机 (VM) 和逻辑 (VCC) 电源,只要 VCC 电源稳定,VM 电压可以降至 0V,而不会对 $R_{DS(on)}$ 产生重大影响,也不会触发 UVLO。nSLEEP 引脚会禁用器件并将其置于低功耗睡眠模式。封装 PCB 尺寸与 DRV8837 和 DRV8837C 兼容。

集成保护功能可在出现系统故障时保护该器件。这些保护功能包括欠压锁定 (UVLO)、过流保护 (OCP) 和过热关断 (TSD)。

8.2 功能方框图



8.3 特性说明

8.3.1 外部元件

表 8-1 列出了为此器件推荐的外部元件。

表 8-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C _{VM1}	VM	GND	0.1μF、低 ESR 陶瓷电容器、额定电压为 VM。
C _{VM2}	VM	GND	节 10.1，额定电压为 VM。
C _{VCC}	VCC	GND	0.1μF、低 ESR 陶瓷电容器、额定值为 VCC。仅 DSG 封装型号需要。

8.3.2 控制模式

DRV8212P 支持标准 PWM (IN1/IN2) 接口。可接受占空比为 0% 至 100% 的直流或脉宽调制 (PWM) 电压信号输入。默认情况下，INx 引脚具有内部下拉电阻器，以确保在没有任何输入时输出为高阻态。以下部分显示了 PWM 接口的真值表。此外，当在半桥的高侧和低侧 MOSFET 之间切换时，DRV8210P 会自动处理死区时间生成。图 8-1 介绍了以下部分中描述的各种 H 桥状态的命名和配置。

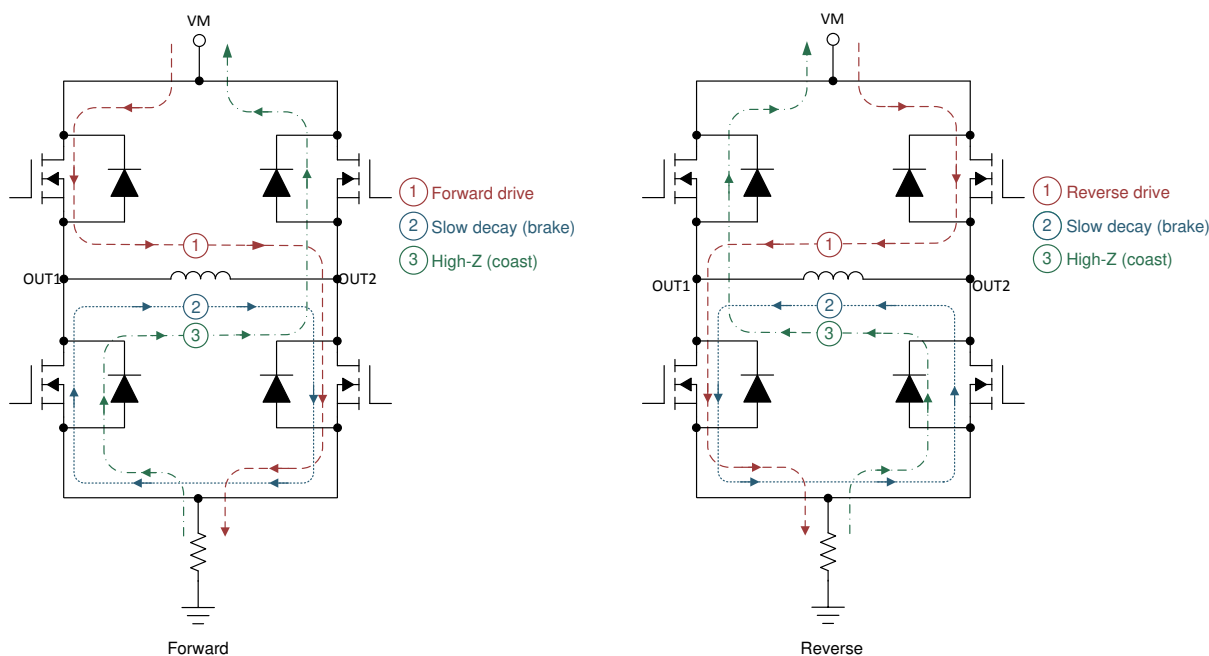


图 8-1. H 桥状态

8.3.2.1 PWM 控制

DRV8212P 采用与 DRV8837/C 器件相同的接口，用于引脚对引脚的替换。nSLEEP 引脚控制睡眠模式。表 8-2 显示了 PWM 接口的真值表。

表 8-2. PWM 控制

nSLEEP	IN1	IN2	OUT1	OUT2	说明
0	X	X	高阻态	高阻态	低功耗睡眠模式
1	0	0	高阻态	高阻态	滑行 (H 桥高阻态)
1	0	1	L	H	反向 (OUT2 → OUT1)
1	1	0	H	L	正向 (OUT1 → OUT2)

表 8-2. PWM 控制 (continued)

nSLEEP	IN1	IN2	OUT1	OUT2	说明
1	1	1	L	L	制动 (低侧慢速衰减)

8.3.3 保护电路

DRV8212P 可完全防止电源欠压、输出过流和器件过热事件。

8.3.3.1 电源欠压锁定 (UVLO)

无论何时，只要 VCC 电源电压低于欠压锁定阈值电压 (V_{UVLO})，H 桥中的所有 MOSFET 都将被禁用。在这种情况下，电荷泵和器件逻辑也会被禁用。当 VCC 上升到 V_{UVLO} 阈值以上时，将恢复正常运行。VM 引脚没有 UVLO，只要 VCC 轨稳定，它就可能降至 0V。表 8-3 总结了器件进入 UVLO 时的条件。

表 8-3. UVLO 响应条件

V_{VM}	V_{VCC}	器件响应
0V 至 $V_{M_{MAX}}$	<1.65V	UVLO
0V 至 $V_{M_{MAX}}$	>1.65V	正常运行

8.3.3.2 OUTx 过流保护 (OCP)

即使发生了硬短路事件，每个 MOSFET 上的模拟电流限制电路也会限制器件输出的峰值电流。如果输出电流超过过流阈值 I_{OCP} 且持续时间超过过流抗尖峰时间 t_{OCP} ，则会禁用 H 桥中的所有 MOSFET。在 t_{RETRY} 之后，MOSFET 会根据 IN1 和 IN2 引脚的状态重新启用。如果过流条件仍然存在，则会重复此周期，否则器件将恢复正常运行。

8.3.3.3 热关断 (TSD)

如果内核温度超过过热限值 T_{TSD} ，将会禁用 H 桥中的所有 MOSFET。当过热条件消失且裸片温度降至 V_{TSD} 阈值以下时，将恢复正常运行。

8.3.4 引脚图

8.3.4.1 逻辑电平输入

图 8-2 显示了逻辑电平输入引脚 nSLEEP、IN1 和 IN2 的输入结构。

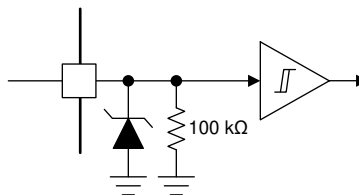


图 8-2. 逻辑电平输入

8.4 器件功能模式

DRV8212P 具有多种不同的运行模式，具体取决于系统输入和条件。

8.4.1 工作模式

在工作模式下，H 桥、电荷泵和内部逻辑都处于工作状态，器件将准备接收输入。进入低功耗睡眠模式或故障模式后，器件将退出工作模式。退出睡眠模式时，nSLEEP 必须保持在高电平的时间超过 t_{WAKE} 才能启用器件。

8.4.2 低功耗睡眠模式

DRV8212P 支持低功耗睡眠模式，以在驱动器未工作时减少 VM 和 VCC 的电流消耗。在低功耗睡眠模式下，器件消耗的电流最少，由 I_{VCCQ} 和 I_{VMQ} 表示。当 nSLEEP 引脚为逻辑低电平时，器件处于睡眠模式。如果 nSLEEP 引脚悬空，nSLEEP 引脚有一个内部下拉电阻器可将器件置于睡眠模式。当 nSLEEP 引脚为逻辑高电平时，器件将返回工作模式。

8.4.3 故障模式

DRV8212P 在遇到故障时会进入故障模式。这可以保护器件和输出负载。故障模式下的器件行为取决于故障条件，如节 8.3.3 中所述。一旦满足恢复条件，器件就会离开故障模式并重新进入工作模式。表 8-4 总结了故障条件、响应和恢复。

表 8-4. 故障条件汇总

故障	条件	H 桥	恢复
欠压锁定 (UVLO)	$V_{CC} < V_{UVLO,VCC}$ 下降	禁用	$V_{CC} > V_{UVLO,VCC}$ 上升
过流 (OCP)	$I_{OUT} > I_{OCP}$	禁用	t_{RETRY}
热关断 (TSD)	$T_J > T_{TSD}$	禁用	$T_J < T_{TSD} - T_{HYS}$

9 应用和实施

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不保证其准确性和完整性。TI 的客户应负责确定组件对其目的的适用性。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

本部分中的应用示例重点介绍了如何使用 DRV8212P。

9.2 典型应用

9.2.1 全桥驱动

DRV8212P 的典型应用是通过将输出作为全桥或 H 桥配置来双向（正向和反向）驱动有刷直流电机或单线圈双稳态闭锁继电器。图 9-1 显示了驱动电机的示例原理图，图 9-2 显示了驱动闭锁继电器的示例原理图。

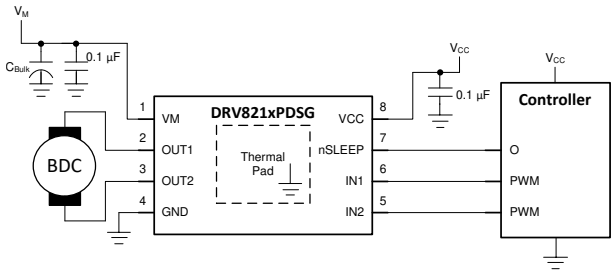


图 9-1. PWM 接口电机驱动应用

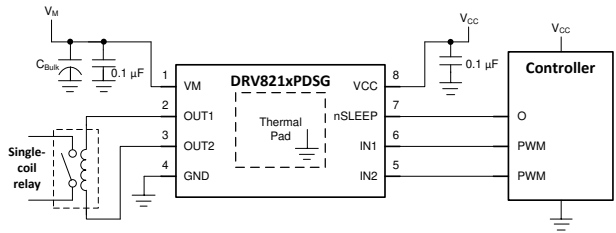


图 9-2. PWM 接口继电器驱动应用

9.2.1.1 设计要求

表 9-1 列出了典型用例所需的参数。

表 9-1. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	11V
逻辑电源电压	V_{CC}	3.3V
目标电机 RMS 电流	I_{motor}	300mA
目标继电器电流	I_{relay}	50mA

9.2.1.2 详细设计过程

9.2.1.2.1 电源电压

适当的电源电压取决于负载（电机、螺线管、继电器等）的额定值。如果使用有刷直流电机，电源电压将影响所需的 RPM。更高的电压可使有刷直流电机更快地旋转，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过电机、螺线管或继电器的感应绕组的电流变化率。

9.2.1.2.2 控制接口

节 8.3.2.1 介绍了 PWM 控制接口。DRV8212P 与 DRV8837 和 DRV8837C PCB 封装引脚对引脚兼容。图 9-3 和图 9-4 显示了使用 PWM 接口驱动电机的波形示例。图 9-5 和图 9-6 显示了使用 PWM 接口驱动单线圈继电器的波形示例。继电器可以在正向/反向状态和制动/滑行状态之间驱动，如图所示。

9.2.1.2.3 低功耗运行

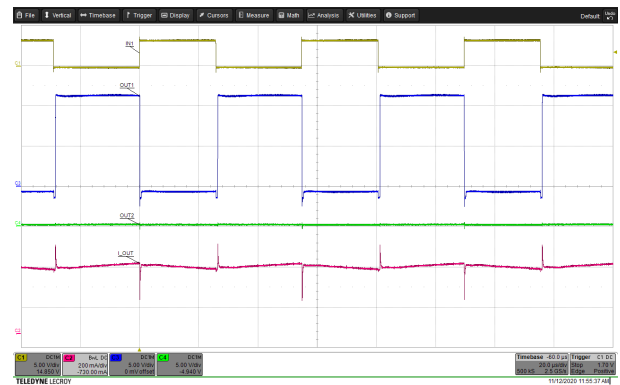
节 8.4.2 介绍了如何进入低功耗睡眠模式。进入睡眠模式时，TI 建议将所有输入设置为逻辑低电平，以最大限度地降低系统功耗。

9.2.1.3 应用曲线



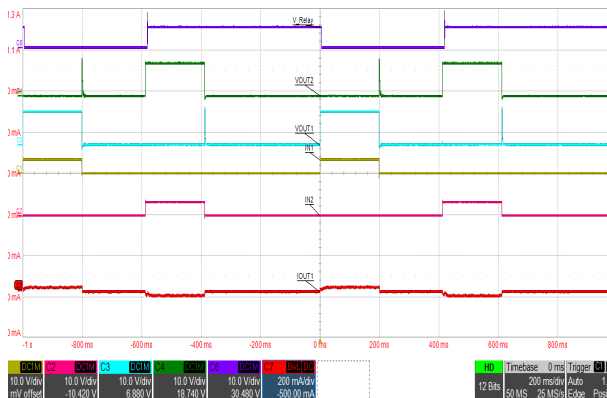
A. 通道 1 = IN1 通道 2 = IN2 通道 3 = OUT1
通道 4 = OUT2

图 9-3. 用于具有 50% 占空比、INx 和 OUTx 电压的电机的 PWM 驱动



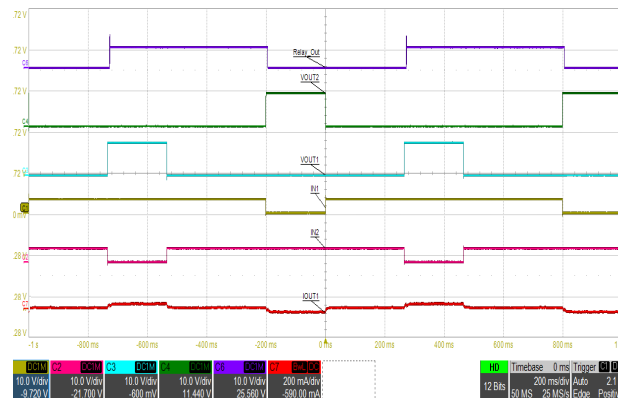
A. 通道 1 = IN1 通道 2 = 电机电流 通道 3 = OUT1
通道 4 = OUT2

图 9-4. 用于具有 50% 占空比、信号和电机电流的电机的 PWM 驱动



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开
关 通道 7 = 继电器线
圈电流

图 9-5. 用于驱动模式为“正向 → 滑行 → 反向 → 滑行”的单线圈闭锁继电器的 PWM 驱动



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开
关 通道 7 = 继电器线
圈电流

图 9-6. 用于驱动模式为“正向 → 制动 → 反向 → 制动”的单线圈闭锁继电器的 PWM 驱动

9.2.2 双线圈继电器驱动

PWM 接口也可用于驱动双线圈闭锁继电器。图 9-7 显示了一个示例原理图。

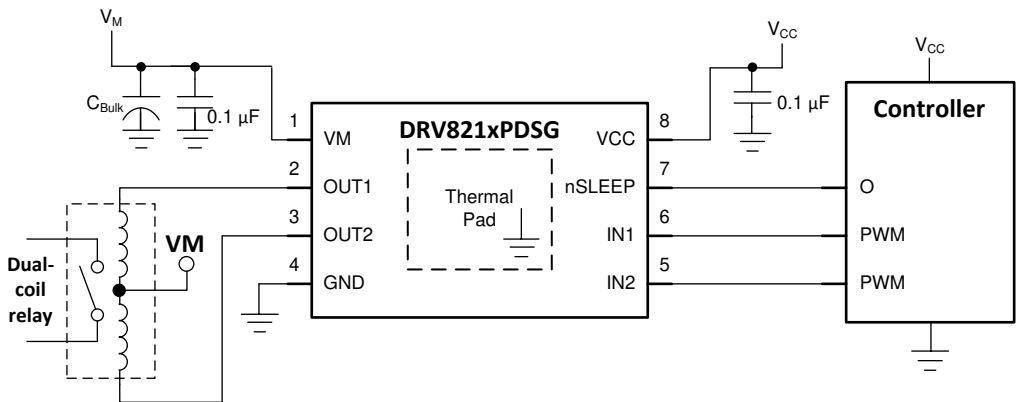


图 9-7. 双线圈继电器驱动

9.2.2.1 设计要求

表 9-2 提供了双线圈继电器应用的示例要求。

表 9-2. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	6V
逻辑电源电压	V_{CC}	3.3V
继电器电流	I_{OUT1} , I_{OUT2}	500mA 脉冲持续 100ms

9.2.2.2 详细设计过程

9.2.2.2.1 电源电压

适当的电源电压取决于负载的额定值。

9.2.2.2.2 控制接口

PWM 接口可用于驱动双线圈继电器。节 8.3.2.1 介绍了 PWM 控制接口。图 9-8 和图 9-9 显示了使用 PWM 接口的驱动双线圈继电器的原理图和时序图。

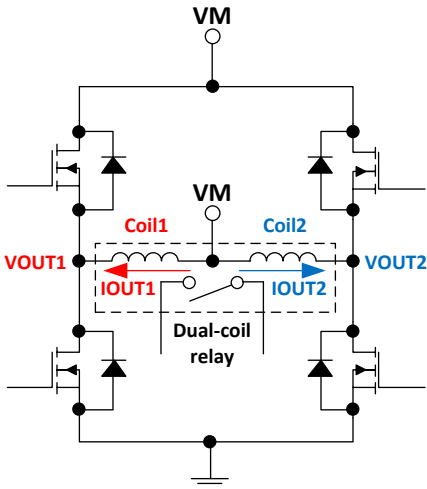


图 9-8. 由 OUTx H 桥驱动的双线圈继电器原理图

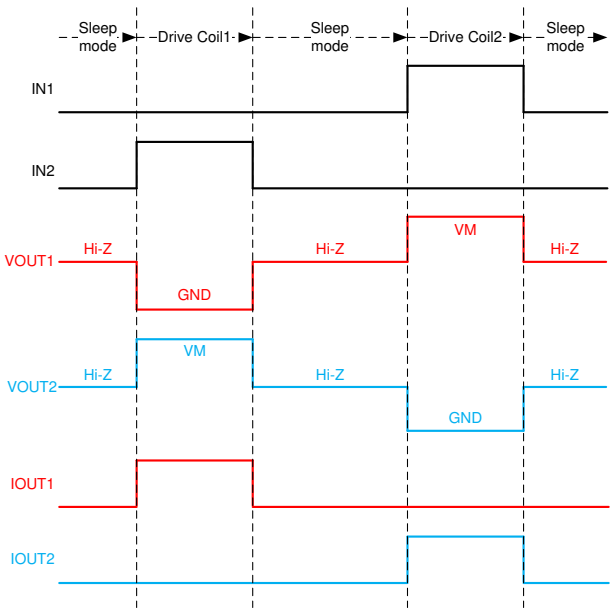


图 9-9. 使用 PWM 接口的驱动双线圈继电器时序图

表 9-3 显示了 PWM 接口的逻辑表。此表中的描述反映了输入和输出状态如何驱动双线圈继电器。当线圈 1 被驱动时 (OUT1 电压在 GND 处)，OUT2 处的电压将转到 VM。由于继电器的中心抽头也位于 VM，因此没有电流流过线圈 2。驱动线圈 2 时也是如此；线圈 1 短接到 VM。高侧 FET 的体二极管起到续流二极管的作用，因此不需要额外的外部二极管。图 9-10 显示了此应用的示波器描述。

表 9-3. 双线圈继电器驱动 PWM 控制表

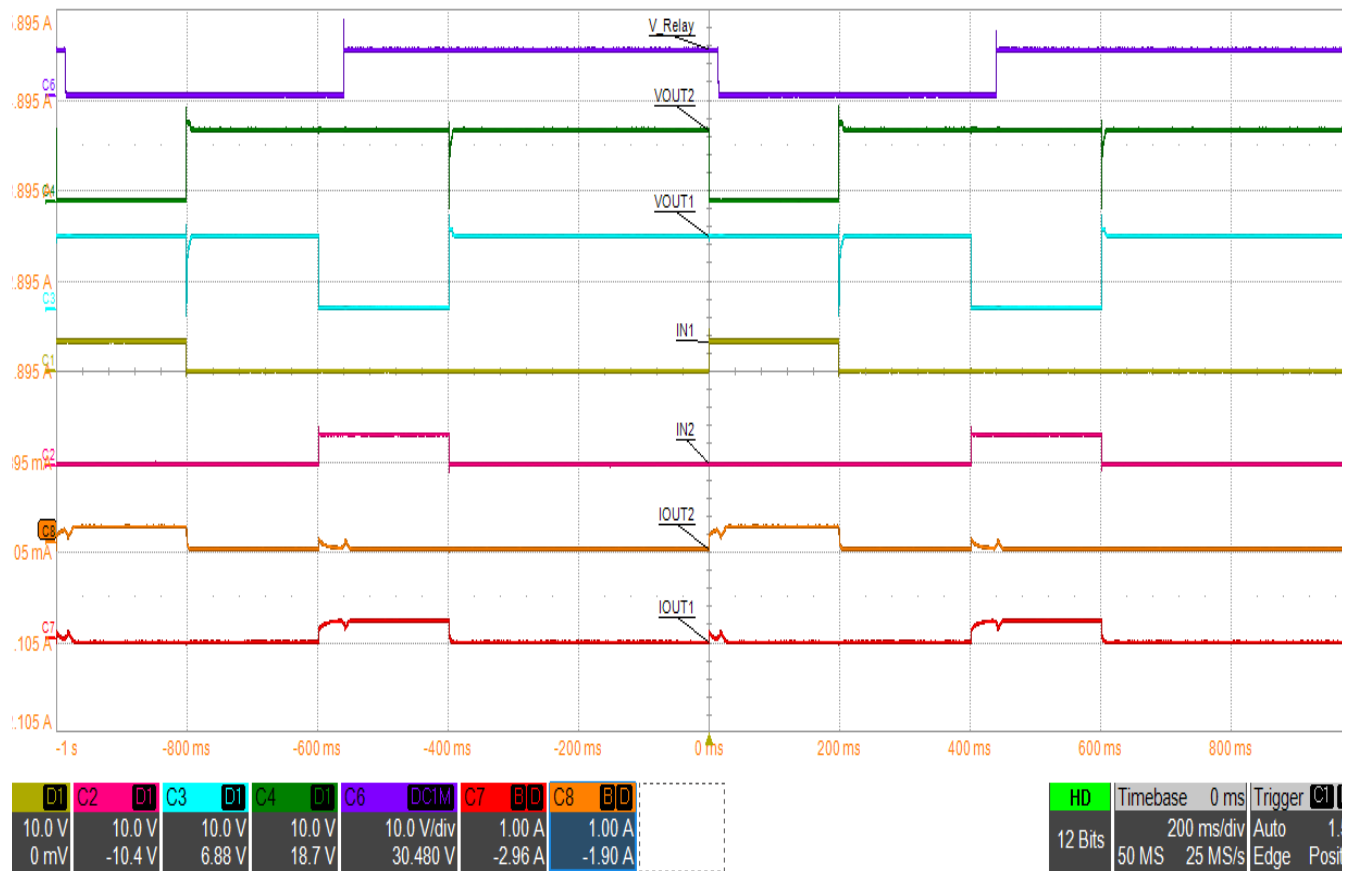
IN1	IN2	OUT1	OUT2	说明
0	0	高阻态	高阻态	输出禁用 (H 桥高阻抗)
0	1	L	H	驱动线圈 1
1	0	H	L	驱动线圈 2
1	1	L	L	驱动线圈 1 和线圈 2 (双线圈锁存继电器的无效状态)

9.2.2.2.3 低功耗运行

节 8.4.2 介绍了如何进入低功耗睡眠模式。进入睡眠模式时，TI 建议将所有输入设置为逻辑低电平，以最大限度地降低系统功耗。

为了最大限度地减少流入 OUTx 引脚的泄漏电流 (尤其是在电池供电的应用中)，请将负载从 OUTx 连接到 GND。如前一部分中所示，也可以将负载从 OUTx 连接到 VM，但当其被禁用时可能会有少许漏电流流入 OUTx。

9.2.2.3 应用曲线



A. 通道 1 = IN1 通道 2 = IN2 通道 3 = V_{OUT1}
通道 4 = V_{OUT2} 通道 6 = 继电器开关 通道 7 = 继电器线圈 1 电流

通道 8 = 继电器线圈 2 电流

图 9-10. 双线圈继电器的 PWM 驱动

9.2.3 电流检测

GND 引脚上的一个小分流电阻器可以将电流检测信息提供回微控制器 ADC。微控制器可以使用此信息来检测电机负载情况，例如失速。显示了使用 DRL 封装的示例原理图。如果需要更好的电流检测动态范围，可以添加一个放大器，如图 9-11 中所示。

可以将 DSG 散热焊盘连接到电路板接地网络或 GND 引脚/检测信号网络。

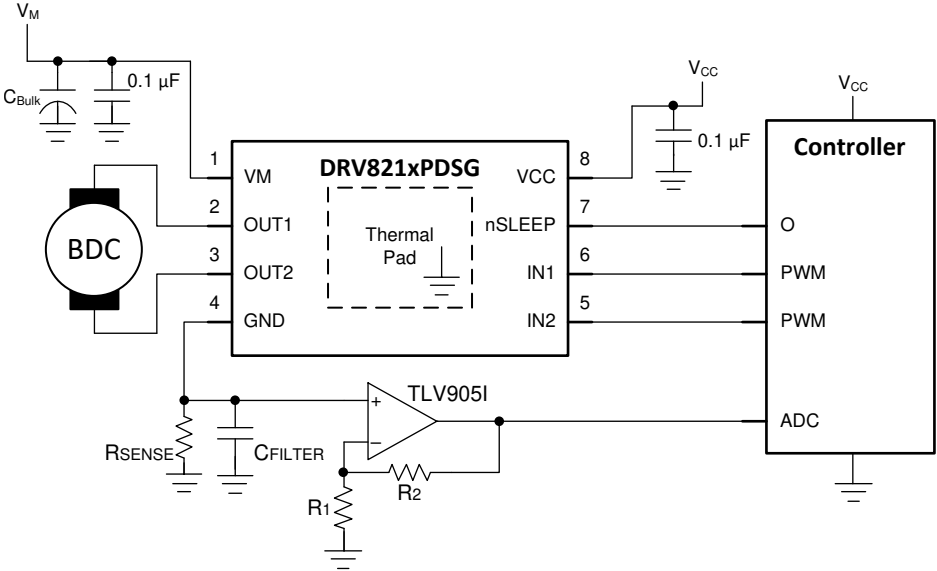


图 9-11. 电流检测放大器示例

9.2.3.1 设计要求

表 9-4 提供了电流检测应用的示例要求。

表 9-4. 系统设计要求

设计参数	基准	示例值
电机电源电压	V_M	6V
逻辑电源电压	V_{CC}	3.3V
R_{SENSE} 上的最大电压	V_{SENSE}	150 mV
电机 RMS 电流	I_{OUT1} , I_{OUT2}	500mA
电机失速电流	$I_{OUT1, stall}$, $I_{OUT2, stall}$	1A

9.2.3.2 详细设计过程

9.2.3.2.1 分流电阻器阻值调整

INx 引脚的绝对最大额定值设置了分流电阻器上的最大电压。如果 INx 引脚上的信号为低电平（以电路板接地为基准），则 INx 引脚相对于 GND 引脚的电压为负电压。这会将最大检测电压/GND 引脚电压设置为 0.5V。图 9-12 显示了相对引脚电压。

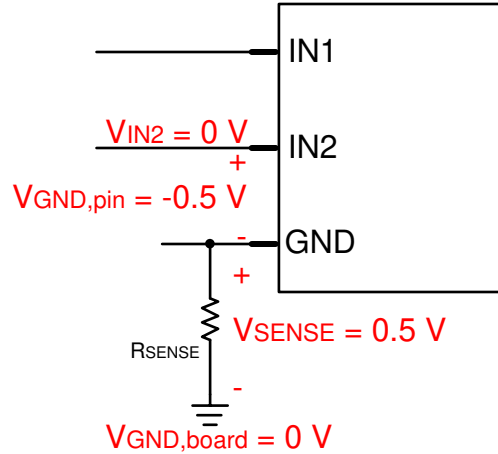


图 9-12. 使用电流检测电阻器相对于电路板接地的引脚电压

此示例使用 150mV 作为最大 V_{SENSE} ，该值小于 0.5V，并提供了一定的安全或误差裕度。通过电机的最大电流将是失速电流，在本例中为 1A。借助此信息，可根据以下等式计算检测电阻 R_{SENSE} 。

$$R_{SENSE} = V_{SENSE} / I_{STALL} = 0.15 / 1 = 0.15 \Omega \quad (1)$$

由于器件的 GND 引脚电压会随着通过检测电阻的电流而变化，因此设计人员还必须确保逻辑引脚满足 V_{IL} 和 V_{IH} 参数，且电源保持在 V_{UVLO} 以上，以便正常工作。

9.3 电流能力和热性能

此驱动器的输出电流和功率损耗能力在很大程度上取决于 PCB 设计和外部系统条件。本部分提供了一些用于计算这些值的指导。

9.3.1 功率耗散和输出电流能力

该器件的总功耗由三个主要部分组成：静态电源电流耗散 (P_{VM} 和 P_{VCC})、功率 MOSFET 开关损耗 (P_{SW}) 及功率 MOSFET $R_{DS(on)}$ (导通) 损耗 (P_{RDS})。虽然其他因素可能会造成额外的功率损耗，但与这三个主要因素相比，这些因素通常微不足道。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (2)$$

可以根据标称电机电源电压 (V_{VM}) 和 I_{VM} 工作模式电流规格来计算 P_{VM} 。可以根据标称逻辑电源电压 (V_{VCC}) 和 I_{VCC} 工作模式电流规格来计算 P_{VCC} 。当 $V_{VCC} < V_{VM}$ 时，DRV8212 会从 VM 引脚而非 VCC 引脚汲取运行电流。在这种工作条件下， I_{VCC} 通常小于 500nA。

$$P_{VM} = V_{VM} \times I_{VM} \quad (3)$$

$$P_{VM} = 30mW = 5V \times 6mA \quad (4)$$

$$P_{VCC} = V_{VCC} \times I_{VCC} \quad (5)$$

$$P_{VCC} = 0.693mW = 3.3V \times 0.21mA \quad (6)$$

可以根据标称电机电源电压 (V_{VM})、平均输出电流 (I_{RMS})、开关频率 (f_{PWM}) 以及器件输出上升 (t_{RISE}) 和下降 (t_{FALL}) 时间规格来计算 P_{SW} 。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (7)$$

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (8)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (9)$$

$$P_{SW_RISE} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (10)$$

$$P_{SW_FALL} = 3.75mW = 0.5 \times 5V \times 0.5A \times 150ns \times 20kHz \quad (11)$$

$$P_{SW} = 7.5mW = 3.75mW + 3.75mW \quad (12)$$

可以根据器件 $R_{DS(on)}$ 和平均输出电流 (I_{RMS}) 来计算 P_{RDS} 。

$$P_{RDS} = I_{RMS}^2 \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (13)$$

$R_{DS(ON)}$ 与器件温度密切相关。假设器件结温为 $85^{\circ}C$ ，根据标称温度数据， $R_{DS(on)}$ 可增加约 1.5 倍。下面的计算显示了此降额系数。或者，节 7.6 部分显示了绘制 $R_{DS(on)}$ 如何随温度变化的曲线。

$$P_{RDS} = 420mW = (1A)^2 \times (140m\Omega \times 1.5 + 140m\Omega \times 1.5) \quad (14)$$

根据上面的示例计算，下面的表达式计算了器件的总预期功率耗散。

$$P_{TOT} = P_{VM} + P_{VCC} + P_{SW} + P_{RDS} \quad (15)$$

$$P_{TOT} = 458mW = 30mW + 0.693mW + 7.5mW + 420mW \quad (16)$$

可以使用 P_{TOT} 、器件环境温度 (T_A) 和封装热阻 ($R_{\theta JA}$) 来计算驱动器的结温。 $R_{\theta JA}$ 的值在很大程度上依赖于 PCB 设计以及器件周围的铜散热量。节 9.3.2 更详细地介绍了这种依赖性。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (17)$$

$$T_J = 121^{\circ}C = (0.458W \times 77.9^{\circ}C/W) + 85^{\circ}C \quad (18)$$

对于所有系统工作条件，器件结温应保持在绝对最大额定值以下。本部分中的计算提供了对结温的合理估计。然而，其他基于系统工作过程中温度测量的方法更加现实和可靠。可以在节 9.3.2 和节 12.1.1 中找到有关电机驱动器电流额定值和功率耗散的其他信息。

9.3.2 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功率耗散和热性能。本节将介绍如何设计稳态和瞬态温度条件。

本节中的数据是按如下条件仿真得出的：

- 2 层 PCB，标准 FR4，1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。散热过孔仅存在于散热焊盘下方 (2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层)。
 - 顶层：DRV8212P WSON 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
 - 底层：接地层通过 DRV8212P 散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB，标准 FR4。外侧平面具有 1oz (35mm 覆铜厚度) 或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于散热焊盘下方 (2 个过孔，1.2mm 间距，0.3mm 直径，0.025mm 铜镀层)。
 - 顶层：DRV8212P WSON 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
 - 中间层 1：GND 平面通过过孔热连接到 DRV8212P 焊盘。接地平面的面积为 74.2mm x 74.2mm。
 - 中间层 2：电源平面，无热连接。电源平面的面积为 74.2mm x 74.2mm。
 - 底层：带有小型铜焊盘的信号层位于 DRV8212P 下方，通过从顶部平面和内部 GND 平面拼接进行热连接。底层热焊盘的尺寸与封装相同 (2 mm x 2 mm)。虽然顶部铜平面的尺寸并不固定，但底部焊盘的尺寸保持不变。

图 9-13 显示了 HTSSOP 封装的模拟电路板示例。表 9-5 显示了每次仿真时使用的不同板尺寸。

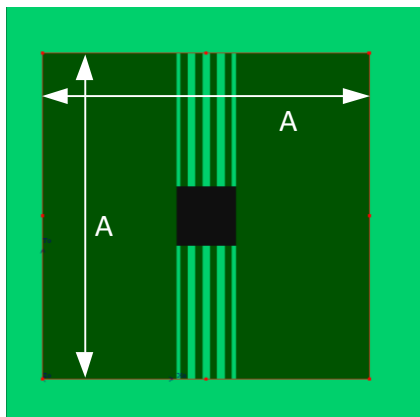


图 9-13. WSON PCB 模型顶层

表 9-5. 用于 16 引脚 PWP 封装的尺寸 A

铜面积 (mm ²)	尺寸 A (mm)
2	15.11
4	20.98
8	29.27
16	40.99

9.3.2.1 稳态热性能

“稳态”条件假设电机驱动器在很长一段时间内以恒定的 RMS 电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 如何随 PCB 的铜面积、覆铜厚度和层数而变化。铜面积越大、层数越多、铜平面越厚, $R_{\theta JA}$ 和 Ψ_{JB} 就越小, 表明 PCB 布局的热性能越强。

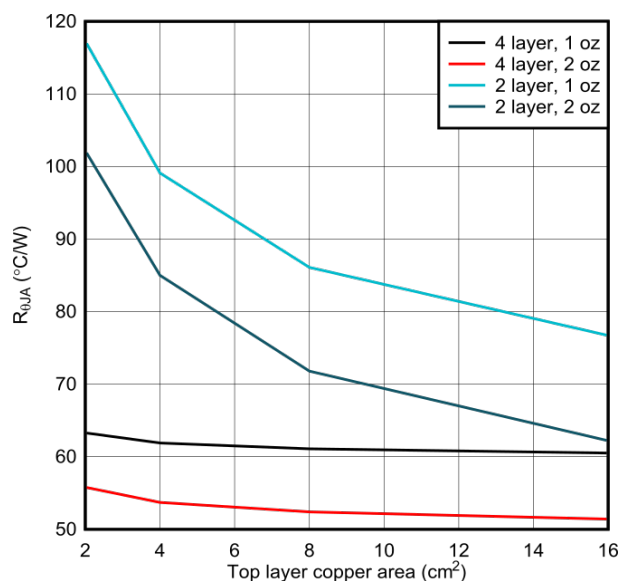


图 9-14. WSON、PCB 结至环境热阻与铜面积间的关系

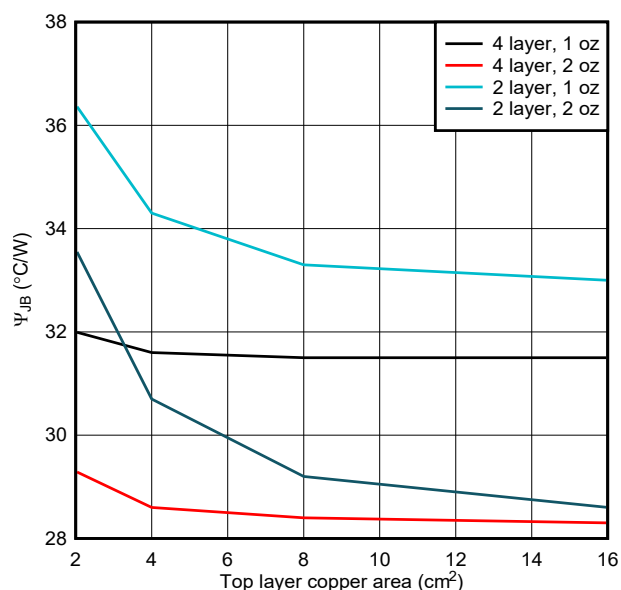


图 9-15. WSON、结至电路板特征参数与铜面积间的关系

9.3.2.2 瞬态热性能

电机驱动器可能会遇到不同的瞬态驱动条件, 导致大电流在短时间内流动。这些条件可能包括

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一个因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的图显示了 WSON 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

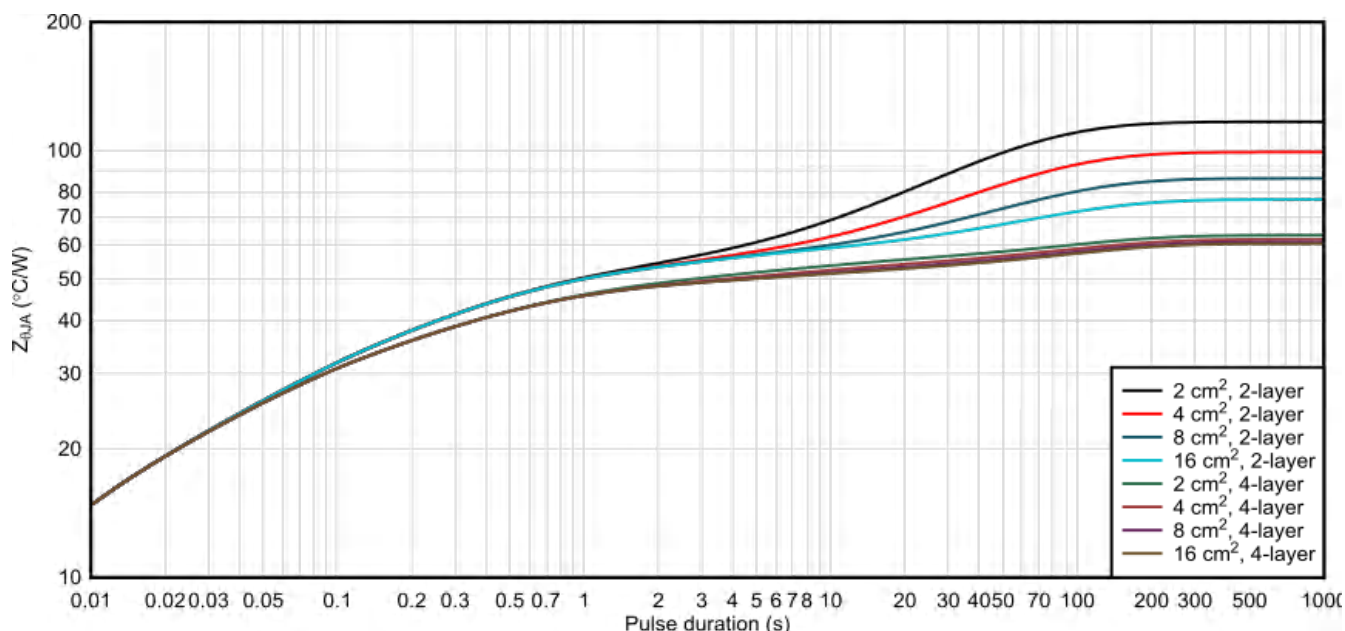


图 9-16. 1oz 铜布局的 WSON 封装结至环境热阻抗

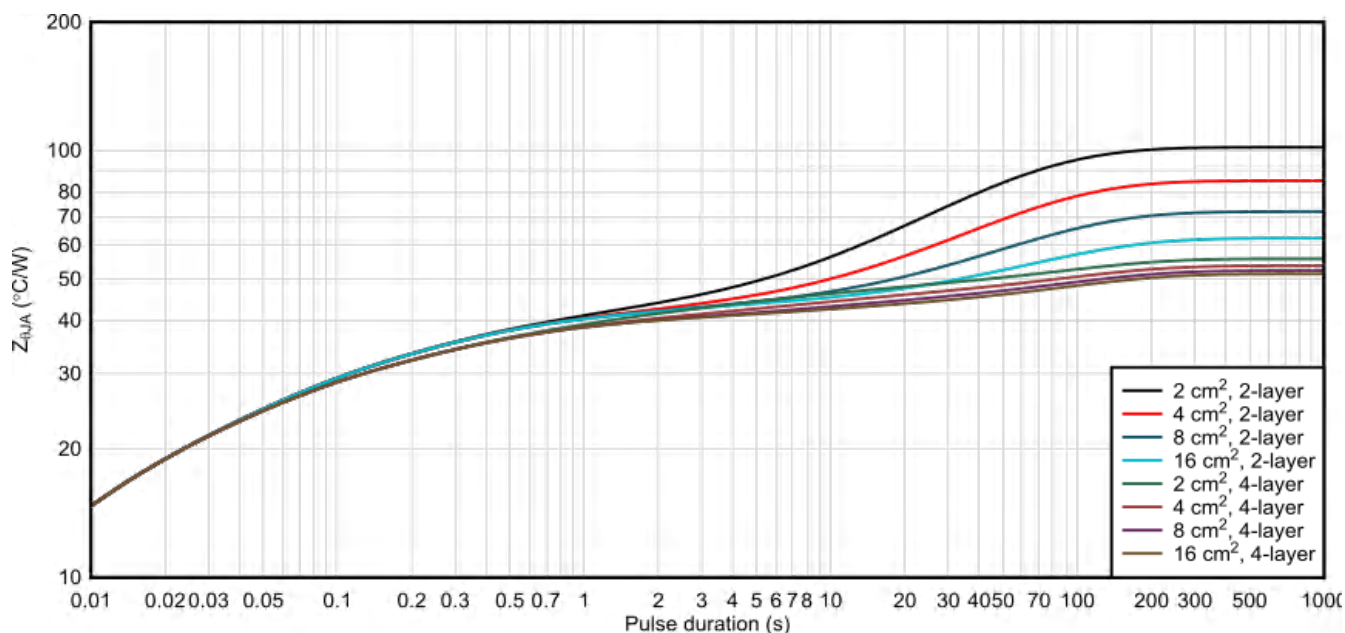


图 9-17. 2oz 铜布局的 WSON 封装结至环境热阻抗

10 电源建议

10.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部大容量电容的容量取决于多种因素，包括：

- 电机或负载所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的系统电压纹波
- 电机制动方法（如果适用）

电源与电机驱动系统之间的电感会限制额定电流与电源之间的变化幅度。如果局部大容量电容太小，系统将对过大的电流需求作出响应，或随电压的变化将其从电机中排除。当使用足够多的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表通常会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

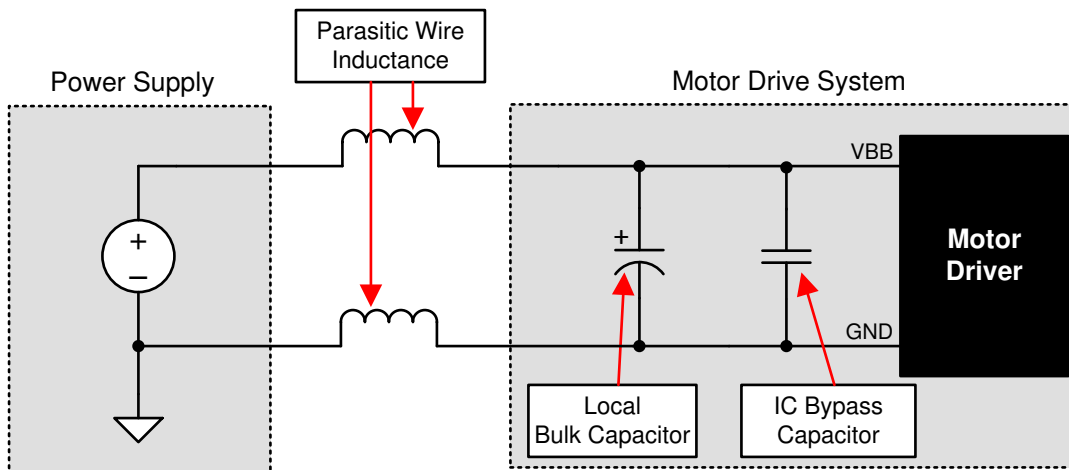


图 10-1. 系统电源寄生效应示例

11 布局

11.1 布局指南

由于 DRV8212P 器件集成了能够驱动大电流的功率 MOSFET，因此，应特别注意布局设计和外部元件放置。下面提供了一些设计和布局指南。有关布局建议的更多信息，请参阅应用手册 [电机驱动器电路板布局最佳实践](#)。

- 低 ESR 陶瓷电容器应用于 VM-to-GND 和 VCC 到 GND 旁路电容器。建议使用 X5R 和 X7R 类型的电容器。
- VM 和 VCC 电源电容器应尽可能靠近器件放置，以最大限度减少回路电感。
- VM 电源大容量电容器可以是陶瓷电容器或电解电容器，但也应尽可能靠近器件放置，以最大限度减小回路电感。
- VM、OUT1、OUT2 和 GND 承载着从电源传输到输出，然后重新传回到接地的高电流。对于这些迹线，应使用厚金属布线（如果可行）。
- GND 应直接连接到 PCB 接地平面上。
- 应通过热过孔将器件散热焊盘连接到 PCB 顶层接地平面和内部接地平面（如果可用），以获得最强的 PCB 散热能力。
- 应尽可能扩大连接到散热焊盘的铜平面面积，以确保获得最佳散热效果。

11.2 布局示例

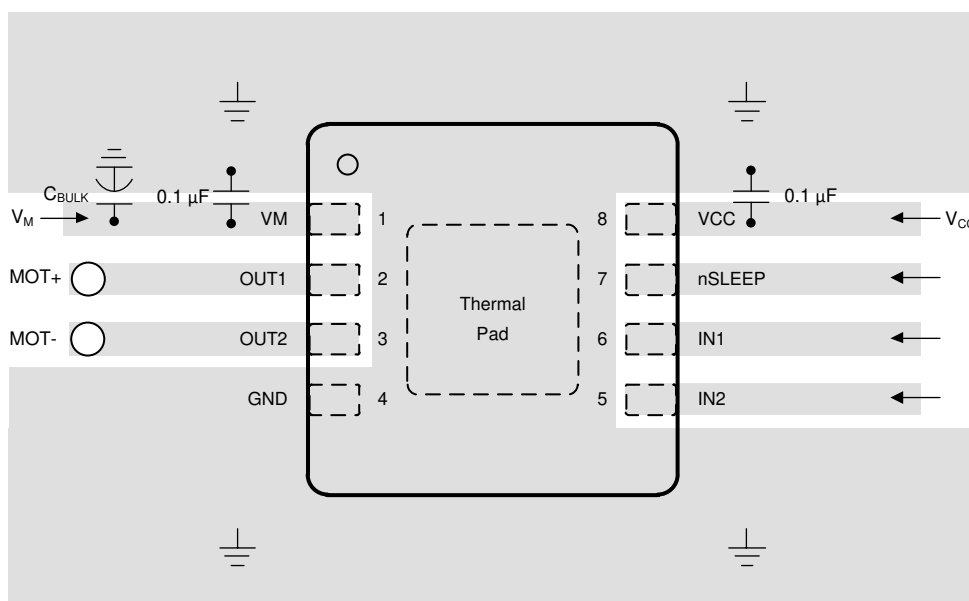


图 11-1. 简化布局示例

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[计算电机驱动器的功耗 应用报告](#)
- 德州仪器 (TI)，[PowerPAD™ 速成 应用报告](#)
- 德州仪器 (TI)，[PowerPAD™ 热增强型封装 应用报告](#)
- 德州仪器 (TI)，[了解电机驱动器电流额定值 应用报告](#)
- 德州仪器 (TI)，[电机驱动器电路板布局最佳实践 应用报告](#)

12.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8212PDSGR	ACTIVE	WSO	DSG	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	212P	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

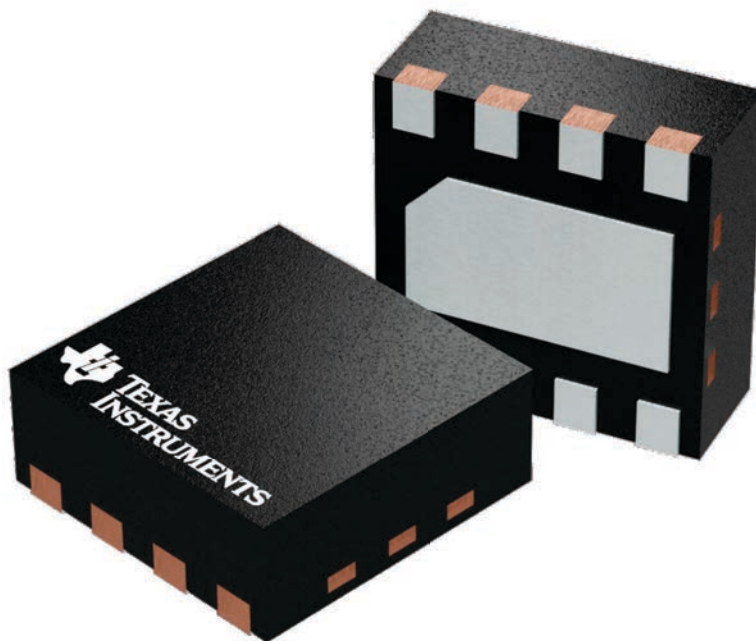
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

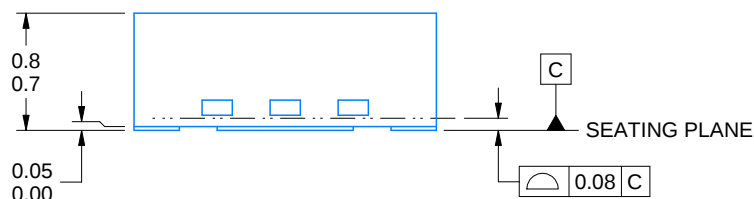


4224783/A



WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

[illegible]

→| |← (DIM A) TYP

NOTES:

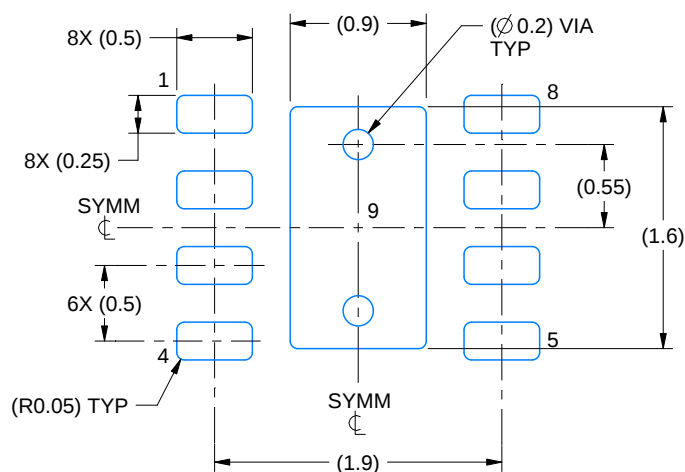
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

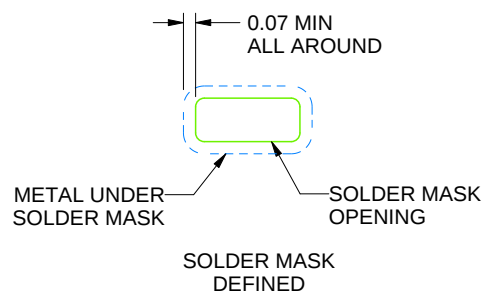
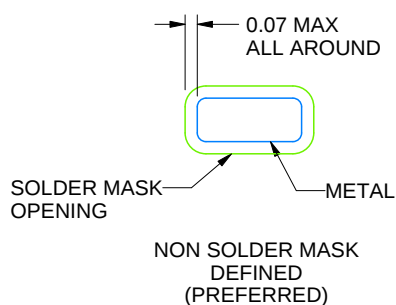
DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

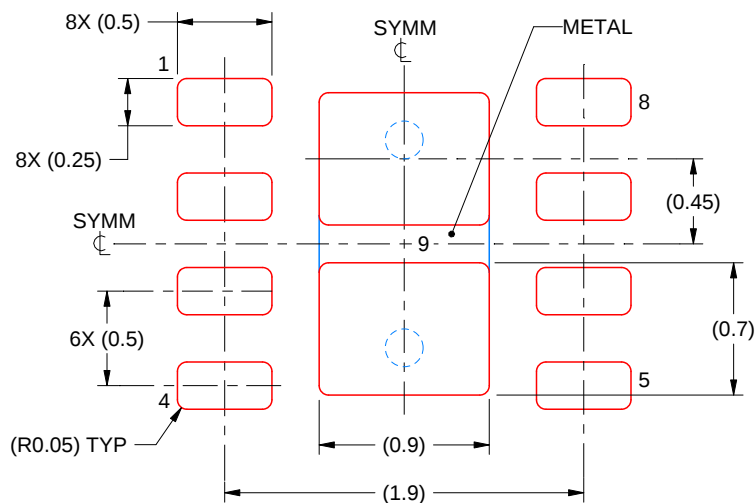
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司