DACx1401 具有精密内部基准的单通道 16 位和 12 位高压输出 DAC

1 特性

- 卓越的性能：1LSB INL/DNL（最大值）
- 超低毛刺脉冲能量：1nV-s
- 宽电源：
  - 单极模式：+4.5V 至 +41.5V
  - 双极模式：±4.5V 至 ±21.5V
- 14 个用户可编程输出范围
  - ±5V、±10V、±20V
  - 0V 至 5V、0V 至 10V、0V 至 20V 和 0V 至 40V
  - 20% 超量程（±20V 和 0V 至 40V 除外）
- 集成 10ppm/°C 2.5V 精密基准
- 可靠性特性：
  - 循环冗余校验 (CRC)
  - 故障引脚
- 50MHz、4 线 SPI 兼容接口
  - 读回
  - 菊花链
- 温度范围：–40°C 至 +125°C
- 封装：
  - 20 引脚 TSSOP (PW)

2 应用

- 半导体测试和 ATE
- 实验室和现场仪表
- PLC、DCS 和 PAC
- 模拟输出模块
- 伺服驱动器控制模块

3 说明

16 位 DAC81401 和 12 位 DAC61401 (DACx1401) 器件是具有集成式 2.5V 内部基准的引脚兼容单通道缓冲式高电压输出数模转换器 (DAC) 系列产品。这些器件具有指定的单调性，并提供低于 1LSB（最大值）的出色线性度。

DACx1401 提供 ±20V、±10V、±5V 的双极输出电压以及 40V、10V 和 5V 的满量程单极输出电压。DAC 输出范围是可编程的。

DACx1401 包含一个上电复位 (POR) 电路，可为 DAC 输出上电，并使器件保持在省电模式，直到启用输出。

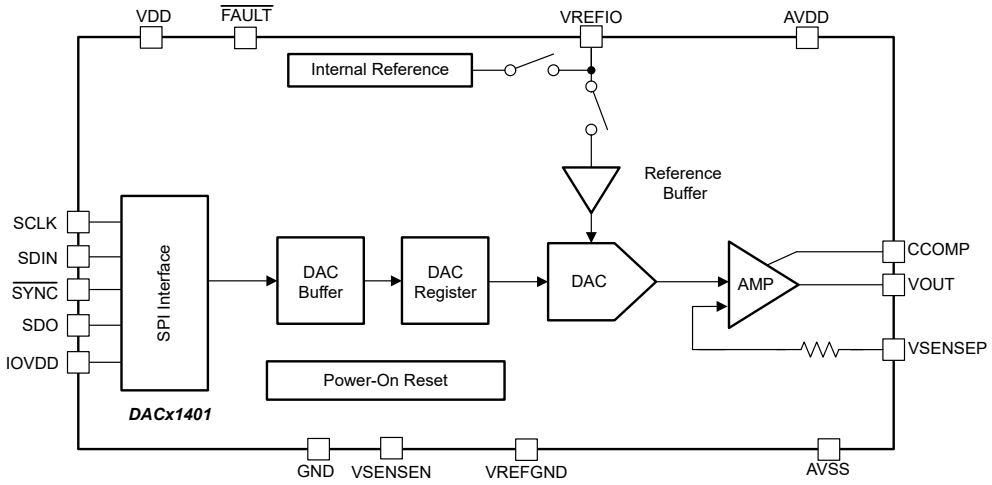
通过一个与支持 1.7V 至 5.5V 工作电压的业界通用微处理器和微控制器兼容的高速 4 线制串行接口，可实现与这些器件之间的通信。

DACx1401 的额定运行温度范围为 –40°C 至 +125°C，采用小型 20 引脚 TSSOP 封装。

器件信息

器件型号	分辨率	封装(1)
DAC81401	16 位	TSSOP（PW，20）
DAC61401	12 位	

(1) 有关详细信息，请参阅 节 11。



DACx1401 方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 最大绝对额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 5
5.5 电气特性.... 5
5.6 时序要求：写入，IOV_{DD}：1.7 V 至 2.7 V.... 10
5.7 时序要求：写入，IOV_{DD}：2.7V 至 5.5V.... 10
5.8 时序要求：读取和菊花链，FSDO = 0，IOV_{DD}：1.7 V 至 2.7 V.... 11
5.9 时序要求：读取和菊花链，FSDO = 1，IOV_{DD}：1.7 V 至 2.7 V.... 11
5.10 时序要求：读取和菊花链，FSDO = 0，IOV_{DD}：2.7V 至 5.5V.... 12
5.11 时序要求：读取和菊花链，FSDO = 1，IOV_{DD}：2.7V 至 5.5V.... 12
5.12 时序图.... 13
5.13 典型特性.... 14
6 详细说明.... 22
6.1 概述.... 22
6.2 功能方框图.... 22
6.3 特性说明.... 22
6.4 器件功能模式.... 25
6.5 编程.... 25
7 寄存器映射.... 29
7.1 寄存器.... 30
8 应用和实施.... 36
8.1 应用信息.... 36
8.2 典型应用.... 36
8.3 初始化设置.... 40
8.4 电源相关建议.... 40
8.5 布局.... 41
9 器件和文档支持.... 42
9.1 接收文档更新通知.... 42
9.2 支持资源.... 42
9.3 商标.... 42
9.4 静电放电警告.... 42
9.5 术语表.... 42
10 修订历史记录.... 42
11 机械、封装和可订购信息.... 42

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

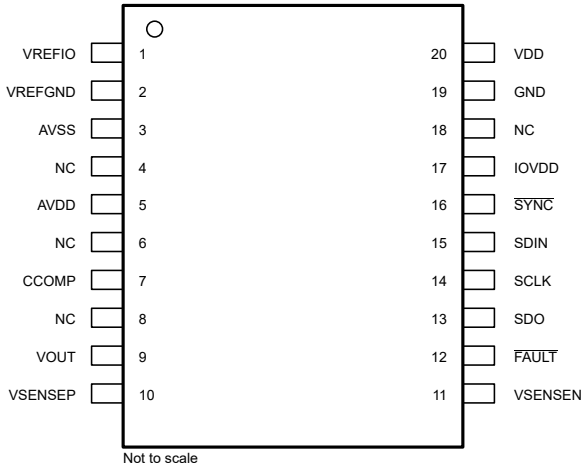


图 4-1. PW 封装，20 引脚 TSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
AVDD	5	电源	正电源
AVSS	3	Power	负电源
CCOMP	7	输入	VOUT 的外部补偿电容器连接引脚。 添加外部电容器（470pF，典型值）可降低输出放大器的带宽，从而提高 VOUT 引脚上具有高容性负载（高达 1 μF）时的稳定性，但这会增加建立时间。
$\overline{\text{FAULT}}$	12	输出	$\overline{\text{FAULT}}$ 引脚。开漏输出。需要外部 10kΩ 上拉电阻。当检测到 $\overline{\text{FAULT}}$ 条件时，引脚变为低电平（有效）。
GND	19	接地	数字和模拟地，连接至 0V
IOVDD	17	电源	IO 引脚电源
NC	4、6、8、18	—	必须保持未连接，引脚悬空
SCLK	14	输入	串行外设接口 (SPI) 的串行时钟输入。数据的传输速率可高达 50 MHz。施密特触发逻辑输入
SDIN	15	输入	串行数据输入。数据在串行时钟输入的下降沿传入寄存器中。施密特触发逻辑输入
SDO	13	输出	串行数据输出。数据在 FSDO 设置的 SCLK 上升沿或下降沿有效。
$\overline{\text{SYNC}}$	16	输入	SPI 总线片选输入（低电平有效）。除非 $\overline{\text{SYNC}}$ 为低电平，否则数据位不会在时钟沿进入串行移位寄存器。当 $\overline{\text{SYNC}}$ 为高电平时，SDO 处于高阻态
VDD	20	电源	数字和模拟电源
VOUT	9	输出	DAC 电压输出引脚
VREFGND	2	输入	基准地，连接到 0V
VREFIO	1	输入/输出	内部基准输出或外部基准输入。将一个 150nF 电容器接地。
VSENSEN	11	输入	连接到 0V
VSENSEP	10	输入	用于正电压输出负载连接的检测输出引脚

5 规格

5.1 最大绝对额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
	电源电压	VDD 至 GND	–0.3	6	V
		IOVDD 至 GND	–0.3	6	
		AVDD 至 GND	-0.3	44	
		AVSS 至 GND	–22	0.3	
		AVDD 至 AVSS	-0.3	44	
	引脚电压	VOUT / VSENSEP 至 GND	AV_{SS} – 0.3	AV_{DD} + 0.3	V
		VREFIO 至 GND	–0.3	V_{DD} + 0.3	
		VREFGND / VSENSEN 至 GND	–0.3	0.3	
		数字输入至 GND	-0.3	IOV_{DD} + 0.3	
		SDO 至 GND	-0.3	IOV_{DD} + 0.3	
		$\overline{FAULT}$ 至 GND	–0.3	6	
	输入电流	流入任何数字引脚的电流（SCLK、SDIN、SDO、$\overline{SYNC}$）	-10	10	mA
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		–60	150	°C

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型（HBM），符合 ANSI/ESDA/JEDEC JS-001[(1)]	±1000	V
		人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源					
	VDD 至 GND	4.5		5.5	V
	IOVDD 至 GND	1.7		5.5	V
	AVDD 至 GND	4.5		41.5	V
	AVSS 至 GND	-21.5		0	V
	AVDD 至 AVSS	4.5		43	V
温度					
T_A	工作环境温度	-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息

热指标[1]		DACx1401 PW (TSSOP) 20 个引脚	单位
$R_{\theta JA}$	结至环境热阻	83.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	21.7	°C/W
$R_{\theta JB}$	结至电路板热阻	36.0	°C/W
Ψ_{JT}	结至顶部特征参数	0.9	°C/W
Ψ_{JB}	结至电路板特征参数	35.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告。

5.5 电气特性

所有最小值和最大值的条件为 T_A = –40°C 至 +125°C；除非另有说明，否则所有典型值的条件为 T_A = 25°C、A_{VDD} = 4.5V 至 41.5V、A_{VSS} = –21.5V 至 0V、V_{DD} = 5.0V、V_{REFIO} = 2.5V（外部基准）、IOV_{DD} = 1.7V、V_{SENSEN} = 0V、DAC 输出为空载、CCOMP 未连接，且数字输入处于 IOV_{DD} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
静态性能[1]						
	分辨率	DAC81401	16			位
		DAC61401	12			位
INL	积分非线性[1]	DAC81401，除 0V 至 40V 范围外的所有范围	-1	±0.4	1	LSB
		DAC81401，0V 至 40V 范围	-2		2	LSB
		DAC61401	-1		1	LSB
DNL	微分非线性		-1	±0.3	1	LSB
TUE	总体未调整误差[1]	单极范围，AV_{SS} = 0V	-0.09		0.09	%FSR
		单极范围，AV_{SS} = 0V，0°C ≤ T_A ≤ +50°C	-0.07		0.07	
		双极范围，–21.5V ≤ AV_{SS} < 0V	-0.085		0.085	
OE	偏移误差[1]	单极范围，AV_{SS} = 0V 双极范围，–21.5V ≤ AV_{SS} < 0V	-0.05		0.05	%FSR
OE-TC	偏移误差温度系数	单极范围，AV_{SS} = 0V 双极范围，–21.5V ≤ AV_{SS} < 0V		±2		ppmFSR/°C
ZCE	零代码（负满量程）误差	单极范围，AV_{SS} = 0V			0.1	%FSR
		双极范围，–21.5V ≤ AV_{SS} < 0V			0.05	
ZCE-TC	零代码（负满量程）误差温度系数	单极范围，AV_{SS} = 0V 双极范围，–21.5V ≤ AV_{SS} < 0V		±2		ppmFSR/°C
FSE	满量程误差[2]	单极范围，AV_{SS} = 0V 双极范围，–21.5V ≤ AV_{SS} < 0V	-0.08		0.08	%FSR
FSE-TC	满量程误差温度系数[2]			±3		ppmFSR/°C
GE	增益误差[1]	单极范围，AV_{SS} = 0V	–0.075		0.075	%FSR
BPGE	增益误差[1]	双极范围，–21.5V ≤ AV_{SS} < 0V	-0.065		0.065	%FSR
GE-TC	增益误差温度系数			±2		ppmFSR/°C
BPZE	双极性零（中标度）误差	双极范围，–21.5V ≤ AV_{SS} < 0V	-0.03		0.03	%FSR
BPZE-TC	双极零（中量程）误差温度系数	双极范围，–21.5V ≤ AV_{SS} < 0V		±2		ppmFSR/°C
	输出电压随时间推移的漂移	T_A = 40°C，DAC 代码满量程，1000 小时		±6		ppm FSR

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40°C 至 +125°C；除非另有说明，否则所有典型值的条件为 T_A = 25°C、A_{VDD} = 4.5V 至 41.5V、A_{VSS} = –21.5V 至 0V、V_{DD} = 5.0V、V_{REFIO} = 2.5V（外部基准）、IOV_{DD} = 1.7V、V_{SENSEN} = 0V、DAC 输出为空载、CCOMP 未连接，且数字输入处于 IOV_{DD} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
输出特性						
V_{OUT}	输出电压		0		5	V
		0V 至 5V 20% 超量程	0		6	
			0		10	
		0V 至 10V 20% 超量程	0		12	
			0		20	
		0V 至 20V 20% 超量程	0		24	
			0		40	
			-5		5	
		-5V 至 +5V 20% 超量程	-6		6	
			-10		10	
		-10V 至 +10V 20% 超量程	–12		12	
			-20		20	
	输出电压余量（至 AVDD）和下余量（至 AVSS）[4]	–10mA ≤ 负载电流 ≤ 10mA	1.25			
		5.5V < AV_{DD} ≤ 41.5V， −15mA ≤ 负载电流 ≤ +15mA	1.5			V
I_{OS}	短路电流[3]	满量程输出短接至 AV_{SS}		40		mA
		满量程输出短接至 AV_{DD}， 5.5V < AV_{DD} ≤ 41.5V，		40		
		零标度输出短接至 AV_{DD}， 4.5V ≤ AV_{DD} ≤ 5.5V		25		
	负载调整率	DAC 处于中标度， –15mA ≤ 负载电流 ≤ +15mA		50		μV/mA
C_L	容性负载[4]	R_{LOAD} = 开路， CCOMP 引脚保持悬空	0		2	nF
		R_{LOAD} = 开路， CCOMP 引脚 = 470pF ±10% 至 V_{OUT}			1	μF
I_L	负载电流[4]	5.5V < AV_{DD} ≤ 41.5V			15	mA
		4.5V < AV_{DD} ≤ 5.5V			10	
	V_{OUT} 输出直流阻抗	DAC 代码位于中标度，DAC 空载		0.05		Ω
		DAC 代码处于满量程，DAC 空载		0.05		
		DAC 代码处于零标度， DAC 空载，单极输出		35		
		DAC 代码处于负满量程， DAC 空载，双极输出		0.05		
	V_{SENSEP} 输出直流阻抗	DAC 代码处于中标度，10V 范围		55		kΩ
		DAC 被禁用		45		

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40°C 至 +125°C；除非另有说明，否则所有典型值的条件为 T_A = 25°C、A_{VDD} = 4.5V 至 41.5V、A_{VSS} = –21.5V 至 0V、V_{DD} = 5.0V、V_{REFIO} = 2.5V（外部基准）、IOV_{DD} = 1.7V、V_{SENSEN} = 0V、DAC 输出为空载、CCOMP 未连接，且数字输入处于 IOV_{DD} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
动态性能						
	输出电压建立时间	5V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB		7		μs
		10V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB		8		μs
		20V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB		12		μs
		40V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB		22		μs
		5V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		0.6		ms
		10V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		0.6		ms
		20V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		0.6		ms
		40V 范围，1/4 至 3/4 标度和 3/4 至 1/4 标度，建立时间达到 ±2LSB，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		1.2		ms
SR	压摆率	0V 至 5V 范围（满标量程的 10% 至 90%）		0.8		V/μs
		除 40V 量程（满标量程的 10% 至 90%）之外的所有其他输出范围		4		
		0V 至 5V 范围，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		0.04		
		所有其他范围，C_L = 1μF，C_{COMP} = 470pF 至 V_{OUT}		0.04		
	上电干扰幅度	AV_{SS} 和 AV_{DD} 对称斜坡，斜坡速率 = 18V/ms，输出空载，内部基准		0.1		V
	输出使能干扰幅度	AV_{SS} 和 AV_{DD} 斜坡，输出空载，内部基准		0.35		V
$V_{NOISEPP}$	输出噪声	0.1Hz 至 10Hz，DAC 代码位于中标度，10V 范围，外部基准 = 2.5V		25		μVpp
		0.1Hz 至 10Hz，DAC 代码位于中标度，10V 范围，内部基准 = 2.5V		30		
V_{NOISE}	输出噪声密度	1kHz，DAC 代码位于中标度，5V 范围，输出空载，外部基准		115		nV/Hz
		10kHz，DAC 代码位于中标度，5V 范围，输出空载，外部基准		105		
THD	总谐波失真	V_{OUT} 上的 1kHz 正弦波，输出空载，DAC 更新速率 = 400kHz		93		dB

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40°C 至 +125°C；除非另有说明，否则所有典型值的条件为 T_A = 25°C、A_{VDD} = 4.5V 至 41.5V、A_{VSS} = –21.5V 至 0V、V_{DD} = 5.0V、V_{REFIO} = 2.5V（外部基准）、IOV_{DD} = 1.7V、V_{SENSEN} = 0V、DAC 输出为空载、CCOMP 未连接，且数字输入处于 IOV_{DD} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
PSRR-AC	电源抑制比 - 交流	V_{OUT} = 0V（中标度），输出空载，±10V 输出，频率 = 60Hz，振幅 200mV_{PP}，叠加在 AV_{DD} 上，V_{DD} 或 AV_{SS}		75		dB
PSRR-DC	电源抑制比 - 直流	V_{OUT} = 0V（中标度），±10V 输出，V_{DD} = 5V，AV_{DD} = 15V ± 20%，AV_{SS} = –15V，输出空载		5		μV/V
		V_{OUT} = 0V（中标度），±10V 输出，V_{DD} = 5V，AV_{DD} = 15V，AV_{SS} = –15V ± 20%，输出空载		10		μV/V
		V_{OUT} = 0V（中标度），±10V 输出，V_{DD} = 5V ± 5%，AV_{DD} = 15V，AV_{SS} = –15V，输出空载		0.2		mV/V
V_{GL}	代码变化干扰脉冲	围绕中标度的 1LSB 变化，0V 至 5V 范围，输出空载		1		nV-s
		围绕中标度的 1LSB 变化，0V 至 10V 范围，输出空载		2		
		围绕中标度的 1LSB 变化，–5V 至 +5V 范围，输出空载		2		
		围绕中标度的 1LSB 变化，–10V 至 +10V 范围，输出空载		4		
	代码变化干扰幅度	围绕中标度的 1LSB 变化，0V 至 5V、0V 至 10V、–5V 至 +5V 以及 –10V 至 +10V 范围内变化，输出空载		±1.5		mV
	数字馈通	DAC 代码位于中标度，f_{SCLK} = 1MHz，输出空载		0.3		nV-s
外部基准输入						
V_{REFIO}	基准输入电压		2.49	2.5	2.51	V
I_{REF}	基准输入电流			50		μA
Z_{IN}	基准输入阻抗			50		kΩ
C_{REF}	基准输入电容			90		pF
内部基准						
V_{REFO}	基准输出电压	T_A = 25°C	2.4975		2.5025	V
	基准输出漂移(3)			5	10	ppm/°C
R_{ZO}	基准输出阻抗			0.15		Ω
$V_{NOISEPP}$	基准输出噪声	0.1Hz 至 10Hz		12		μVpp
V_{NOISE}	基准输出噪声密度	10kHz，VREFIO 引脚 = 10nF		240		nV/Hz
I_L	基准负载电流	吸电流		5		mA
	基准负载调整率	吸电流		120		μV/mA
	基准线性调整率			100		μV/V
	随时间推移的基准输出漂移	T_A = 40°C，1000 小时		±300		μV
	基准热迟滞	第一个周期		±400		μV
		附加周期		±35		

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

所有最小值和最大值的条件为 T_A = –40°C 至 +125°C；除非另有说明，否则所有典型值的条件为 T_A = 25°C、A_{VDD} = 4.5V 至 41.5V、A_{VSS} = –21.5V 至 0V、V_{DD} = 5.0V、V_{REFIO} = 2.5V（外部基准）、IOV_{DD} = 1.7V、V_{SENSEN} = 0V、DAC 输出为空载、CCOMP 未连接，且数字输入处于 IOV_{DD} 或 GND

参数		测试条件	最小值	典型值	最大值	单位
数字输入与输出						
V_{IH}	SDIN，高电平输入电压		0.7 × IOV_{DD}			V
V_{IL}	SDIN，低电平输入电压				0.3 × IOV_{DD}	V
	输入电流			±2		μA
	输入引脚电容			2		pF
V_{OH}	SDO，高电平输出电压	SDO 负载电流 = 0.2mA	IOV_{DD} – 0.2			V
V_{OL}	SDO，低电平输出电压	SDO 负载电流 = 0.2mA			0.4	V
	$\overline{FAULT}$，低电平输出电压	$\overline{FAULT}$ 负载电流 = 10mA			0.4	V
	输出引脚电容			5		pF
电源要求(5)						
I_{AVDD}	AV_{DD} 电源电流(5)	正常模式，内部基准或外部基准			1.6	mA
		省电模式			10	μA
I_{VDD}	V_{DD} 电源电流(5)	数字接口静态，内部基准或外部基准			2.5	mA
I_{AVSS}	AV_{SS} 电源电流(5)	正常模式，内部基准或外部基准	-1.6			mA
		省电模式	–10			μA
I_{IOVDD}	IOV_{DD} 电源电流(5)	SCLK 以 1MHz 频率切换		10	120	μA

(1) 代码之间的端点拟合。16 位：A_{VDD} ≥ 5.5V 时为 512 至 65024，A_{VDD} ≤ 5.5V 时为 512 至 63488，V_{REFIO} 和 A_{VDD} 之间的余度为 0.2V；12 位：A_{VDD} ≥ 5.5V 时为 32 至 4064，A_{VDD} ≤ 5.5V 时为 32 至 3968，V_{REFIO} 与 A_{VDD} 之间的余度为 0.2V。
(2) A_{VDD} ≥ 5.5V 时写入 DAC 的满量程代码。16 位：A_{VDD} ≤ 5.5V 时写入 DAC 的代码 63488；12 位：A_{VDD} ≤ 5.5V 时写入 DAC 的代码 3968。
(3) 临时过载条件保护。电流限制期间可能会超过结温。在高于指定最大结温的条件下运行可能会影响器件可靠性。
(4) 根据设计和特征确定；未经生产测试。
(5) 退出省电模式以恢复正常运行的时间。从 $\overline{SYNC}$ 的最后一个上升沿到 DAC 最终值的 90% 测得。

5.6 时序要求：写入，IOV_{DD}：1.7 V 至 2.7 V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，1.7V ≤ IOV_{DD} < 2.7V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	20			ns
t_{SCLLOW}	SCLK 低电平时间	20			ns
t_{SDIS}	SDIN 设置	10			ns
t_{SDIH}	SDIN 保持	10			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	30			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	10			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	50			ns
$t_{DACWAIT}$	顺序 DAC 更新等待时间	2.4			µs

5.7 时序要求：写入，IOV_{DD}：2.7V 至 5.5V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，2.7V ≤ IOV_{DD} ≤ 5.5V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			50	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	10			ns
t_{SCLLOW}	SCLK 低电平时间	10			ns
t_{SDIS}	SDIN 设置	5			ns
t_{SDIH}	SDIN 保持	5			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	15			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	5			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	25			ns
$t_{DACWAIT}$	顺序 DAC 更新等待时间	2.4			µs

Copyright © 2024 Texas Instruments Incorporated

5.8 时序要求：读取和菊花链，FSDO = 0，IOV_{DD}：1.7 V 至 2.7 V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，1.7V ≤ IOV_{DD} < 2.7V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			12.5	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	33			ns
t_{SCLLOW}	SCLK 低电平时间	33			ns
t_{SDIS}	SDIN 设置	10			ns
t_{SDIH}	SDIN 保持	10			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	30			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	10			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	50			ns
t_{SDOZ}	SDO 被驱动至三态模式	0		30	ns
t_{SDODLY}	从 SCLK 上升沿的 SDO 输出延迟	0		30	ns

5.9 时序要求：读取和菊花链，FSDO = 1，IOV_{DD}：1.7 V 至 2.7 V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，1.7V ≤ IOV_{DD} < 2.7V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			25	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	20			ns
t_{SCLLOW}	SCLK 低电平时间	20			ns
t_{SDIS}	SDIN 设置	10			ns
t_{SDIH}	SDIN 保持	10			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	30			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	10			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	50			ns
t_{SDOZ}	SDO 被驱动至三态模式	0		30	ns
t_{SDODLY}	从 SCLK 上升沿的 SDO 输出延迟	0		30	ns

5.10 时序要求：读取和菊花链，FSDO = 0，IOV_{DD}：2.7V 至 5.5V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，2.7V ≤ IOV_{DD} ≤ 5.5V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			20	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	25			ns
t_{SCLLOW}	SCLK 低电平时间	25			ns
t_{SDIS}	SDIN 设置	5			ns
t_{SDIH}	SDIN 保持	5			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	20			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	5			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	25			ns
t_{SDOZ}	SDO 被驱动至三态模式	0		20	ns
t_{SDODLY}	从 SCLK 上升沿的 SDO 输出延迟	0		20	ns

5.11 时序要求：读取和菊花链，FSDO = 1，IOV_{DD}：2.7V 至 5.5V

所有规格的适用条件为：T_A = – 40°C 至 +125°C，输入信号都是在 $t_R = t_F$ = 1ns/V（IOV_{DD} 的 10% 至 90%）时指定，而且从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始，SDO 负载为 20pF，2.7V ≤ IOV_{DD} ≤ 5.5V

参数		最小值	标称值	最大值	单位
f_{SCL}	SCL 频率			35	MHz
$t_{SCLKHIGH}$	SCLK 高电平时间	14			ns
t_{SCLLOW}	SCLK 低电平时间	14			ns
t_{SDIS}	SDIN 设置	5			ns
t_{SDIH}	SDIN 保持	5			ns
t_{CSS}	$\overline{SYNC}$ 到 SCLK 下降沿建立时间	20			ns
t_{CSH}	SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿	5			ns
t_{CSHIGH}	$\overline{SYNC}$ 高电平时间	25			ns
t_{SDOZ}	SDO 被驱动至三态模式	0		20	ns
t_{SDODLY}	从 SCLK 上升沿的 SDO 输出延迟	0		20	ns

Copyright © 2024 Texas Instruments Incorporated

5.12 时序图

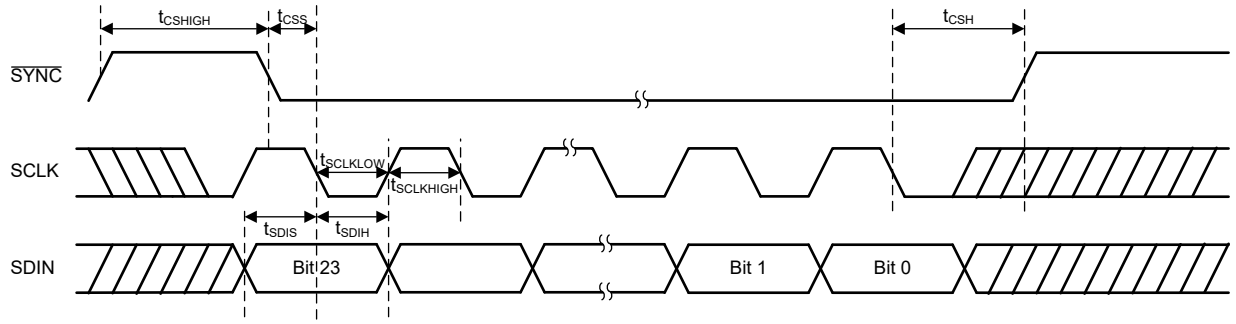


图 5-1. 串行接口写入时序图

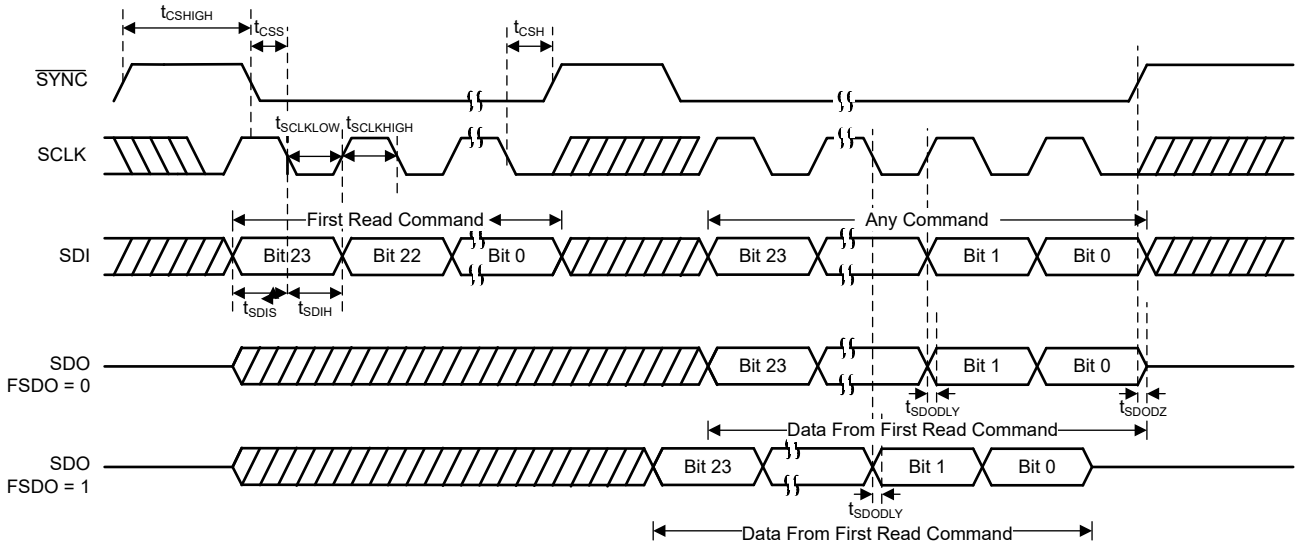


图 5-2. 串行接口读取时序图

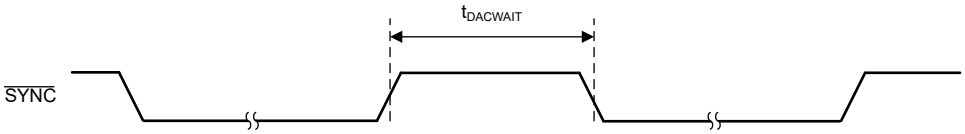


图 5-3. 更新模式下的 DAC 等待时间

5.13 典型特性

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

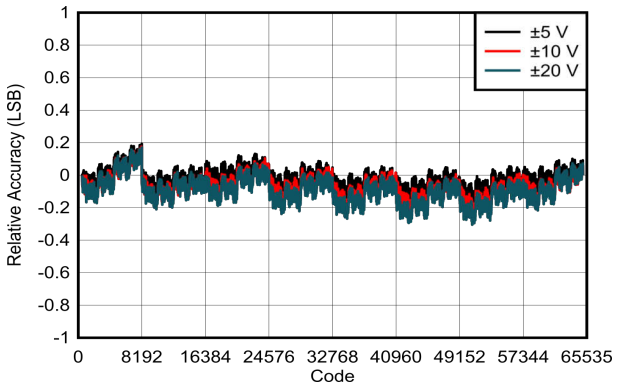


图 5-4. DAC81401 相对精度与数字输入代码间的关系（双极输出）

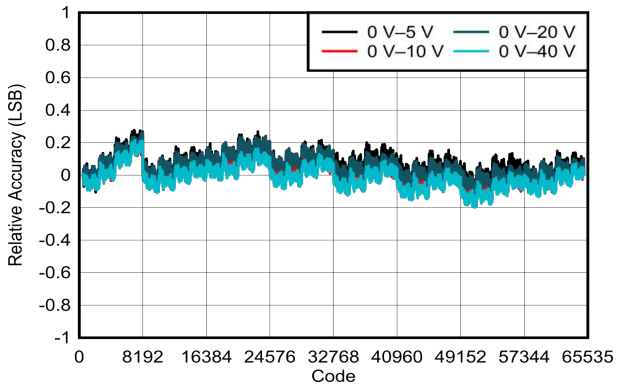


图 5-5. DAC81401 相对精度与数字输入代码间的关系（单极输出）

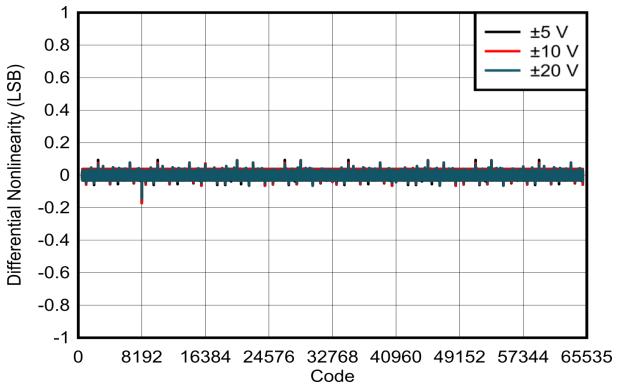


图 5-6. DAC81401 DNL 与数字输入代码间的关系（双极输出）

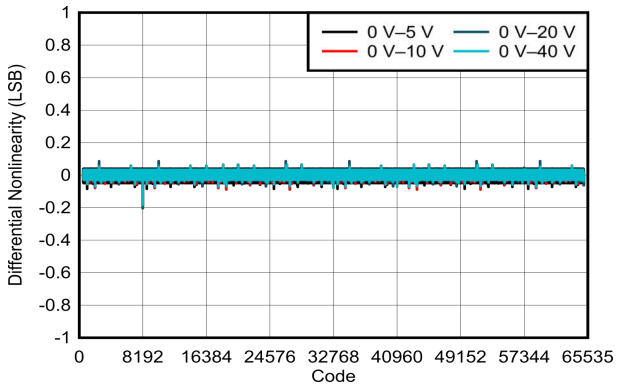


图 5-7. DAC81401 DNL 与数字输入代码间的关系（单极输出）

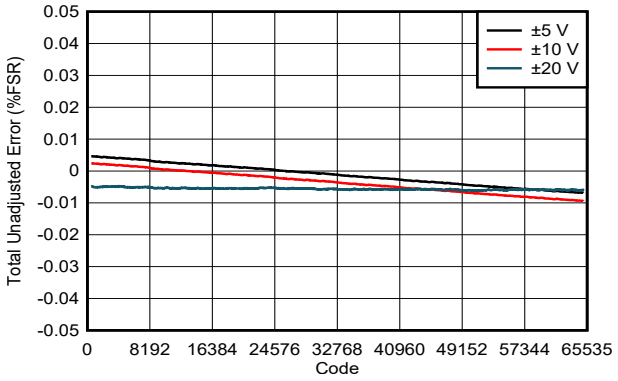


图 5-8. DAC81401 TUE 与数字输入代码间的关系（双极输出）

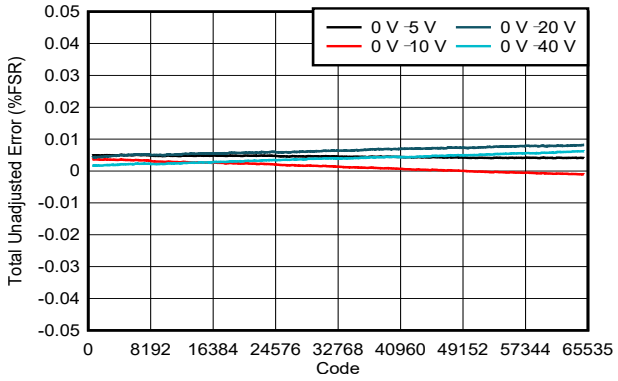


图 5-9. DAC81401 TUE 与数字输入代码间的关系（单极输出）

Copyright © 2024 Texas Instruments Incorporated

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

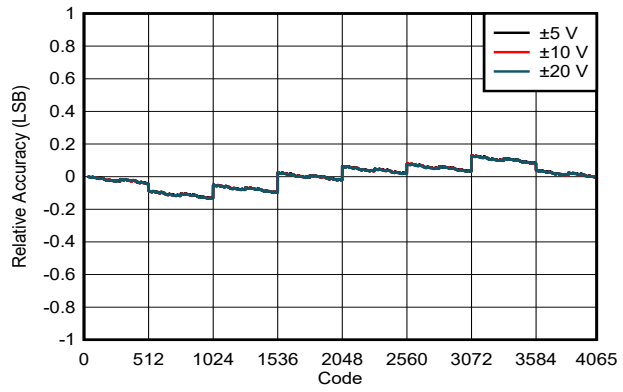


图 5-10. DAC61401 相对精度与数字输入代码间的关系（双极输出）

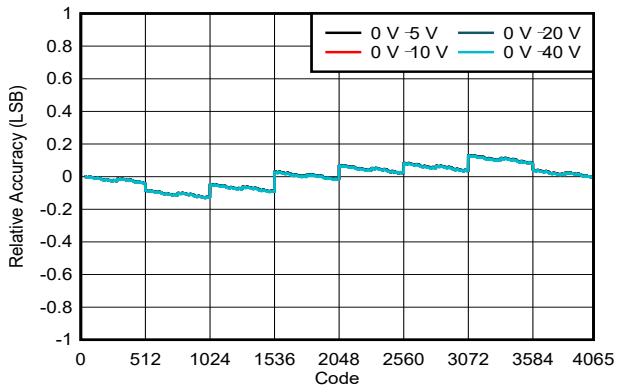


图 5-11. DAC61401 相对精度与数字输入代码间的关系（单极输出）

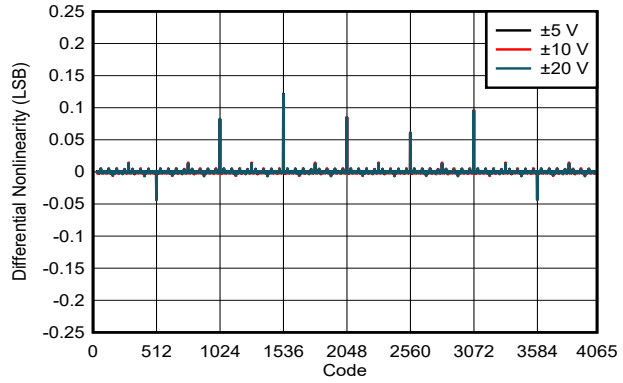


图 5-12. DAC61401 DNL 与数字输入代码间的关系（双极输出）

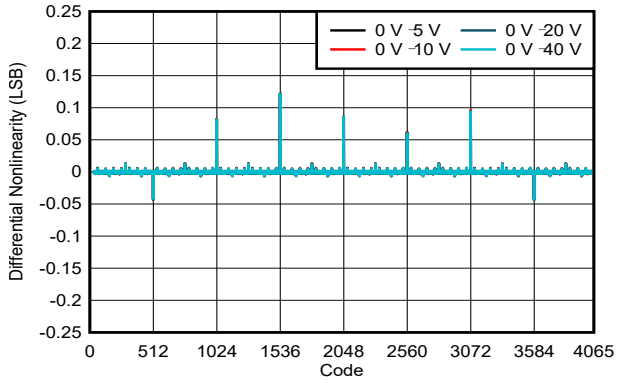


图 5-13. DAC61401 DNL 与数字输入代码间的关系（单极输出）

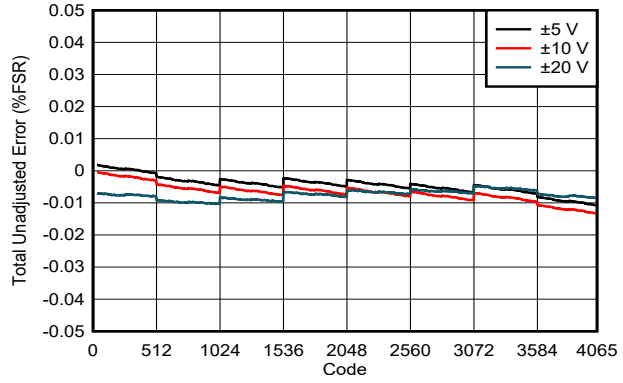


图 5-14. DAC61401 TUE 与数字输入代码间的关系（双极输出）

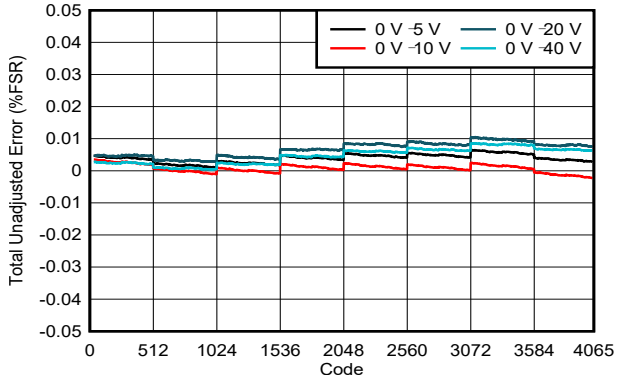


图 5-15. DAC61401 TUE 与数字输入代码间的关系（单极输出）

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

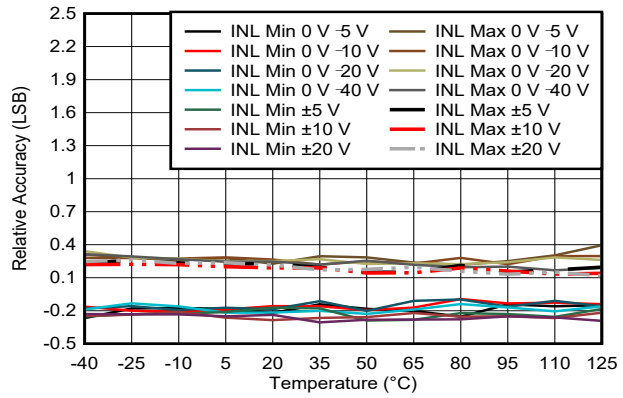


图 5-16. DAC81401 相对精度与温度间的关系

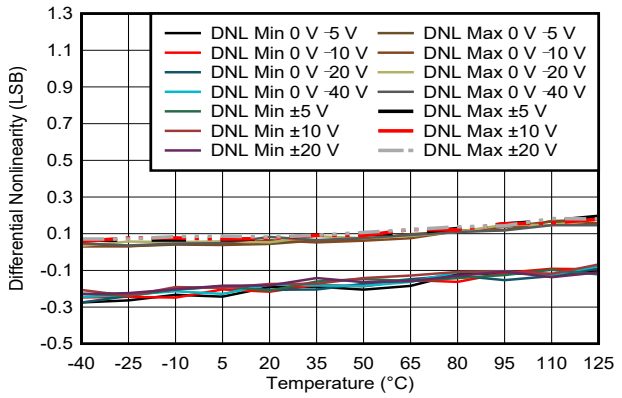


图 5-17. DAC81401 DNL 与温度间的关系

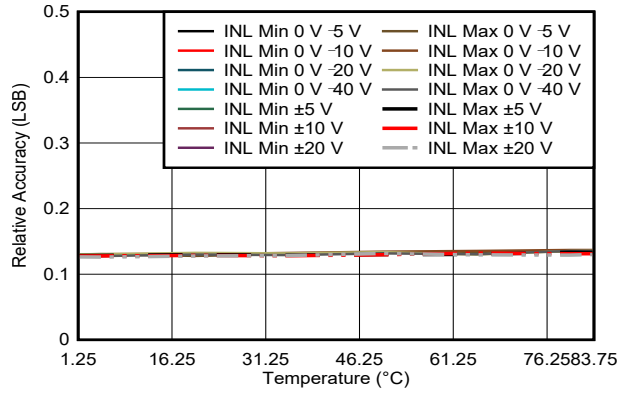


图 5-18. DAC61401 相对精度与温度间的关系

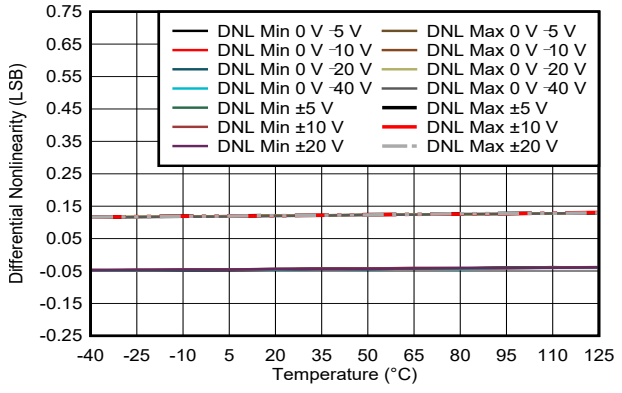


图 5-19. DAC61401 DNL 与温度间的关系

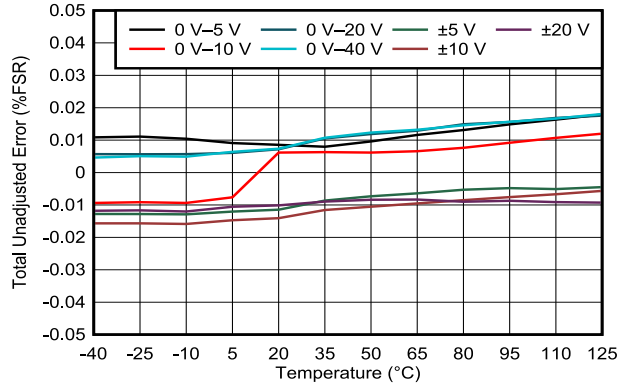


图 5-20. TUE 与温度间的关系

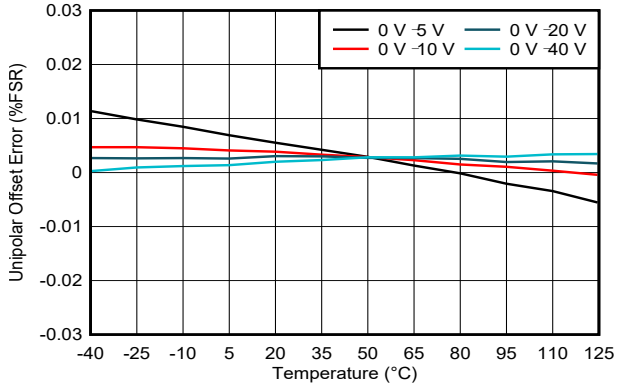


图 5-21. 单极偏移误差与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

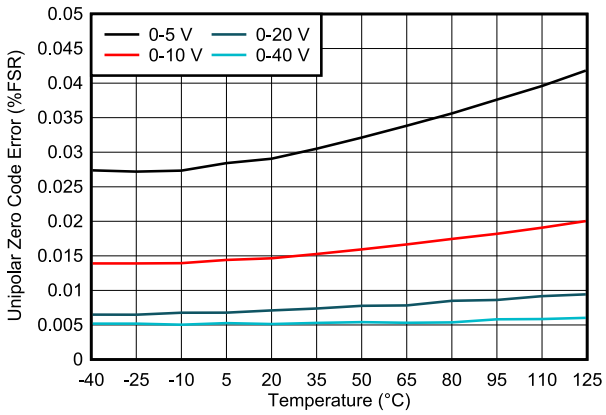


图 5-22. 单极零代码误差与温度间的关系

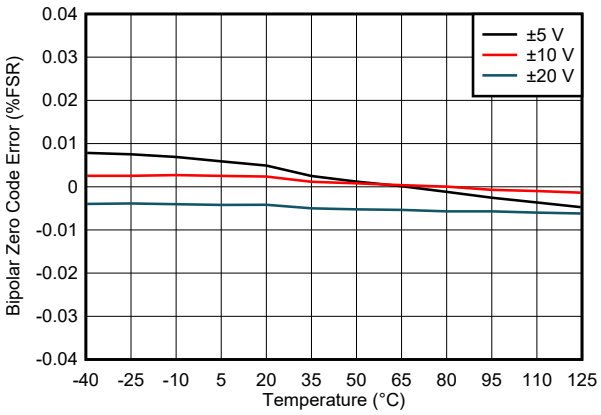


图 5-23. 双极零代码误差与温度间的关系

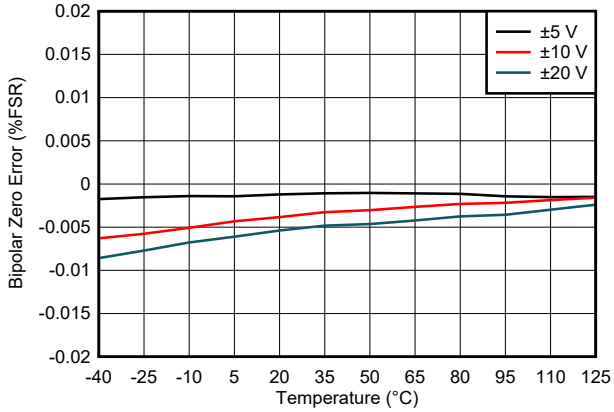


图 5-24. 双极零误差与温度间的关系

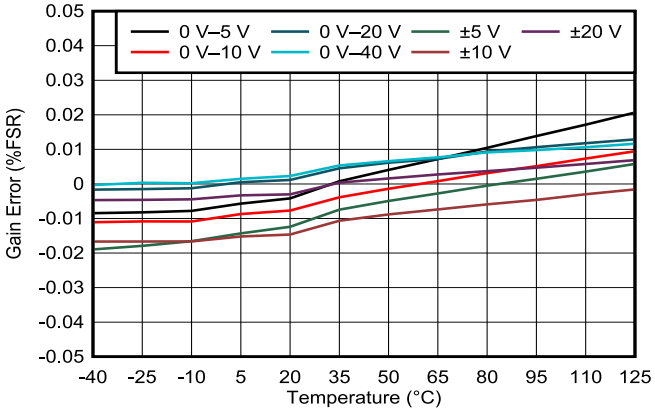


图 5-25. 增益误差与温度间的关系

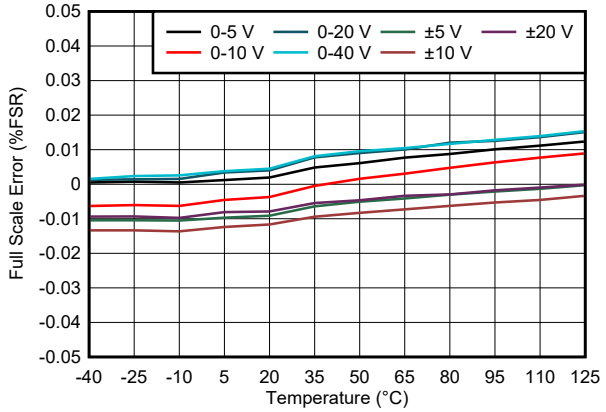


图 5-26. 满量程误差与温度间的关系

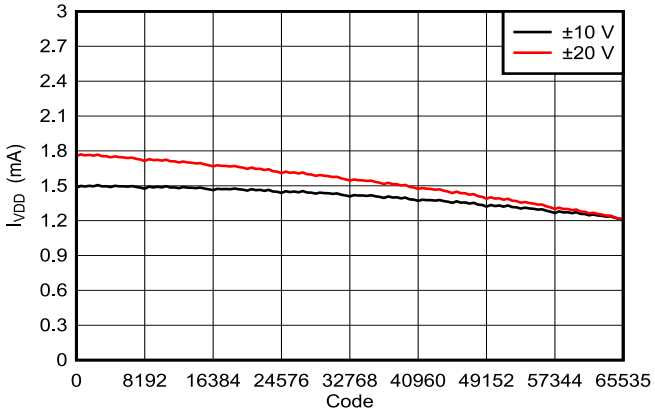


图 5-27. 电源电流 (I_{VDD}) 与数字输入代码间的关系

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

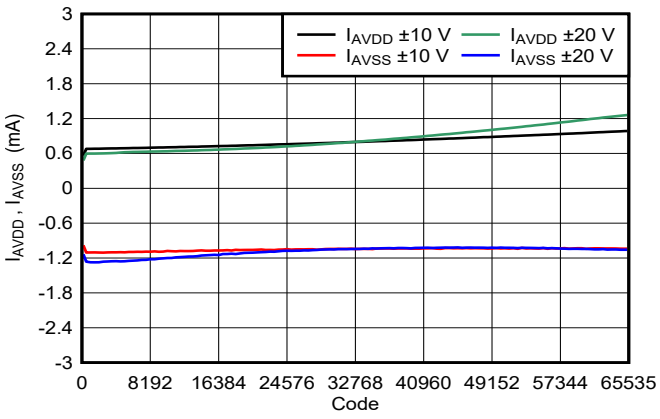


图 5-28. 电源电流（I_{AVDD}、I_{AVSS}）与数字输入代码间的关系

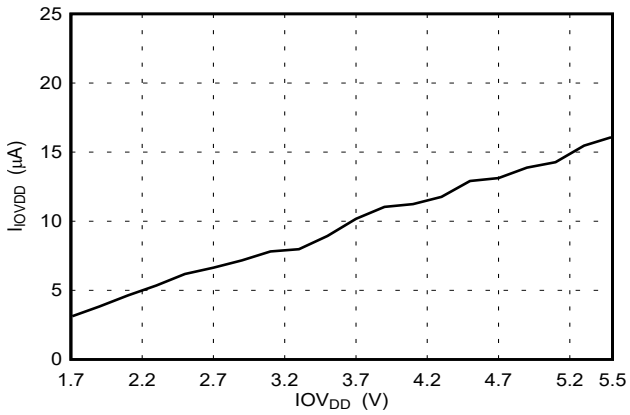
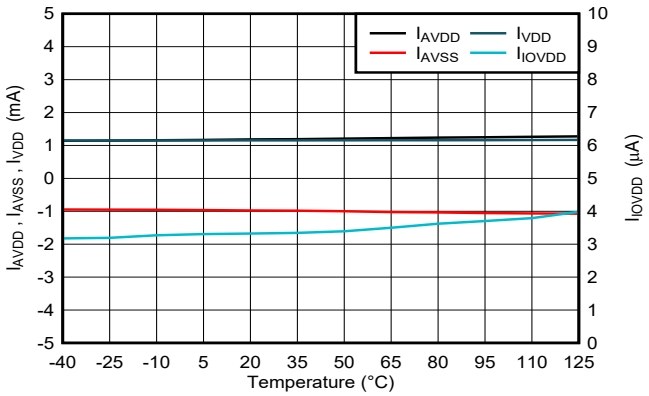
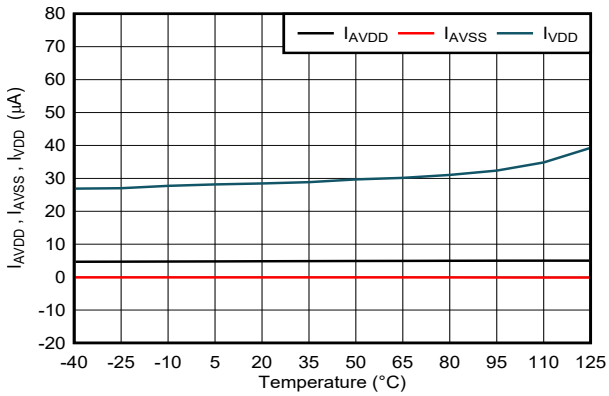


图 5-29. 电源电流 (I_{IOVDD}) 与电源电压间的关系



DAC 范围 = ±20V

图 5-30. 电源电流与温度间的关系



DAC 范围 = ±20V

图 5-31. 断电电流与温度间的关系

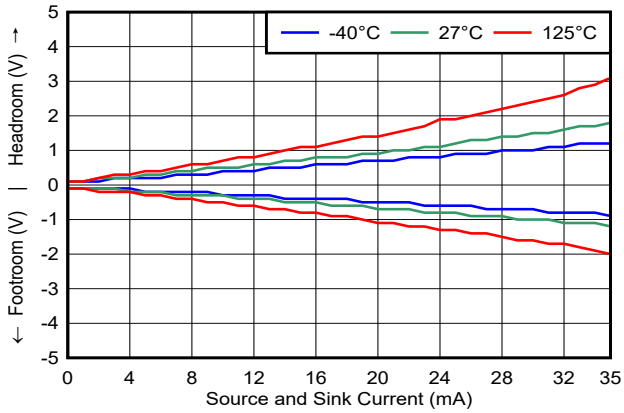


图 5-32. 电源的余量和下余量与输出电流间的关系

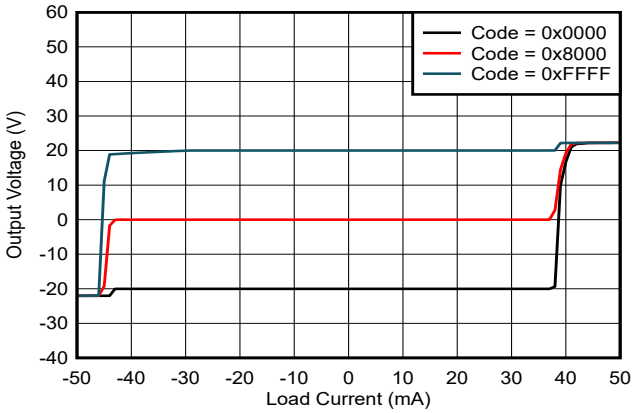
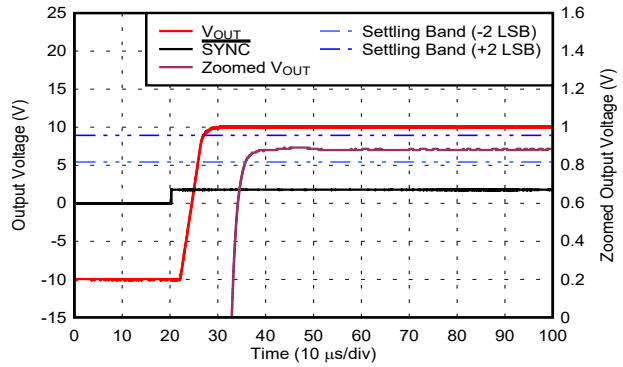


图 5-33. 拉电流和灌电流能力

Copyright © 2024 Texas Instruments Incorporated

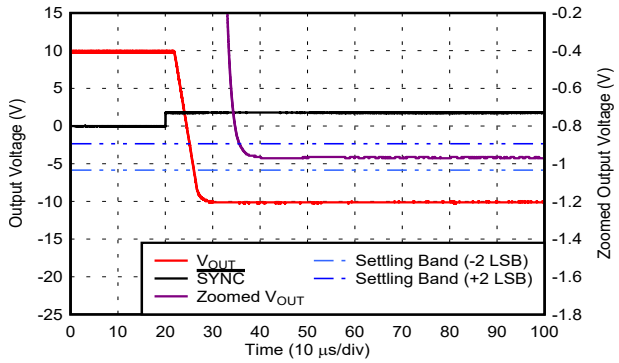
5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）



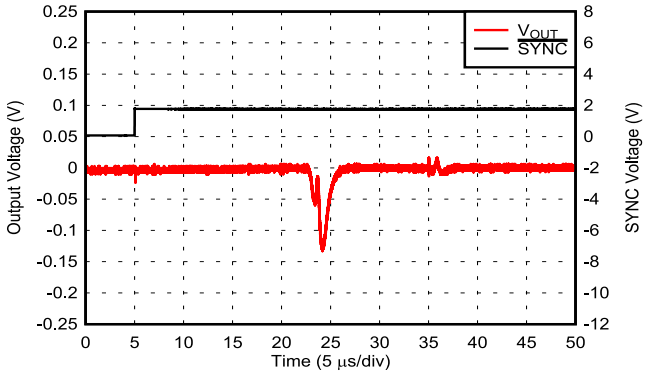
DAC 范围 = ±10V

图 5-34. 满标度建立时间，上升沿



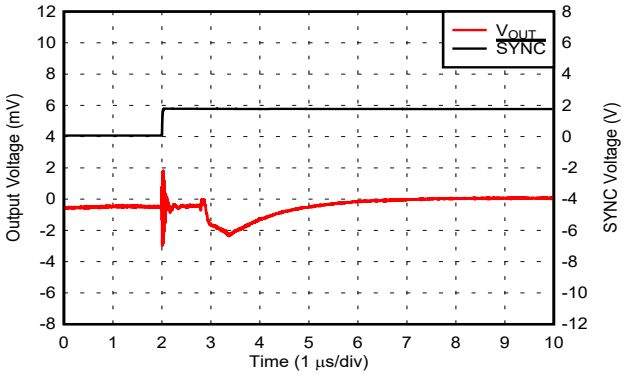
DAC 范围 = ±10V

图 5-35. 满标度建立时间，下降沿



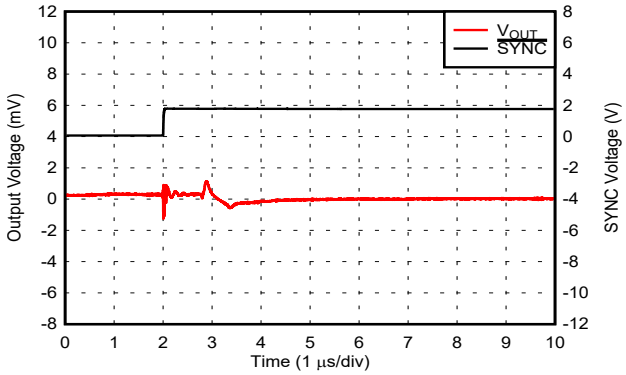
DAC 范围 = ±20V

图 5-36. DAC 输出使能干扰



DAC 范围 = ±10V

图 5-37. 干扰脉冲，1LSB 步长，上升沿



DAC 范围 = ±10V

图 5-38. 干扰脉冲，1LSB 步长，下降沿

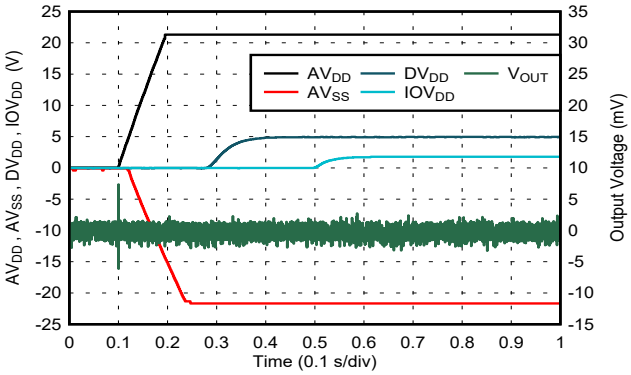


图 5-39. 上电响应

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

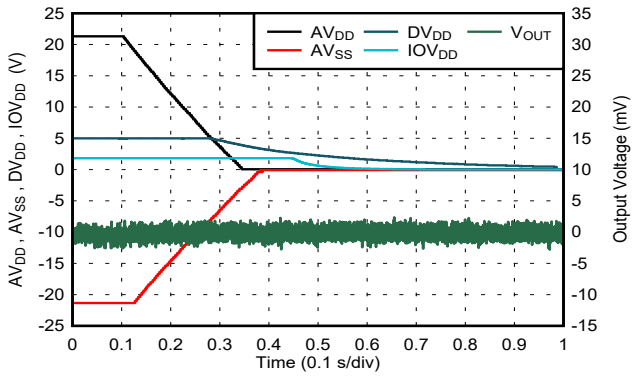
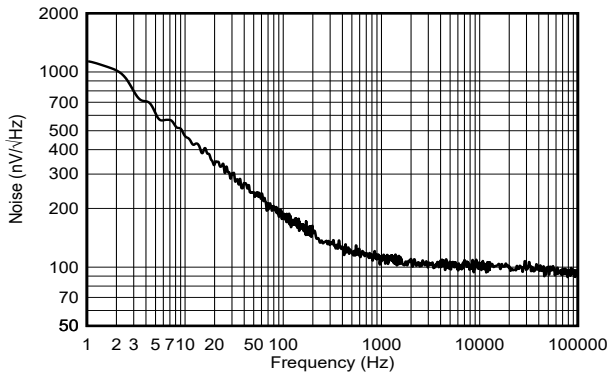
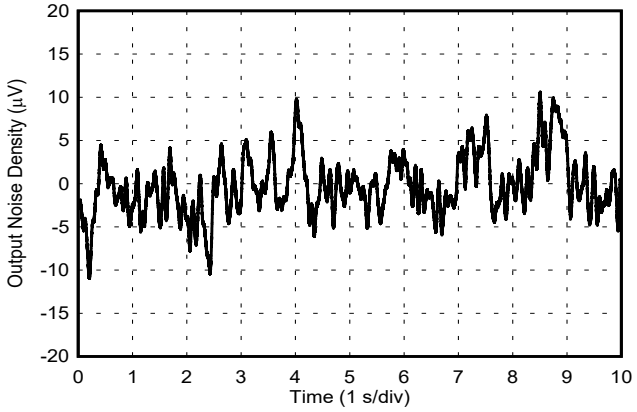


图 5-40. 关断响应



DAC 范围 = 0V 至 5V　　中标度代码

图 5-41. DAC 输出噪声密度与频率间的关系



DAC 范围 = 0V 至 5V　　中标度代码

图 5-42. DAC 输出噪声

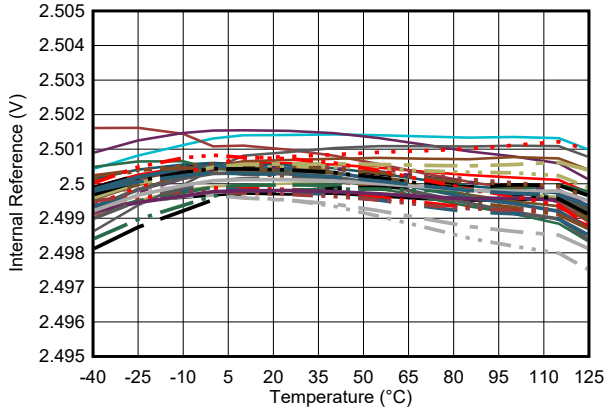


图 5-43. 内部基准电压与温度间的关系

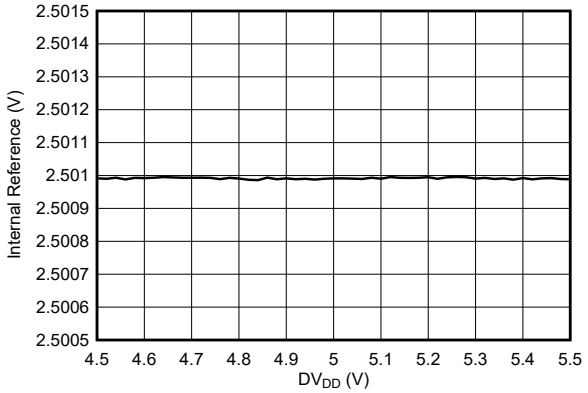


图 5-44. 内部基准电压与电源电压间的关系

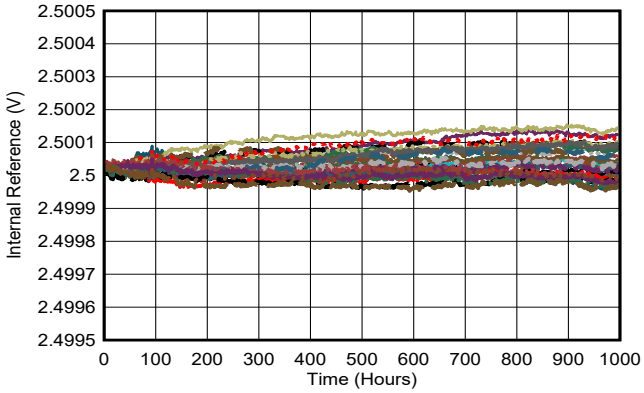


图 5-45. 内部基准电压与时间间的关系

Copyright © 2024 Texas Instruments Incorporated

5.13 典型特性（续）

T_A = 25°C、V_{DD} = 5.0V、IOV_{DD} = 1.8V、外部基准、单极范围：AV_{SS} = 0V 且 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，双极范围：AV_{SS} ≤ V_{MIN} − 1.5V 和 AV_{DD} ≥ V_{MAX} + 1.5V 用于 DAC 范围，且 DAC 输出为空载（除非另有说明）

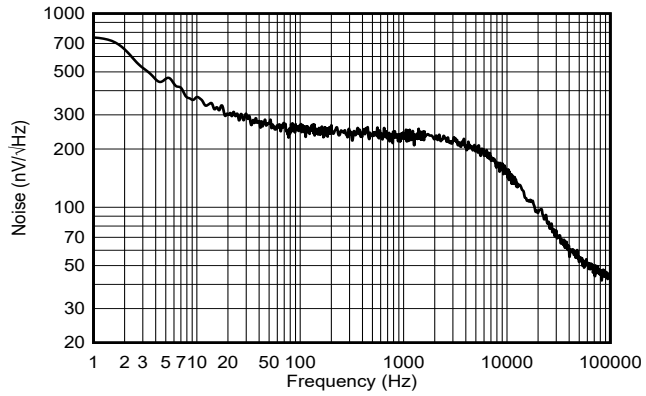


图 5-46. 内部基准噪声密度与频率间的关系

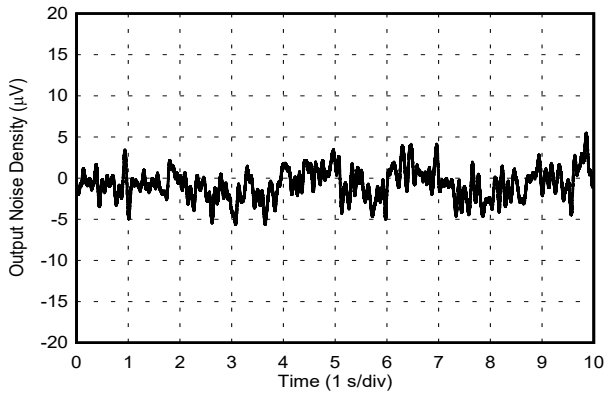


图 5-47. 内部基准噪声

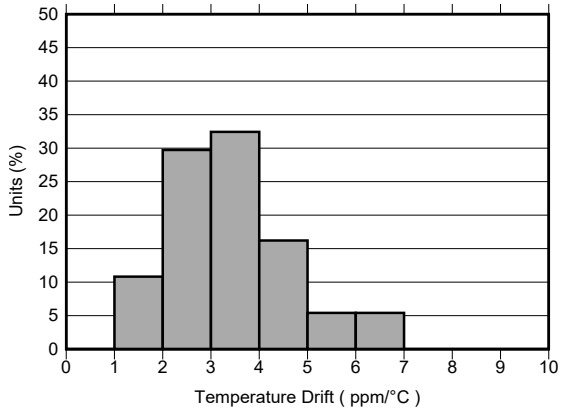
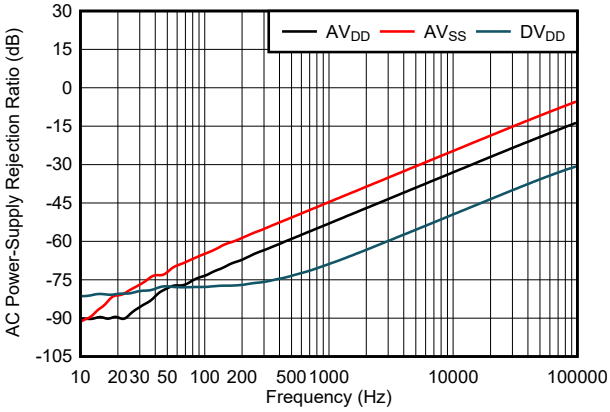


图 5-48. 内部基准温漂直方图



V_{OUT} = 0V（DAC 代码位于中标度），输出空载，
AV_{DD} = 10V，AV_{SS} = －10V，V_{DD} = 5V，
电源噪声 V_{PP} = 0.2V

图 5-49. 交流电源抑制比 (PSSR-AC)

6 详细说明

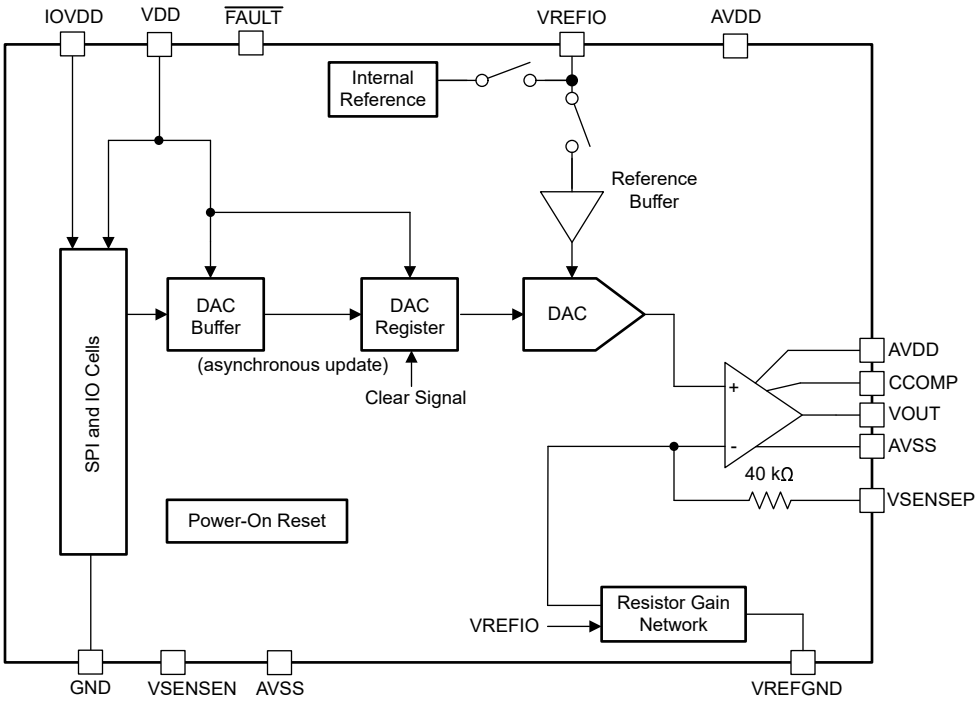
6.1 概述

16 位 DAC81401 和 14 位 DAC61401 (DACx1401) 是引脚兼容的单通道缓冲高压输出 DAC 系列。DACx1401 提供双极输出电压：±20V、±10V 和 ±5V 和满量程单极性输出电压：40V、10V 和 5V。DAC 输出范围是可编程的。这些器件具有单调性，并提供低于 1LSB（最大值）的出色线性度。

DACx1401 集成了一个 2.5V 内部基准，最大温漂为 10ppm/℃。内部上电复位电路设计用于在省电模式下为 DAC 输出供电。DAC 将保持此模式，直到启用输出。VSENSEP 引脚可以检测负载电压，而 CCOMP 引脚用于连接外部补偿电容以支持大于 2nF 的容性负载。

DACx1401 的数字接口使用一个以高达 50MHz 的时钟速率运行的 4 线制串行外设接口 (SPI)，支持 1.7V 至 5.5V 工作电压。

6.2 功能方框图



6.3 特性说明

6.3.1 数模转换器 (DAC) 架构

DACx1401 器件由带有接地缓冲器和轨到轨输出缓冲放大器的 R-2R 梯形数模转换器 (DAC) 组成。这些器件还包括一个 2.5V 内部基准。如果未使用内部基准，基准电压可由外部提供。节 6.2 显示了器件架构的简化方框图。

6.3.2 R-2R 梯形 DAC

DAC 架构由电压输出分段式 R-2R 电阻梯组成，如图 6-1 所示。该器件包含专用基准缓冲器，可通过 VREFIO 引脚上的代码提供恒定的输入阻抗。基准缓冲器的输出驱动 R-2R 电阻梯。量产修整过程可提供出色的线性度和低毛刺脉冲。

Copyright © 2024 Texas Instruments Incorporated

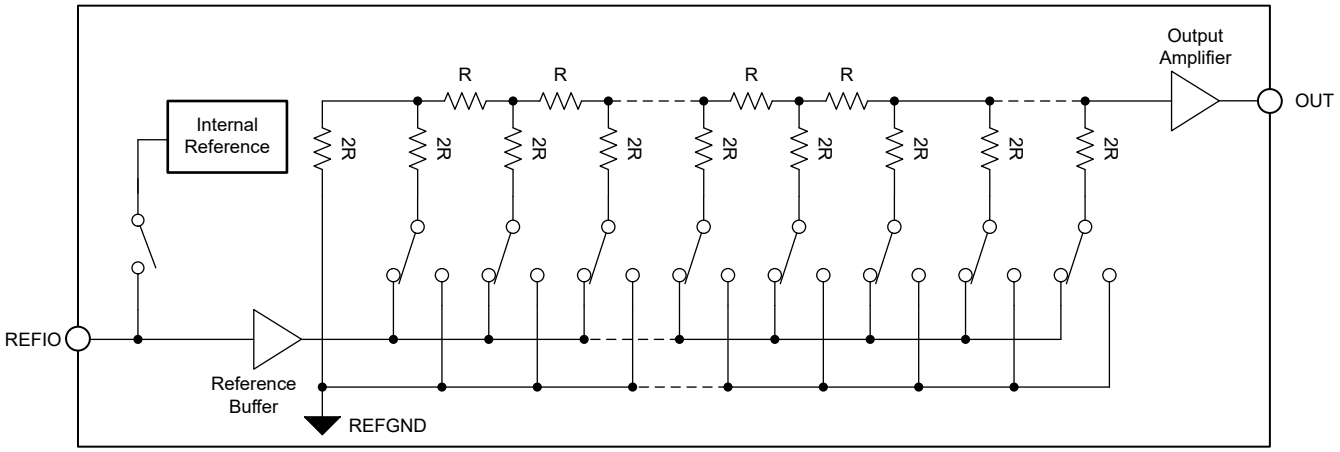


图 6-1. DACx1401 R-2R 梯形 DAC

6.3.3 可编程增益输出缓冲器

此电压输出级在图 6-2 中进行了概念化，根据 DAC 代码和输出范围设置提供电压输出。

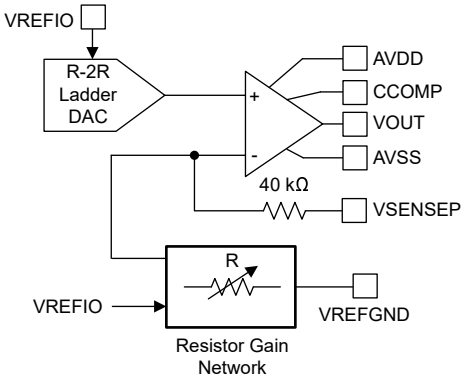


图 6-2. DACx1401 电压输出

可以对 DAC 输出范围进行编程。表 6-1 显示了范围和相应的增益。

表 6-1. 电压输出范围与增益设置

MODE	电压输出范围	增益
单极	5V	2.0
	6V（20% 超量程）	2.4
	10V	4.0
	12V（20% 超量程）	4.8
	20V	8.0
	24V（20% 超量程）	9.6
	40V	16.0
双极	±5V	4.0
	±6V（20% 超量程）	4.8
	±10V	8.0
	±12V（20% 超量程）	9.6
	±20V	16.0

输出电压 (V_{OUT}) 可以表示为方程式 1 和方程式 2。

对于单极输出模式

$$V_{OUT} = V_{REFIO} \times GAIN \times \frac{CODE}{2^N} \tag{1}$$

对于双极输出模式

$$V_{OUT} = V_{REFIO} \times GAIN \times \frac{CODE}{2^N} - GAIN \times \frac{V_{REFIO}}{2} \tag{2}$$

其中：

- CODE 是加载到 DAC 寄存器的代码的十进制等效值
- N 为分辨率位数；DAC81401 为 16 位，DAC61401 为 12 位
- VREFIO = 2.5V 是基准电压（内部或外部）
- GAIN 是分配给每个输出电压输出范围的增益系数，如表 6-1 所示

输出放大器能够以 1.5V 的电源余量驱动高达 ±15mA 的电流，同时保持器件的额定总体未调误差 (TUE) 规格。输出级具有短路电流保护功能，可将输出电流限制为 40mA。该器件旨在通过未连接的 CCOMP 引脚来驱动高达 2nF 的容性负载。对于大于 2nF 的容性负载，必须在 CCOMP 和 VOUT 引脚之间连接一个外部补偿电容器（典型值为 470pF），以保持输出电压稳定，但代价是带宽减小和建立时间延长。借助外部补偿电容器，该器件能够驱动高达 1μF 的容性负载（节 5.5）。

6.3.4 感测引脚

VSENSEP 引脚用于通过连接至电气上更接近负载的点来检测负载。这种配置允许内部输出放大器确保在电源上有可用余量的情况下在负载上施加正确的电压。VSENSEP 引脚用于校正系统板上的电阻压降，并通过该引脚连接至 VOUT。在某些情况下，VOUT 和 VSENSEP 均通过单独的线路输出，并在负载处远程连接在一起。在这种情况下，如果 VSENSEP 线被切断，放大器环路就会断开。在 VOUT 和 VSENSEP 引脚之间使用 5kΩ 电阻器可保持放大器正常运行。

器件启动时，上电复位电路可确保所有寄存器均为默认值。电压输出缓冲器处于高阻态状态。然而，VSENSEP 引脚通过一个内部 40kΩ 反馈电阻器连接至放大器输入端（图 6-2）。如果 VOUT 和 VSENSEP 引脚连接在一起，则 VOUT 引脚也通过反馈电阻连接到同一节点。这个节点受到内部电路保护并在 GND 和基准输入间稳定至一个值。

6.3.5 DAC 寄存器结构

写入 DAC 数据寄存器的数据最初存储在 DAC 缓冲寄存器中。数据从 DAC 缓冲寄存器到有效寄存器的传输会立即发生（异步更新）。更新有效寄存器后，DAC 输出将更改为新值。发生上电或复位事件后，DAC 数据寄存器设置为零代码，DAC 输出放大器断电，DAC 输出接地。

6.3.5.1 输出更新

DAC 双缓冲架构可在不干扰模拟输出的情况下实现数据更新。数据更新是异步执行的。在更新模式下，DAC 输出更新之间需要 2.4 μs 的最短等待时间 ($t_{DACWAIT}$)。

在更新模式期间，DAC 数据寄存器写入会导致 DAC 有效寄存器和 DAC 输出在 $\overline{SYNC}$ 上升沿立即更新。等待时间由 $\overline{SYNC}$ 时序（图 5-3）控制。

6.3.5.2 软件清除

DAC 输出通过 TRIGGER 寄存器中的 SOFT-CLR 位在清除模式下置位。在清除模式下，如果配置为单极范围运行，则将 DAC 数据寄存器设置为零代码，如果配置为双极范围运行，则将 DAC 数据寄存器设置为中标度代码。清除命令强制 DAC 将缓冲器和活动寄存器的内容清除到清除代码中。

Copyright © 2024 Texas Instruments Incorporated

6.3.5.2.1 软件复位模式

DACx1401 实现了软件复位功能。通过将保留代码 0b1010 写入 TRIGGER 寄存器中的 SOFT-RESET 来启动器件软件复位。软件复位命令在指令的 SYNC 上升沿触发。

6.3.6 内部基准

该器件包含一个高精度 2.5V 带隙基准，最大温漂为 10ppm/°C。默认情况下，内部基准处于省电模式。

在 VREFIO 引脚上提供内部基准电压，可提供高达 5mA 的电流。为了滤除噪声，在基准输出和接地之间放置一个最小值为 150nF 的电容器。

也支持外部基准运行。外部基准施加到 VREFIO 引脚。如果使用外部基准，请将内部基准断电。

6.3.7 电源序列

DACx1401 具有一个用于数字和模拟 VDD 以及正电源 AVDD 电源的内部上电复位 (POR) 电路。该电路可确保 DAC 的内部逻辑和加电状态在独立于电源序列的情况下加电至正确状态。

6.3.7.1 上电复位 (POR)

该器件具有上电复位功能。电源达到最小指定值后，将发出 POR 事件。此外，可通过 SOFT-RESET 命令启动 POR 事件。

POR 事件使所有寄存器初始化为默认值，只有在 1ms POR 延迟之后，与该器件的通信才有效。POR 事件之后，器件设置为省电模式，在此模式下，DAC 和内部基准被断电，并且 DAC 输出通过一个 10kΩ 内部电阻器接地。

6.3.8 过热警报

该器件加入了热关断功能，当芯片温度超过 140°C 时就会触发此功能。热关断会设置 STATUS 寄存器中的 TEMP-ALM 位，并导致 DAC 输出断电。但是，内部基准保持通电状态。通过设置 SPICONFIG 寄存器中的 TEMPALM-EN 位，可以将 $\overline{\text{FAULT}}$ 引脚配置为监视热关断条件。触发热关断后，即使器件温度降低，器件也会保持关断状态。

芯片温度必须降至低于 140°C，器件才能恢复正常运行。要恢复正常工作，必须在 DAC 通道处于省电模式时通过 TRIGGER 寄存器中的 ALM-RESET 位清除热警报。

6.4 器件功能模式

6.4.1 省电模式

可以通过 DAC-PWDWN 位单独配置和监控器件输出放大器和内部基准断电状态。在省电模式下设置 DAC 会禁用输出放大器，并通过内部 10kΩ 电阻器将输出引脚钳位至接地。

当 DAC 进入省电模式时，DAC 数据寄存器不会被清除。恢复正常运行时，DAC 输出电压在器件进入省电模式之前恢复到相同的相应电压。DAC 数据寄存器可以在省电模式下进行更新，从而允许在需要时更改上电电压。

在上电或复位事件之后，DAC 输出和内部基准处于省电模式。可以通过 DEV-PWDWN 位将整个器件配置为省电或工作模式。

6.5 编程

DACx1401 系列器件通过一个灵活的四线制串行接口进行控制，该接口与许多微控制器和 DSP 控制器上使用的 SPI 类型接口兼容。该接口提供对 DACx1401 器件的所有寄存器的读取和写入访问。此外，可以将该接口配置为以菊花链形式连接多个器件以执行写入操作。

6.5.1 独立操作

通过将 $\overline{\text{SYNC}}$ 引脚置为低电平来启动一个串行接口访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDIN 数据在 SCLK 下降沿传输。在禁用错误检查的情况下，常规串行接口访问周期为 24 位，在启用错误检查的情况下，周期为 32 位。因此，$\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 或 32 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。如果访问周期包含

的时钟边沿大于最小值，则器件仅使用前 24 或 32 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDIN 信号被阻断，SDO 处于高阻态状态。

表 6-2 描述了禁用错误检查的访问周期（24 位长）的格式。SDIN 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 6 位地址。周期中的最后 16 位构成数据周期。

表 6-2. 串行接口访问周期

位	字段	说明
23	读/写	将通信标识为地址寄存器的读或写命令： R/W = 0 设置写入操作。 R/W = 1 设置读取操作
22	x	不用考虑位。
21-16	A[5:0]	寄存器地址—指定在读取或写入操作期间要访问的寄存器。
15-0	DI[15:0]	数据周期位： 如果是写入命令，则数据周期位是要写入地址为 A[5:0] 的寄存器的值。 如果是读取命令，则数据周期位为不用考虑值。

读取操作要求首先通过设置 SPICONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 6-3 展示了输出数据格式。数据通过 SDO 引脚在时钟沿（根据 SPICONFIG 寄存器中的 FSDO 位，在 SCLK 的下降沿或上升沿）输出。

表 6-3. SDO 输出访问周期

位	字段	说明
23	读/写	来自上一访问周期的回波 R/W。
22	x	来自上一访问周期的回波位 22。
21-16	A[5:0]	来自上一访问周期的回波地址。
15-0	DO[15:0]	上一访问周期中请求的回读数据。

Copyright © 2024 Texas Instruments Incorporated

6.5.2 菊花链运行

对于包含多个 DACx1401 器件的系统，SDO 引脚可用于将器件以菊花链方式连接在一起。菊花链特性在减少串行接口线路的数量方面非常有用。在启动菊花链运行之前，必须通过设置 SPICONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。

$\overline{\text{SYNC}}$ 引脚上的第一个下降沿启动运行周期（参阅图 6-4）。如果在 $\overline{\text{SYNC}}$ 引脚保持低电平时施加了 24 个以上的时钟脉冲，则移位寄存器会传送数据，即通过 SDO 引脚在时钟沿（根据 FSDO 位，在 SCLK 的下降沿或上升沿）输出。通过将第一个器件的 SDO 输出连接到链中下一个器件的 SDI 输入，构建了一个多器件接口（图 6-3）。

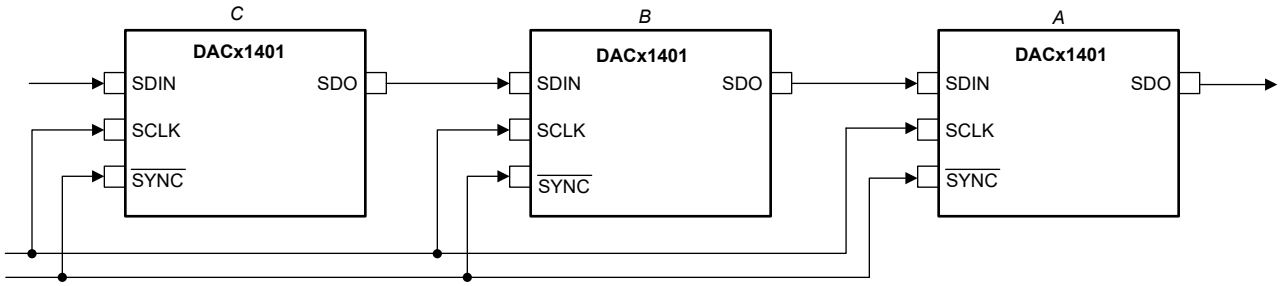


图 6-3. 菊花链设置

系统中的每个器件都需要 24 个时钟脉冲。因此，时钟周期总数必须等于 24 × N，其中 N 是菊花链中的器件总数。完成所有器件的串行传输后，将使 $\overline{\text{SYNC}}$ 变为高电平。该操作会将 SPI 移位寄存器中的数据传输到菊花链中每个器件的内部寄存器，并防止任何其他数据在时钟沿进入输入移位寄存器。

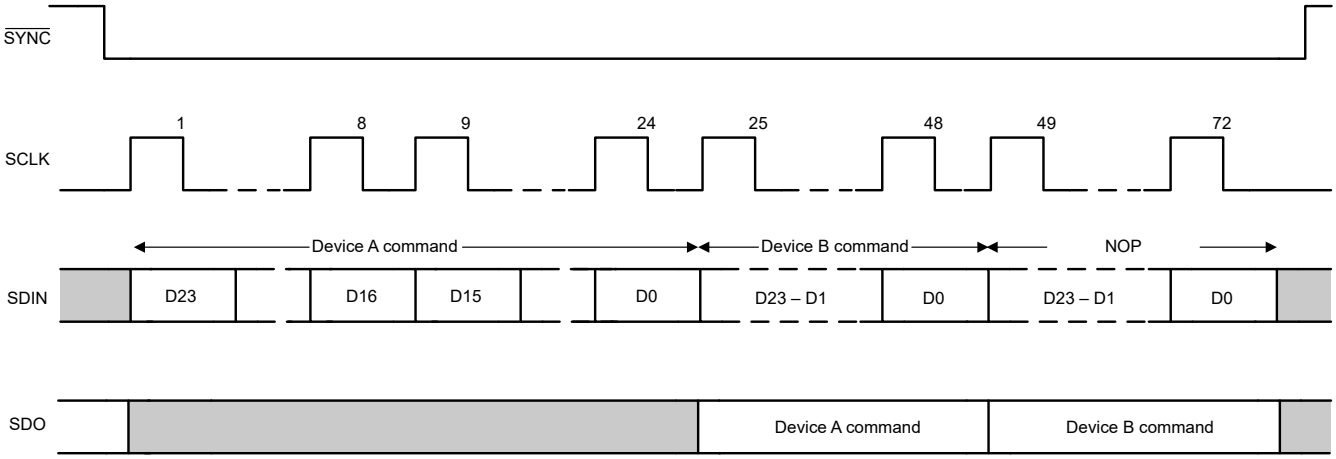


图 6-4. 串行接口菊花链写入周期

6.5.3 帧错误校验

如果在嘈杂的环境中使用该器件，则可以通过错误检查来检查该器件和主机处理器之间 SPI 数据通信的完整性。可通过设置 SPICONFIG 寄存器中的 CRC-EN 位来启用此功能。

错误检查方案基于 CRC-8-ATM (HEC) 多项式：$x^8 + x^2 + x + 1$ (100000111)。启用错误检查后，串行接口访问周期宽度为 32 位。将正常的 24 位 SPI 数据馈送到器件之前，主机处理器会在该数据后附加一个 8 位 CRC 多项式。在所有串行接口读回操作中，CRC 多项式作为 32 位周期的一部分在 SDO 引脚上输出。

表 6-4. 错误检查串行接口访问周期

位	字段	说明
31	R/W	将通信标识为地址寄存器的读或写命令。 R/W = 0 设置写入操作。 R/W = 1 设置读取操作。
30	CRC-ERROR	保留位。设置为零。
29:24	A[5:0]	寄存器地址。指定在读取或写入操作期间要访问的寄存器。
23:8	DI[15:0]	数据周期位。 如果是写入命令，则数据周期位是要写入地址为 A[5:0] 的寄存器的值。 如果是读取命令，则数据周期位为不用考虑值。
7:0	CRC	8 位 CRC 多项式。

该器件对 32 位访问周期进行解码，以计算 $\overline{\text{SYNC}}$ 上升沿上的 CRC 余数。如果不存在错误，则 CRC 余数为零，器件接受数据。

未通过 CRC 校验的写入操作会导致器件忽略数据。在写命令之后，可以发出第二个访问周期以确定 SDO 引脚上的错误检查结果（CRC-ERROR 位）。

如果存在 CRC 错误，则 STATUS 寄存器的 CRC-ALM 位设置为 1。通过设置 SPICONFIG 寄存器中的 CRCALM-EN 位，可以将 $\overline{\text{FAULT}}$ 引脚配置为监视 CRC 错误。

表 6-5. 写入操作错误检查周期

位	字段	说明
31	R/W	来自上一访问周期的回波 R/W (R/W = 0)。
30	CRC-ERROR	当检测到 CRC 错误时返回 1，否则返回 0。
29:24	A[5:0]	来自上一访问周期的回波地址。
23:8	DO[15:0]	来自上一访问周期的回波数据。
7:0	CRC	计算出的位 31:8 的 CRC 值。

读取操作后必须跟随第二个访问周期，以便在 SDO 引脚上获取所请求的数据。读取命令的错误检查结果（CRC-ERROR 位）在 SDO 引脚上输出。

与未通过 CRC 校验的写入操作一样，STATUS 寄存器的 CRC-ALM 位设置为 1，如果配置了 CRC 警报，$\overline{\text{FAULT}}$ 引脚将设置为低电平。

表 6-6. 读取操作错误检查周期

位	字段	说明
31	R/W	来自上一访问周期的回波 R/W (R/W = 1)。
30	CRC-ERROR	当检测到 CRC 错误时返回 1，否则返回 0。
29:24	A[5:0]	来自上一访问周期的回波地址。
23:8	DO[15:0]	上一访问周期中请求的回读数据。
7:0	CRC	计算出的位 31:8 的 CRC 值。

Copyright © 2024 Texas Instruments Incorporated

7 寄存器映射

表 7-1 列出了该器件的存储器映射寄存器。将未列出的所有寄存器地址视为保留的存储单元，不修改寄存器内容。

表 7-1. 寄存器映射

ADDR（十六进制）	寄存器	类型	复位（十六进制）	位说明															
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	NOP	W	0000	NOP[15:0]															
01	DEVICEID	R	029C(1) 或 024C(2)	DEVICEID[13:0]														VERSIONID[1:0]	
02	状态	R	0000	RESERVED													CRC-ALM	DAC-BUSY	TEMP-ALM
03	SPICONFIG	R/W	0AA4	RESERVED				TEMPALM-EN	DACBUSY-EN	CRCALM-EN	RESERVED			DEV-PWDWN	CRC-EN	RSVD	SDO-EN	FSDO	RSVD
04	GENCONFIG	R/W	4000	RSVD	REF-PWDWN	RESERVED													
09	DACPWDWN	R/W	起始值也可以是 0，但是由于 SysTick 中断和 COUNT FLAG 在计数从 1 到 0 时都会被激活，所以没什么作用	RESERVED															DAC-PWDWN
0A	DACRANGE	W	0000	RESERVED												DAC-RANGE[3:0]			
0E	触发	R/W	0000	RESERVED						SOFT-CLR	ALM-RESET	RESERVED				SOFT-RESET[3:0]			
10	DAC	W	0000	DAC-DATA[15:0]															

(1) DAC81401 的复位代码。
(2) DAC61401 的复位代码。

7.1 寄存器

表 7-2 列出了该器件的存储器映射寄存器。表 7-2 中未列出的所有寄存器偏移地址都是保留的存储单元。请勿修改寄存器内容。

表 7-2. 寄存器

偏移	缩写	寄存器名称	部分
00h	NOP	NOP 寄存器	转到
01h	DEVICEID	器件 ID 寄存器	转到
02h	状态	STATUS 寄存器	转到
03h	SPICONFIG	SPI CONFIG 寄存器	转到
04h	GENCONFIG	GENERAL CONFIG 寄存器	转到
09h	DACPWDWN	DAC POWER DOWN 寄存器	转到
0Ah	DACRANGE	DAC RANGE 寄存器	转到
0Eh	触发	TRIGGER 寄存器	转到
10h	DAC	DAC DATA 寄存器	转到

NOP 寄存器（偏移 = 00h）[复位 = 0000h]

图 7-1 展示了 NOP，表 7-3 中对此进行了介绍。

返回汇总表。

图 7-1. NOP 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP[15:0]															
W-0000h															

表 7-3. NOP 寄存器字段说明

位	字段	类型	复位	说明
15:0	NOP	W	0000h	无操作。写入 0000h 以获得正确的无操作命令

DEVICEID 寄存器（偏移 = 01h）[复位 = 0A70h 或 0930h]

图 7-2 中显示了器件 ID，表 7-4 中对此进行了介绍。

返回汇总表。

图 7-2. DEVICEID 寄存器

15	14	13	12	11	10	9	8
DEVICEID[13:6]							
R							
7	6	5	4	3	2	1	0
DEVICEID[5:0]						VERSIONID[1:0]	
R-00h						R-0h	

Copyright © 2024 Texas Instruments Incorporated

表 7-4. DEVICEID 寄存器字段说明

位	字段	类型	复位	说明
15:2	DEVICEID	R	029Ch 或 024Ch	器件 ID 029C：DAC81401（16 位） 024C：DAC61401（12 位）
1:0	VERSIONID	R	0h	版本 ID。会有更改

STATUS 寄存器（偏移 = 02h）[复位 = 0000h]

图 7-3 中显示了状态寄存器，表 7-5 中对此进行了介绍。

返回汇总表。

图 7-3. STATUS 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
RESERVED					CRC-ALM	DAC-BUSY	TEMP-ALM
R-00h					R-0h	R-0h	R-0h

表 7-5. 状态寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	不适用	0h	保留
2	CRC-ALM	R	0h	CRC 警报 0：CRC 无错误 1：标示出 CRC 错误
1	DAC-BUSY	R	0h	DAC 忙碌 0：DAC 已准备好更新 1：DAC 尚不可以更新
0	TEMP-ALM	R	0h	温度警报 0：无热警报 1：芯片温度超过 +140°C。热警报事件强制 DAC 输出进入省电模式

Copyright © 2024 Texas Instruments Incorporated

SPICONFIG 寄存器（偏移 = 03h）[复位 = 0AA4h]

图 7-4 展示了 SPI 配置寄存器，表 7-6 对其进行了说明。

返回汇总表。

图 7-4. SPICONFIG 寄存器

15	14	13	12	11	10	9	8
保留				TEMPALM-EN	DACBUSY-EN	CRCALM-EN	RESERVED
R-0h				R/W-1h	R/W-0h	R/W-1h	R-0h
7	6	5	4	3	2	1	0
RESERVED		DEV-PWDWN	CRC-EN	RESERVED	SDO-EN	FSDO	RESERVED
R-1h	R-0h	R/W-1h	R/W-0h	R-0h	R/W-1h	R/W-0h	R-0h

表 7-6. SPICONFIG 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0h	保留
11	TEMPALM-EN	R/W	1h	温度报警使能 0：热警报不会触发 $\overline{\text{FAULT}}$ 引脚 1：热警报会触发 $\overline{\text{FAULT}}$ 引脚
10	DACBUSY-EN	R/W	0h	DAC 忙碌指示器启用 0：无 DAC 忙碌指示器 1：$\overline{\text{FAULT}}$ 引脚在 DAC 输出更新之间设置。此警报自动复位
9	CRCALM-EN	R/W	1h	CRC 警报使能 0：无 CRC 警报指示器 1：CRC 错误会触发 $\overline{\text{FAULT}}$ 引脚
8:6	RESERVED	R	2h	保留
5	DEV-PWDWN	R/W	1h	器件断电使能 0：器件处于工作模式 1：器件处于省电模式
4	CRC-EN	R/W	0h	启用 CRC 0：无 CRC 1：启用帧错误检查
3	RESERVED	R	0h	保留
2	SDO-EN	R/W	1h	SDO 引脚使能 0：SDO 引脚不工作 1：SDO 引脚正常工作
1	FSDO	R/W	0h	快速 SDO 位使能 0：在 SCLK 上升沿进行 SDO 更新 1：在 SCLK 下降沿更新 SDO
0	RESERVED	R	0h	保留

Copyright © 2024 Texas Instruments Incorporated

GENCONFIG 寄存器（偏移 = 04h）[复位 = 0000h]

图 7-5 展示了通用配置寄存器，表 7-7 对其进行了说明。

返回汇总表。

图 7-5. GENCONFIG 寄存器

15	14	13	12	11	10	9	8
保留	REF-PWDWN	RESERVED					
R-0h	R/W-1h	R-00h					
7	6	5	4	3	2	1	0
RESERVED							
R-00h							

表 7-7. GENCONFIG 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	0h	保留
14	REF-PWDWN	R/W	1h	基准断电 0：启用内部基准 1：禁用内部基准
13:0	RESERVED	R	0000h	保留

DACPWDWN 寄存器（偏移 = 09h）[复位 = FFFFh]

图 7-6 展示了 DAC 断电寄存器，表 7-8 对其进行了说明。

返回汇总表。

图 7-6. DACPWDWN 寄存器

15	14	13	12	11	10	9	8
保留							
R-FFh							
7	6	5	4	3	2	1	0
RESERVED							DAC-PWDWN
R-FFh							R/W-1h

表 7-8. DACPWDWN 寄存器字段说明

位	字段	类型	复位	说明
15:1	RESERVED	不适用	FFFFh	保留
0	PDN	R/W	0h	DAC 断电位 0：启用 DAC 1：DAC 断电，输出通过 10kΩ 内部电阻接地

DACRANGE 寄存器（偏移 = 0Ah）[复位 = 0000h]

图 7-7 展示了 DAC 范围寄存器，表 7-9 对其进行了说明。

返回汇总表。

图 7-7. DACRANGE 寄存器

15	14	13	12	11	10	9	8
保留							
N/A-0h							
7	6	5	4	3	2	1	0
RESERVED				DAC-RANGE3:0			
N/A-0h				R/W-0h			

表 7-9. DACRANGE 寄存器字段说明

位	字段	类型	复位	说明
15:4	RESERVED	不适用	000h	保留
3:0	DAC-RANGE	R/W	0h	设置相应 DAC 的输出范围。 0000：0V 至 5V 1000：0V 至 6V 0001：0V 至 10V 1001：0V 至 12V 0010：0V 至 20V 1010：0V 至 24V 0011：0V 至 40V 0101：–5.0V 至 +5.0V 1101：–6.0V 至 +6.0V 0110：–10.0V 至 +10.0V 1110：–12.0V 至 +12.0V 0111：-20.0V 至 +20.0V 所有其他组合均无效

Copyright © 2024 Texas Instruments Incorporated

TRIGGER 寄存器（偏移 = 0Eh）[复位 = 0000h]

图 7-8 展示了触发寄存器，表 7-10 对其进行了说明。

返回汇总表。

图 7-8. TRIGGER 寄存器

15	14	13	12	11	10	9	8
保留						SOFT-CLR	ALM-RESET
W-00h						W-0h	W-0h
7	6	5	4	3	2	1	0
RESERVED				SOFT-RESET[3:0]			
W-0h				W-0h			

表 7-10. TRIGGER 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	W	00h	保留
9	SOFT-CLR	W	0h	DAC 输出的软件清除 0：DAC 输出保持不变 1：DAC 输出被清除
8	ALM-RESET	W	0h	将该位设置为 1 以清除警报事件。不适用于 DAC-BUSY 警报事件
7-4	RESERVED	W	0h	保留
3:0	SOFT_RESET	W	0h	将这些位设置为保留代码 0b1010 可将器件复位为默认状态

DAC 寄存器（偏移 = 10h）[复位 = 0000h]

图 7-9 展示了 DAC 数据寄存器，表 7-11 对其进行了说明。

返回汇总表。

图 7-9. DAC 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-DATA[15:0]															
W-0000h															

表 7-11. DAC 寄存器字段说明

位	字段	类型	复位	说明
	DAC-DATA	W	0h	以 MSB 对齐的直接二进制格式存储要加载到 DAC 的 16 位或 12 位数据。 数据使用以下格式： DAC81401：{DATA[15:0]} DAC61401：{DATA[11:0], x, x, x, x} x – 不用考虑位

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.2 典型应用

DAC81401 输出 (VOUT) 能够提供 –20V 至 +40V 的电压。但是，某些应用需要更高的电压。图 8-1 显示了一个简化图，使用具有外部高压增益级的 DAC81401 为该应用设计高电压要求。

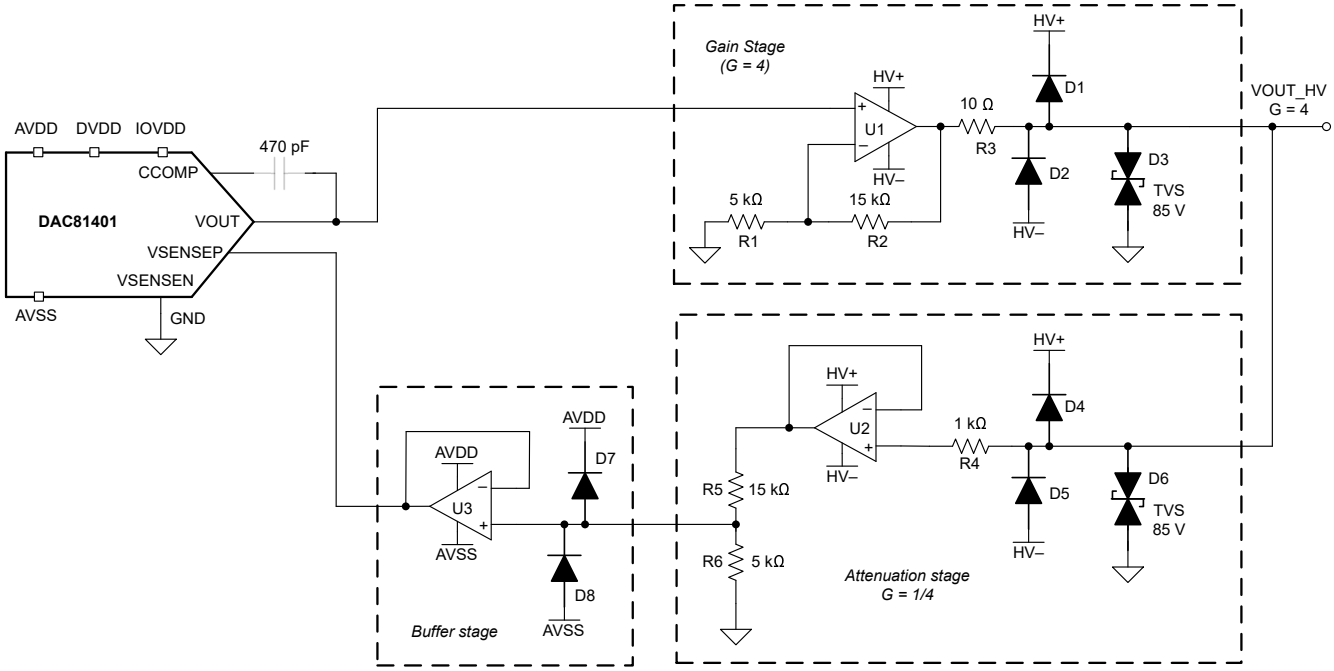


图 8-1. 高压增益级方框图

8.2.1 设计要求

- 电压范围：±40V、0V 至 80V
- 最小外部电源：HV+ 和 HV –

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

DAC81401 器件具有优异的线性度和噪声性能，因此是该应用的理想选择。

DAC81401 能够提供 0V 至 40V 或 ±20V 的输出电压。在电压要求超出 0V 至 40V 或 ±20V 的高压应用中，可以使用高压增益级来获得 0V 至 80V 或 ±40V 范围的电压。该高压增益级需要外部高压电源。

8.2.2.1 主要元件

- U1、U2—OPA593 85V、低失调电压、低噪声、10MHz、250mA 输出电流精密运算放大器
- U3—OPA189 36V、低失调电压、低温漂、低噪声、14MHz 精密运算放大器
- D1、D2、D4、D5、D7、D8—肖特基二极管 100V、150mA、0.7V 正向电压、快速开关
- D3、D6—85V 关断电压、高电流、双向 TVS
- R1、R2—低温度系数高精度 (< 0.01%) 薄膜电阻
- R5、R6—低温度系数高精度 (< 0.01%) 薄膜电阻

8.2.2.2 补偿电容器

470pF 补偿电容器是可选的，CCOMP 引脚可以保持悬空。仅当 DAC81401 VOUT 节点处的负载电容器大于 2nF 时，才需要该补偿电容器。

8.2.2.3 增益级

增益级将 DAC 输出电压放大 4 倍。该增益级使用 OPA593 (U1)，它支持 0V 至 85V 或 ±42.5V 的输出电压。在增益级输出端，通过将 DAC 输出分别编程为 0V 至 20V 或 ±10V，获取 0V 至 80V ±40V 的电压。对于给定的增益级输出，可通过以下公式计算 DAC 输出：

$$VOUT = \frac{VOUT_HV}{4} \tag{3}$$

其中：

- VOUT：DAC81401 的输出电压
- VOUT_HV：方框图中增益级 (U1) 的输出

图 8-2 和图 8-3 分别提供了单极和双极模式的增益级输出与 DAC 输出的关系图。

8.2.2.4 衰减和缓冲级

为了避免任何意外的 I-R 压降，请将 VOUT 和 VSENSEP 连接到靠近负载的位置，并且 VSESNEP 和 VOUT 的电压值必须相同。因此，增益级输出电压首先被缓冲 (U2)，然后通过电阻分压器 R5 和 R6 将其衰减 4 倍。

VSENSEP 的输入阻抗约为 50kΩ，无法直接连接电阻分压器电压，会因负载而产生错误电压。该电压输出首先被缓冲 (U3)，然后连接到 DAC81401 的 VSENSEP 节点，以通过 VOUT 闭合内部反馈环路。

8.2.2.5 外部电源

OPA593 在增益级 (U1) 和衰减级 (U2) 中使用，需要使用外部高压电源。电源必须满足 OPA593 数据表中的余量和下余量要求。这些外部电源需要由高压电源提供。HV+ 和 HV – 的典型值分别为 +41V 和 –41V，或 81V 和 0V。

$$\text{HV}+ = \max(\text{VOUT_HV}) + \text{headroom}(\text{OPA593}) \tag{4}$$

$$\text{HV}- = \min(\text{VOUT_HV}) - \text{footroom}(\text{OPA593}) \tag{5}$$

其中 VOUT_HV 为方框图中增益级 (U1) 的输出。

8.2.2.6 保护设计

如果器件输出引脚在没有外部保护元件的情况下进行工业瞬态测试，则 DAC81401 的内部二极管结构将变为正向偏置并传导电流。如果传导电流很大（这在高压工业瞬态测试中很常见），该结构会损坏并影响器件功能。

增益级输出和衰减级输入包括一个针对短路事件的外部电过应力保护电路。保护是通过瞬态电压抑制器 (TVS) 二极管 D3 和 D6 以及钳位至轨二极管 D1、D2、D4、D5 实现的。

TVS 和钳位到轨二极管的联合效应限制了流入器件内部二极管结构的电流，以防止损坏。假设 R1 = 10Ω 且二极管 FB 为 0.7V，如果肖特基二极管将 VOUT 钳位到距离电源轨 ±1.5V，则进入器件的峰值电流等于 80mA。还在增益级输出和衰减级输入节点处包含 TVS 二极管 D3 和 D6，以便为通过二极管 D3 和 D6 以及内部二极管结构发送到这些节点的能量提供放电路径。如果没有这些二极管，当电流转移到这些节点时，去耦电容器会充电，缓慢增大这些节点的电压，这可能会超过 HV+ 和 HV – 的阈值限制。

8.2.2.7 设计精度

增益级输出存在主要由以下因素造成的误差：

- U1 的失调电压 (OPA593)：OPA593 的 ±100μV 失调电压对静态器件性能的误差影响很小。考虑到增益级输出的 40V 范围，使用方程式 6 计算出失调电压的误差贡献为 0.00025 %FSR。

$$error\ (\%FSR) = \frac{offset\ voltage}{gain\ stage\ voltage\ span} \times 100 \tag{6}$$

- 增益电阻 R1 和 R2：R1 和 R2 的比率失配会导致增益级输出端出现增益误差。由于 R1 和 R2 比率失配而产生的误差，使用方程式 7 计算得出为 0.02% FSR。

$$error\ (\%FSR) = \left(1 - \frac{(1 \pm \Delta R2)}{(1 \pm \Delta R1)}\right) \times 100 \tag{7}$$

计算出的 U1、R1 和 R3 的误差贡献表明，最终增益级输出的精度与 DAC81401 一样高。

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线

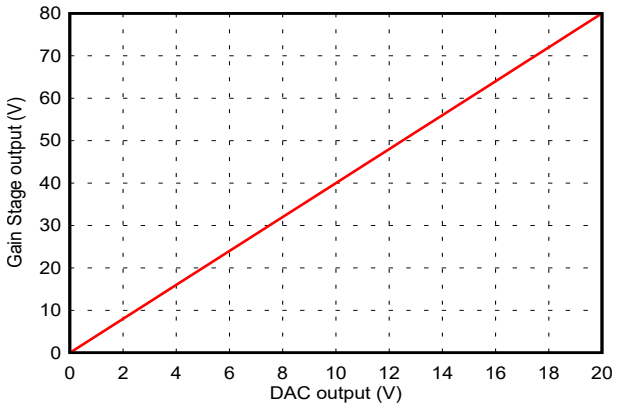


图 8-2. 增益级输出与 DAC 输出间的关系（单极模式）

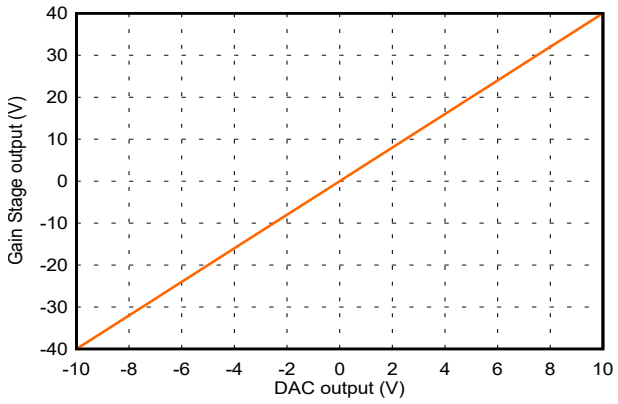


图 8-3. 增益级输出与 DAC 输出间的关系（双极模式）

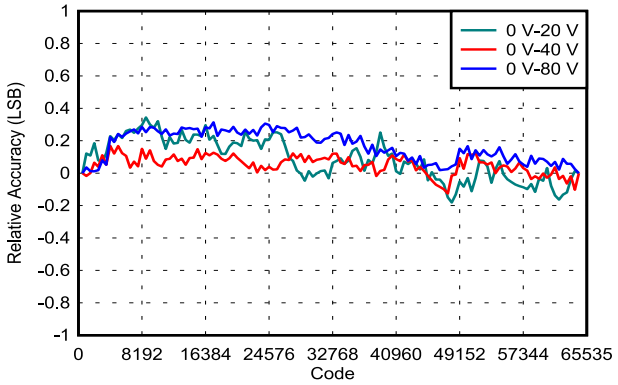


图 8-4. 相对精度与数字输入代码间的关系（单极模式）

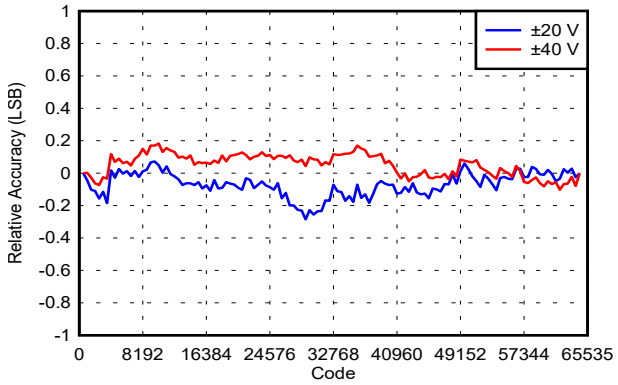


图 8-5. 相对精度与数字输入代码间的关系（双极模式）

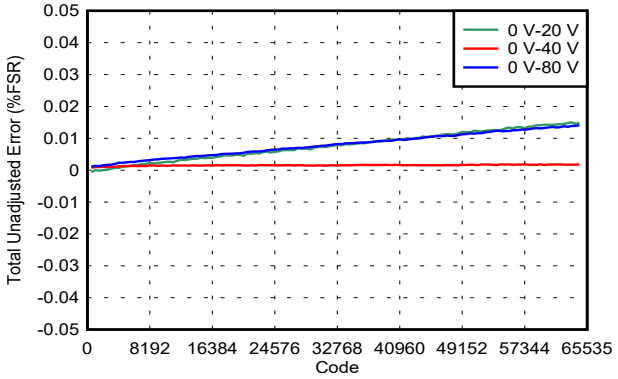


图 8-6. TUE 与数字输入代码间的关系（单极模式）

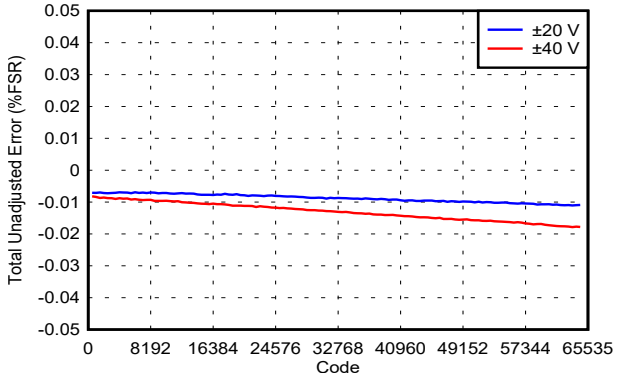


图 8-7. TUE 与数字输入代码间的关系（双极模式）

8.3 初始化设置

若要检查 DAC81401 的基本功能和工作情况，请遵循此处所述的步骤：

- 使用电源值 AVDD = 15V、AVSS = –15V、VDD = 5V 和 IOVDD = 3.3V 为器件加电（这些只是建议值，可能会根据器件工作条件而有所不同）
- 按照以下序列写入 SPI 帧：
  - 将 0x0A04 写入 SPI_CONFIG (0x03) 寄存器，为器件加电
  - 将 0x0000 写入 GEN_CONFIG (0x04) 寄存器，为内部基准加电
  - 将 0xFFFE 写入 DAC_PWDWN (0x09) 寄存器，为 DAC 输出加电
  - 向 DACRANGE (0x0A) 寄存器写入 0x0005，将 DAC 配置为 ±5V 范围，默认输出范围为 0V 至 5V
  - 向 DAC (0x10) 寄存器写入 0x0000、0x7FFF 或 0xFFFF，将 DAC81401 VOUT 配置为 2.5V、0V 或 2.5V

8.4 电源相关建议

该器件需要四个电源输入：IOVDD、VDD、AVDD 和 AVSS。在靠近每个电源引脚的位置连接一个 0.1μF 陶瓷电容器。此外，建议每个电源使用 4.7μF 或 10μF 大容量电容器。为大容量电容器选择钽或铝类型。

如果 VDD 电源事先上电，可向 VREFIO 引脚提供 2.5V 的外部基准电压。

DAC81401 的数字引脚（SCLK、SDI、$\overline{\text{SYNC}}$ 和 SDO）不具有失效防护功能。使用 IOVDD 电源或在 IOVDD 电源之后（但不是之前）将数字引脚拉至逻辑高电平。

电源没有时序控制要求。DAC 输出范围可配置；因此，需要足够的电源余量才能在靠近电源轨的代码处实现线性。当从 DAC 输出端拉出或向其灌入电流时，应考虑功率耗散对器件温度的影响，并且器件不得超过最高结温。

Copyright © 2024 Texas Instruments Incorporated

8.5 布局

8.5.1 布局指南

印刷电路板 (PCB) 布局在实现器件所需的交流和直流性能方面发挥着重要作用，这种精密模拟元件需要仔细布局、充分的旁路和经过良好调节的干净电源。一般来说，遵守规则的数字布线必须尽可能远离模拟布线。

建议在器件附近放置一个额外的 1 μF 至 10 μF 电容器和 0.1 μF 旁路电容器。

- 靠近器件的 0.1μF 电容器以及用于 AVDD 的另一个 1μF 至 10μF 电容器
- 靠近器件的 0.1μF 电容器以及用于 AVSS 的另一个 1μF 至 10μF 电容器
- 靠近器件的 0.1μF 电容器以及用于 VDD 的另一个 1μF 至 10μF 电容器
- 靠近器件的 0.1μF 电容器和另一个用于 IOVDD 的 1μF 电容器（可选）
- VREFIO 引脚上的 0.15μF 电容器用于内部基准噪声过滤

为了获得更好的电源旁路，请将旁路电容器靠近相应的电源引脚放置。为数字信号布线提供不间断的接地参考平面，尤其是对于 SPI 信号。$\overline{\text{FAULT}}$ 信号为静态线路；因此该线路可位于接地平面的模拟侧。图 8-8 中展示了示例布局。

8.5.2 布局示例

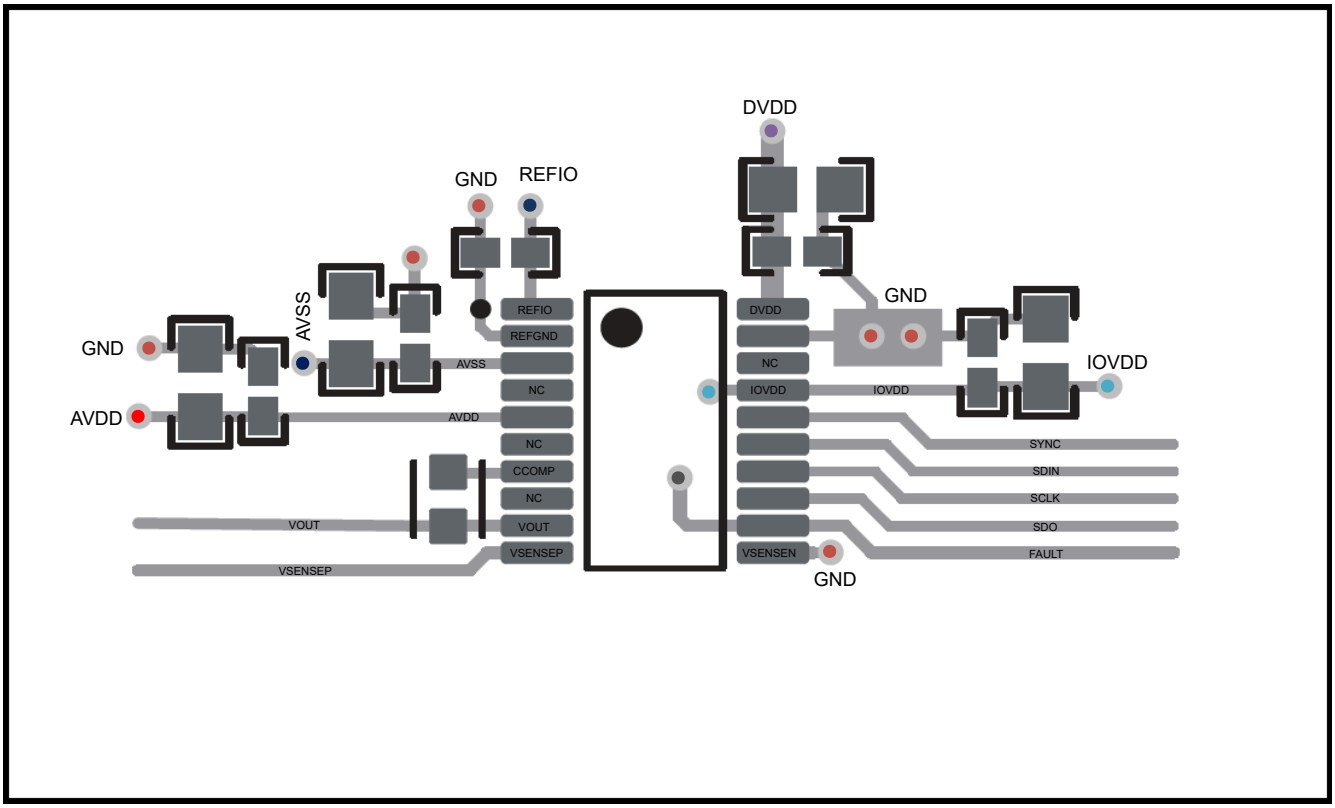


图 8-8. 布局示例

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
November 2023	*	初始发行版。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC61401PWR	ACTIVE	TSSOP	PW	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DAC61401	Samples
DAC81401PWR	ACTIVE	TSSOP	PW	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DAC81401	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

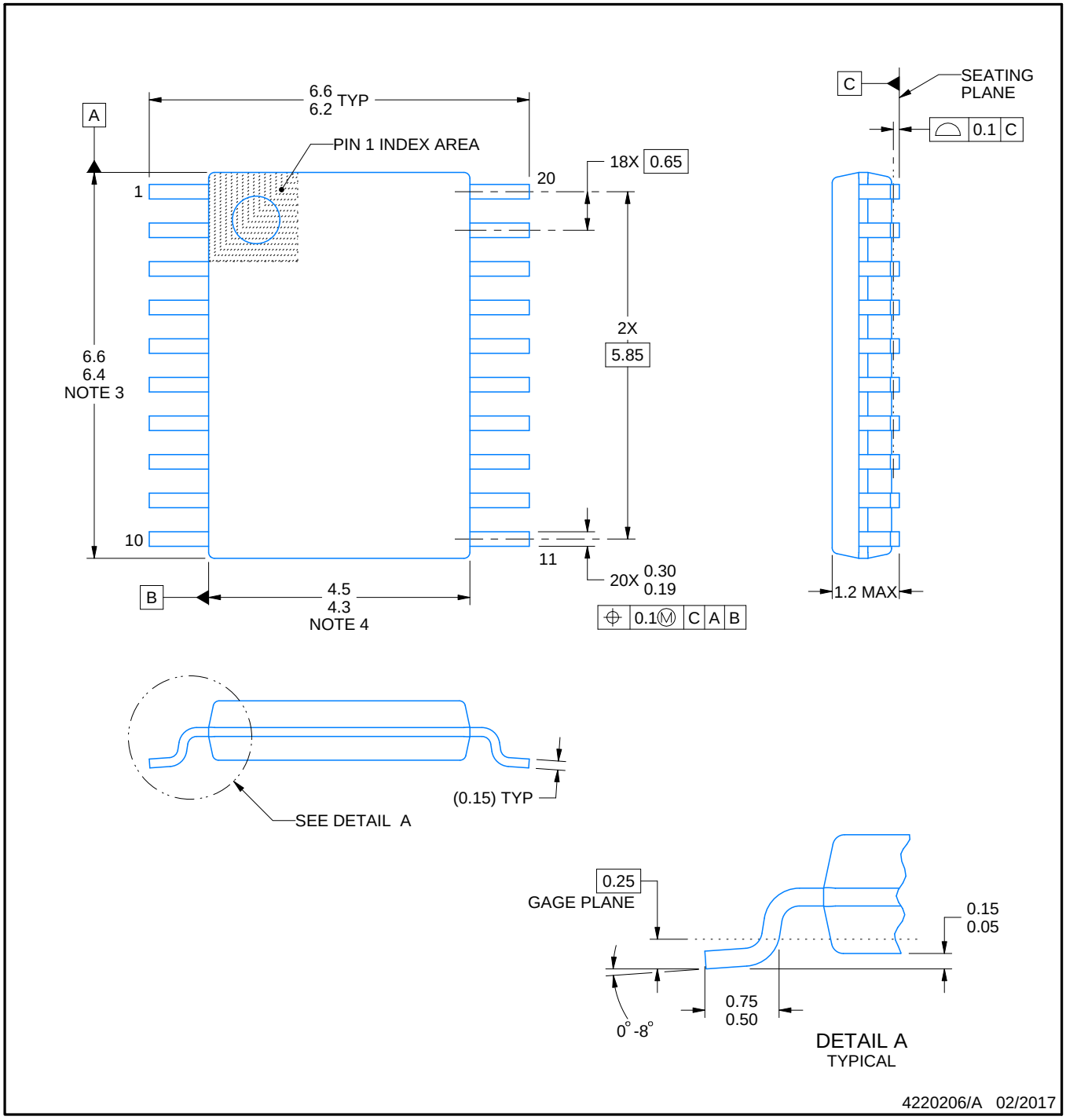
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

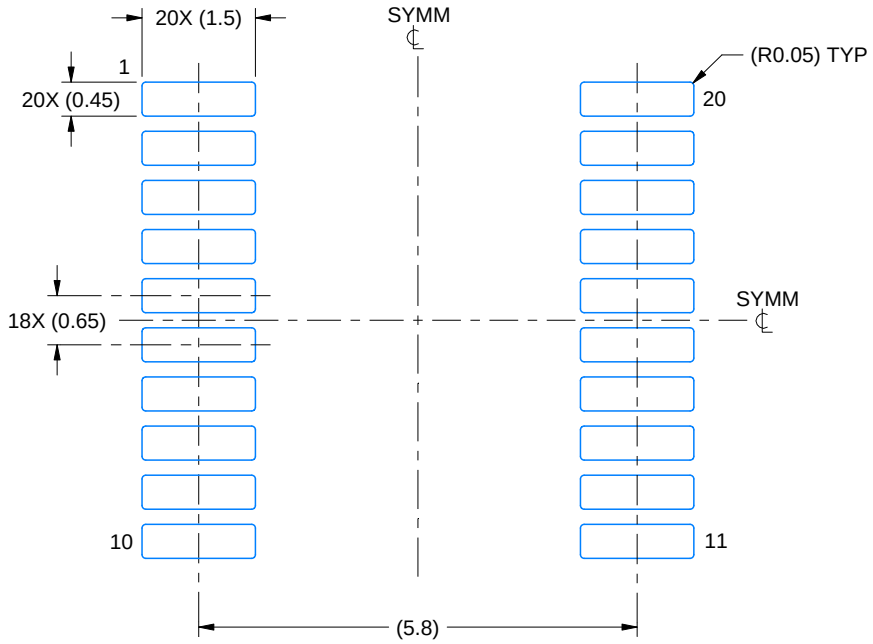
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

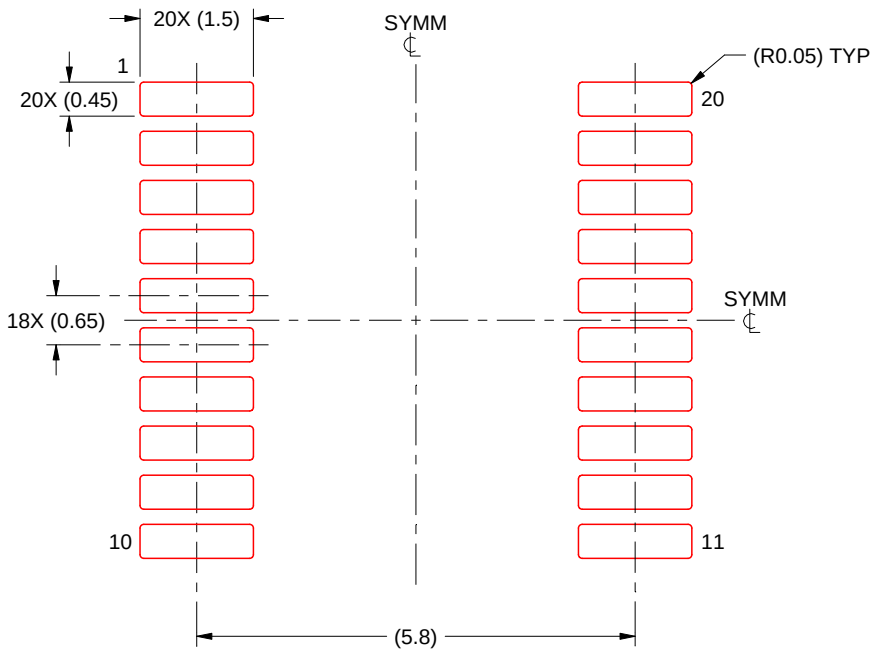
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



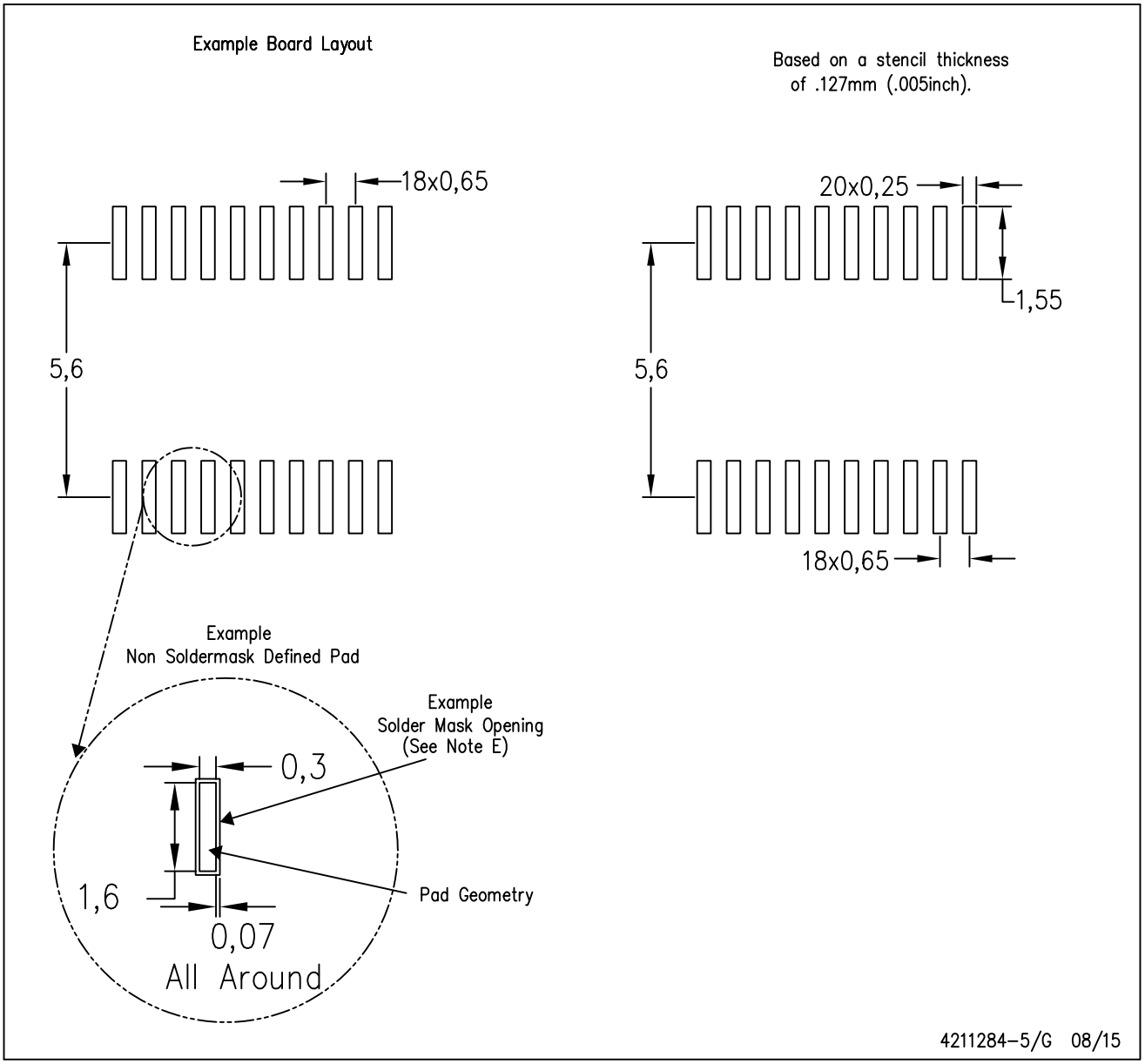
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW (R–PDSO–G20) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate design.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司