

AM625SIP – AM6254 具有集成 LPDDR4 SDRAM 的 Sitara™ 处理器

1 特性

处理器内核：

- 多达四核 64 位 Arm® Cortex®-A53 微处理器子系统，性能高达 1.4GHz
 - 四核 Cortex-A53 集群 (具有 512KB L2 共享缓存，包括 SECDED ECC)
 - 每个 A53 内核包含具有 SECDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
- 频率高达 400MHz 的单核 Arm® Cortex®-M4F MCU
 - 具有 SECDED ECC 的 256KB SRAM
- 专用器件/电源管理器

多媒体：

- 显示子系统
 - 双显示支持
 - 每个显示屏 1920x1080 @ 60fps
 - 1 个 2048x1080 + 1 个 1280x720
 - 高达 165MHz 的像素时钟支持，每个显示屏具有独立 PLL
 - OLDI (4 通道 LVDS - 2x) 和 DPI (24 位 RGB LVCMOS)
 - 支持定帧检测和 MISR 数据检查等安全功能
- 3D 图形处理单元
 - 每个时钟 1 个像素或更高
 - 填充率大于 500 百万像素/秒
 - >500 百万像素/秒，>8 个 GFLOP
 - 支持至少 2 个合成层
 - 支持高达 2048x1080 @60fps 的分辨率
 - 支持 ARGB32、RGB565 和 YUV 格式
 - 支持 2D 图形
 - OpenGL ES 3.1、Vulkan 1.2
- 一个 4 通道摄像头串行接口 (CSI-Rx) 以及 DPHY
 - 符合 MIPI® CSI-2 v1.3 标准 + MIPI D-PHY 1.2
 - 支持 1、2、3 或 4 数据通道模式，每通道速率高达 1.5Gbps
 - ECC 验证/校正和 RAM 上的 CRC 校验+ ECC
 - 虚拟通道支持 (多达 16 个)
 - 能够通过 DMA 将流数据直接写入 DDR

存储器子系统：

- 高达 816KB 的片上 RAM
 - 具有 SECDED ECC 的 64KB 片上 RAM (OCSRAM)，可以分为更小的存储器组，以 32KB 为增量递增，最多可支持 2 个独立的存储器组
 - SMS 子系统具有 SECDED ECC 的 256KB 片上 RAM
 - SMS 子系统具有 SECDED ECC 的 176KB 片上 RAM，用于 TI 安全固件
 - Cortex-M4F MCU 子系统具有 SECDED ECC 的 256KB 片上 RAM
 - 器件/电源管理器子系统中具有 SECDED ECC 的 64KB 片上 RAM
- DDR 子系统 (DDRSS)
 - 集成 512MB LPDDR4 SDRAM
 - 支持高达 1600MT/s 的速度
 - 具有内联 ECC 的 16 位数据总线

安全：

- 支持安全启动
 - 硬件强制可信根 (ROT)
 - 支持通过备用密钥转换 RoT
 - 支持接管保护、IP 保护和防回滚保护
- 支持可信执行环境 (TEE)
 - 基于 Arm TrustZone® 的 TEE
 - 可实现隔离的广泛防火墙支持
 - 安全监视器/计时器/IPC
 - 安全存储支持
 - 支持回放保护存储器块 (RPMB)
- 具有用户可编程 HSM 内核的专用安全控制器以及用于隔离式处理的专用安全 DMA 和 IPC 子系统
- 支持加密加速
 - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
 - 支持加密内核
 - AES - 128/192/256 位密钥大小
 - SHA2 - 224/256/384/512 位密钥大小
 - 具有真随机数生成器的 DRBG
 - 可在 RSA/ECC 处理中提供帮助的 PKA (公钥加速器)，支持安全启动
- 调试安全性
 - 受安全软件控制的调试访问
 - 安全感知调试



PRU 子系统：

- 运行频率高达 333MHz 的双核可编程实时单元子系统 (PRUSS)
- 用于驱动 GPIO 以实现周期精确的协议，例如：
 - 通用输入/输出 (GPIO)
 - UART
 - I²C
 - 外部 ADC
- 每个 PRU 16KB 程序存储器，具有 SECDED ECC
- 每个 PRU 8KB 数据存储器，具有 SECDED ECC
- 具有 SECDED ECC 的 32KB 通用存储器
- CRC32/16 硬件加速器
- 具有 3 组 30 x 32 位寄存器的暂存存储器
- 1 个工业 64 位计时器，具有 9 个捕捉事件和 16 个比较事件以及慢速和快速补偿
- 1 个中断控制器 (INTC)，至少支持 64 个输入事件

高速接口：

- 集成以太网交换机支持 (总共 2 个外部端口)
 - RMII (10/100) 或 RGMII (10/100/1000)
 - IEEE1588 (附件 D、E 和 F，及 802.1AS PTP)
 - 第 45 条 MDIO PHY 管理规范
 - 基于 ALE 引擎的数据包分类器，具有 512 个分类器
 - 基于优先级的流量控制
 - 时间敏感型网络 (TSN) 支持
 - 四个 CPU 硬件中断节奏
 - 硬件中的 IP/UDP/TCP 校验和卸载
- 两个 USB2.0 端口
 - 可配置为 USB 主机、USB 外设或 USB 双角色器件 (DRD 模式) 的端口
 - 集成了 USB VBUS 检测

通用连接：

- 9 个通用异步接收器/发送器 (UART)
- 5 个串行外设接口 (SPI) 控制器
- 6 个内部集成电路 (I²C) 端口
- 3 个多通道音频串行端口 (McASP)
 - 高达 50MHz 的发送和接收时钟
 - 3 个 McASP 上具有多达 16/10/6 个串行数据引脚并具有独立的 TX 和 RX 时钟

- 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式
- 支持数字音频接口传输 (SPDIF、IEC60958-1 和 AES-3 格式)
- 用于发送和接收的 FIFO 缓冲器 (256 字节)
- 支持音频基准输出时钟
- 3 个增强型 PWM 模块 (ePWM)
- 3 个增强型正交编码器脉冲模块 (eQEP)
- 3 个增强型捕捉模块 (eCAP)
- 通用 I/O (GPIO)，所有 LVCMOS I/O 均可配置为 GPIO
- 3 个支持 CAN-FD 的控制器局域网 (CAN) 模块
 - 符合 CAN 协议 2.0A、B 和 ISO 11898-1 标准
 - 完全支持 CAN FD (最多 64 个数据字节)
 - 消息 RAM 的奇偶校验/ECC 检查
 - 速度高达 8Mbps

媒体和数据存储：

- 3 个多媒体卡/安全数字® (MMC/SD®/SDIO) 接口
 - 1 个 8 位 eMMC 接口，速度高达 HS200
 - 2 个高达 UHS-I 的 4 位 SD/SDIO 接口
 - 符合 eMMC 5.1、SD 3.0 和 SDIO 3.0
- 1 个高达 133MHz 的通用存储器控制器 (GPMC)
 - 灵活的 8 位和 16 位异步存储器接口，具有多达四个芯片 (22 位地址) 选择 (NAND、NOR、Muxed-NOR 和 SRAM)
 - 使用 BCH 代码，支持 4 位、8 位或 16 位 ECC
 - 使用海明码来支持 1 位 ECC
 - 错误定位器模块 (ELM)
 - 与 GPMC 配合使用，以找到来自伴随多项式的数据错误 (在使用 BCH 算法时生成) 的地址
 - 根据 BCH 算法，支持 4 位、8 位和 16 位每 512 字节块错误定位
- 具有 DDR/SDR 支持的 OSPI/QSPI
 - 支持串行 NAND 和串行 NOR 闪存器件
 - 支持 4GB 存储器地址
 - 具有可选实时加密的 XIP 模式

电源管理：

- 器件/电源管理器支持多种低功耗模式
 - 部分 IO 支持 CAN/GPIO/UART 唤醒
 - DeepSleep
 - 仅 MCU
 - 待机
 - Cortex-A53 的动态频率缩放

优化的电源管理解决方案：

- 推荐的 [TPS65219](#) 电源管理 IC (PMIC)
 - 专为满足器件电源要求而设计的配套 PMIC
 - 灵活的映射和出厂编程配置，支持多种不同的用例

引导选项：

- UART
- I²C EEPROM
- OSPI/QSPI 闪存
- GPMC NOR/NAND 闪存
- NAND 串行闪存
- SD 卡
- eMMC
- 从大容量存储设备进行 USB (主机) 引导
- 从外部主机进行 USB (设备) 引导 (DFU 模式)
- 以太网

技术/封装：

- 16nm 技术
- 13mm x 13mm、0.5mm 间距、425 引脚 FCCSP BGA (AMK)

2 应用

- 人机界面 (HMI)
- 医疗设备、患者监护和便携式医疗设备
- 电器用户界面和连接
- 电动汽车服务设备 (EVSE) / 车辆对基础设施 (V2X)
- 智能家用网关
- 嵌入式安全：控制和门禁面板

3 说明

AM625SIP 是 ALW 封装 AM6254 器件的系统级封装 (SIP) 衍生器件，并添加了一个集成式 LPDDR4 SDRAM。本文档仅定义了 [AM62x Sitara 处理器数据表](#) (版本 B 或更高版本) 中定义的 ALW 封装 AM6254 器件的差异或例外情况。

AM625SIP (系统级封装) 具有集成 LPDDR4 的 Sitara™ MPU 是为 Linux 开发构建的应用处理器。该系统级封装器件将 512MB LPDDR4 与 AM6254 器件集成，后者具有 4 个 Arm® Cortex®-A53 和嵌入式功能，例如：双显示支持、3D 图形加速以及一组广泛的外设，使系统级封装非常适合各种工业应用，同时还提供智能功能和优化的电源架构。此外，AM625SIP 还提供简化的硬件设计、更高的稳健性、优化的尺寸/系统 BOM 以及更低功耗，所有这些都有助于加快软件和硬件开发速度。

其中的一些应用包括：

- 工业 HMI
- 医疗设备、患者监护和便携式医疗设备
- 智能家用网关和电器
- 嵌入式安全：控制和门禁面板

3 端口千兆以太网交换机具有一个内部端口和两个外部端口，支持时间敏感网络 (TSN)。该器件上的附加 PRU 模块可为客户自己的用例提供实时 I/O 功能。此外，AM625SIP 中包含大量外设，可实现系统级连接，例如：USB、MMC/SD、摄像头接口、OSPI、CAN-FD 和 GPMC，用于将主机接口并行连接到外部 ASIC/FPGA。AM625SIP 器件还通过内置硬件安全模块 (HSM) 支持安全启动来实现 IP 保护，并为便携式和功耗敏感型应用提供高级电源管理支持

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AM625SIP	AMK (FCCSP BGA , 425)	13mm × 13mm

(1) 如需了解更多信息，请参阅[机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

图 3-1 展示了器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索位于“Downloads”选项卡选项中的 AM62x 软件构建表，在 [Processor-SDK-AM62x](#) 上提供。

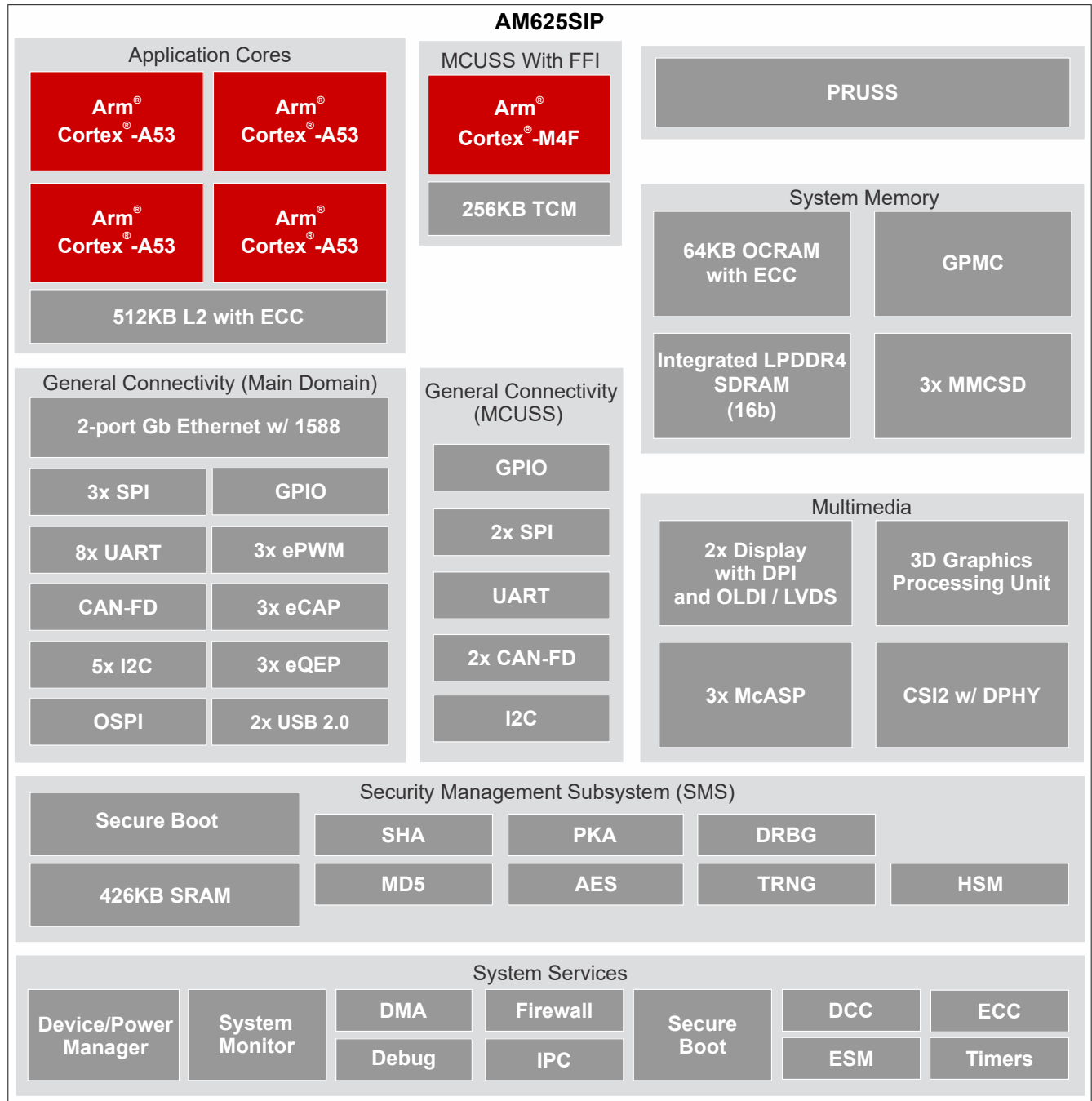


图 3-1. 功能方框图

内容

1 特性	1	6.6 时序和开关特性	17
2 应用	3	7 应用、实现和布局	18
3 说明	4	7.1 外设和接口的相关设计信息.....	18
3.1 功能方框图.....	5	8 器件和文档支持	19
4 器件比较	7	8.1 器件命名规则.....	19
4.1 相关产品.....	9	8.2 工具与软件.....	22
5 终端配置和功能	10	8.3 文档支持.....	22
5.1 引脚图.....	10	8.4 支持资源.....	22
5.2 引脚属性和信号说明.....	11	8.5 商标.....	22
6 规格	13	8.6 静电放电警告.....	22
6.1 绝对最大额定值.....	13	8.7 术语表.....	23
6.2 ESD 等级.....	13	9 修订历史记录	23
6.3 建议运行条件.....	14	10 机械、封装和可订购信息	24
6.4 运行性能点.....	15	10.1 封装信息.....	24
6.5 热阻特性.....	16		

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 SysConfig 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索位于“Downloads”选项卡选项中的 AM62x 软件构建表，在 Processor-SDK-AM62x 上提供。

表 4-1. 器件比较

特性	参考名称	AM625SIP	AM625 ⁽¹⁾
		AM6254	AM6254
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] ⁽²⁾ 按器件“特性”代码的寄存位值（有关器件特性的更多信息，请参阅 器件命名约定 ）			
	C：	-	0x1D123
	G：	-	0x1D127
	L：	0x1F120	-
处理器和加速器			
速度等级（请参阅 器件速度等级 ）		T	T、S、K、G
Arm Cortex-A53 微处理器子系统	Arm A53	四核	
MCU 域中的 Arm Cortex-M4F	Arm M4F	单核 无功能安全	单核 功能安全（可选）
3D 图形引擎 （OpenGL ES 3.1、Vulkan 1.2）	3D 图形引擎	是	
器件管理子系统	WKUP_R5F	单核	
加密加速器	安全性	是	
程序和数据存储			
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	64KB（具有 SECDED ECC）	
M4F 域中的片上共享存储器 (RAM)	MCU_MSRAM	256KB	
DDR4/LPDDR4 DDR 子系统	DDRSS	集成 512MB LPDDR4 SDRAM	具有内联 ECC 的 16 位数据； 使用 DDR4 时高达 8GB，使用 LPDDR4 时高达 4GB
通用存储器控制器	GPMC	高达 1GB，具有 ECC	
外设			
显示子系统	DSS	1x DPI	
		1x LVDS	
模块化控制器区域网接口，具有完整 CAN-FD 支持	MCAN	3	
通用 I/O	GPIO	高达 170	
内部集成电路接口	I2C	6	
多通道音频串行端口	MCASP	3	
多通道串行外设接口	MCSPi	5	
多媒体卡/安全数字接口	MM/CSD	1x eMMC（8 位）	
		2x SD/SDIO（4 位）	
闪存子系统 (FSS) ⁽³⁾	OSPI0/QSPI0	是 ⁽³⁾	
可编程实时单元子系统	PRUSS	2 个 PRU 内核	2 个 PRU 内核（可选）
工业通信子系统支持 ⁽⁴⁾	PRUSS	否	

表 4-1. 器件比较 (续)

特性	参考 名称	AM625SIP	AM625 ⁽¹⁾
		AM6254	AM6254
千兆以太网接口	CPSW3G	是	
个通用定时器	计时器	12 个 (MCU 通道中 4 个)	
增强型脉宽调制器模块	EPWM	3	
增强型捕获模块	ECAP	3	
增强型正交编码器脉冲模块	EQEP	3	
通用异步接收器/发送器	UART	9	
具有 DPHY 的 CSI2-RX 控制器	CSI-RX	1	
具有 PHY 的 USB2.0 控制器	USB 2.0	2	

- (1) 该列仅作为与 AM625 系列器件相关的器件特性的快速参考。有关 AM625 功能代码、速度等级和可选功能的更多信息，请参阅 [AM62x Sitara 处理器数据表](#)。
- (2) 有关 WKUP_MMR0_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
- (3) 1 个闪存接口，配置为 OSPI0 或 QSPI0。
- (4) 此系列器件不支持工业通信子系统。

ADVANCE INFORMATION

4.1 相关产品

Sitara™ 处理器是一系列基于 Arm® Cortex®-A 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara 处理器具有工业和汽车应用所需的可靠性和功能安全支持。

Sitara™ 微控制器是出色的基于 Arm® 的 32 位微控制器 (MCU)，可提供可扩展的高性能和高能效器件产品系列，以帮助满足您的系统需求。为您的设计提供功能安全、电源效率、实时控制、高级组网、分析和安全等功能。

AM64x Sitara™ 处理器面向工业应用，如工厂自动化与控制 (FAC) 和电机控制，这些应用利用 Linux 应用处理内核 (Cortex®-A53)、实时处理内核 (Cortex®-R5F) 和工业通信子系统 (PRU_ICSSGs) 来支持 EtherCAT、Profinet 或 EtherNet/IP 等协议。AM64x 采用一个 CPSW3G 和两个 PRU_ICSSG，最多可支持五个千兆位以太网端口。该器件还支持多种外设，包括 PCIe 第 2 代或 USB 超高速第 1 代单通道、功能安全选项、安全启动和运行时安全。

AM623 Sitara™ 处理器是具有基于 Arm® Cortex®-A53 的对象和手势识别功能的物联网 (IoT) 和网关 SoC。低成本 AM623 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM623 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性以及一组广泛的外设，非常适合各种工业和汽车应用。

AM625 Sitara™ 处理器是一款具有 Arm® Cortex®-A53 和全高清双显示的人机交互 SoC。低成本 AM625 Sitara™ MPU 系列应用处理器专为 Linux® 应用开发而构建。AM625 器件具有可扩展的 Arm® Cortex®-A53 性能、双显示支持等嵌入式特性、3D 图形加速以及一组广泛的外设，非常适合各种工业和汽车应用。

AM62A3 Sitara™ 和 **AM62A7 Sitara™** 处理器是一款嵌入式视觉 SoC，利用 1-4 个 Cortex A-53 ARM 内核以及 1 个或 2 个 TOPS 分析硬件加速器。这个可扩展的高性能 AM62Ax Sitara MPU 系列应用处理器专为 Linux 应用开发而构建。AM62Ax 非常适合具有嵌入式功能 (例如 h.264/h.265 编码/解码、安全启动、图像信号处理和深度学习加速器) 的各种工业和汽车应用。

帮助您完成设计的产品：

- [以太网 PHY](#)
- [电源管理/PMIC](#)
- [时钟和计时](#)
- [电源开关](#)
- [CAN 收发器](#)
- [ESD 保护](#)

有关如何在系统设计和物料清单中针对特定器件型号建议实施这些器件的更多详细信息，请参阅 SK-AM62-SIP EVM 原理图。

5 终端配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 显示了 425 球栅阵列 (FCCSP BGA) 封装的焊球位置顶视图，用以快速找到信号名称和球栅编号。本文档中的引脚图旨在与本文档的引脚属性和信号说明部分以及 AM62x Sitara 处理器数据表中引脚连接要求表内的引脚属性一起使用。

ADVANCE INFORMATION

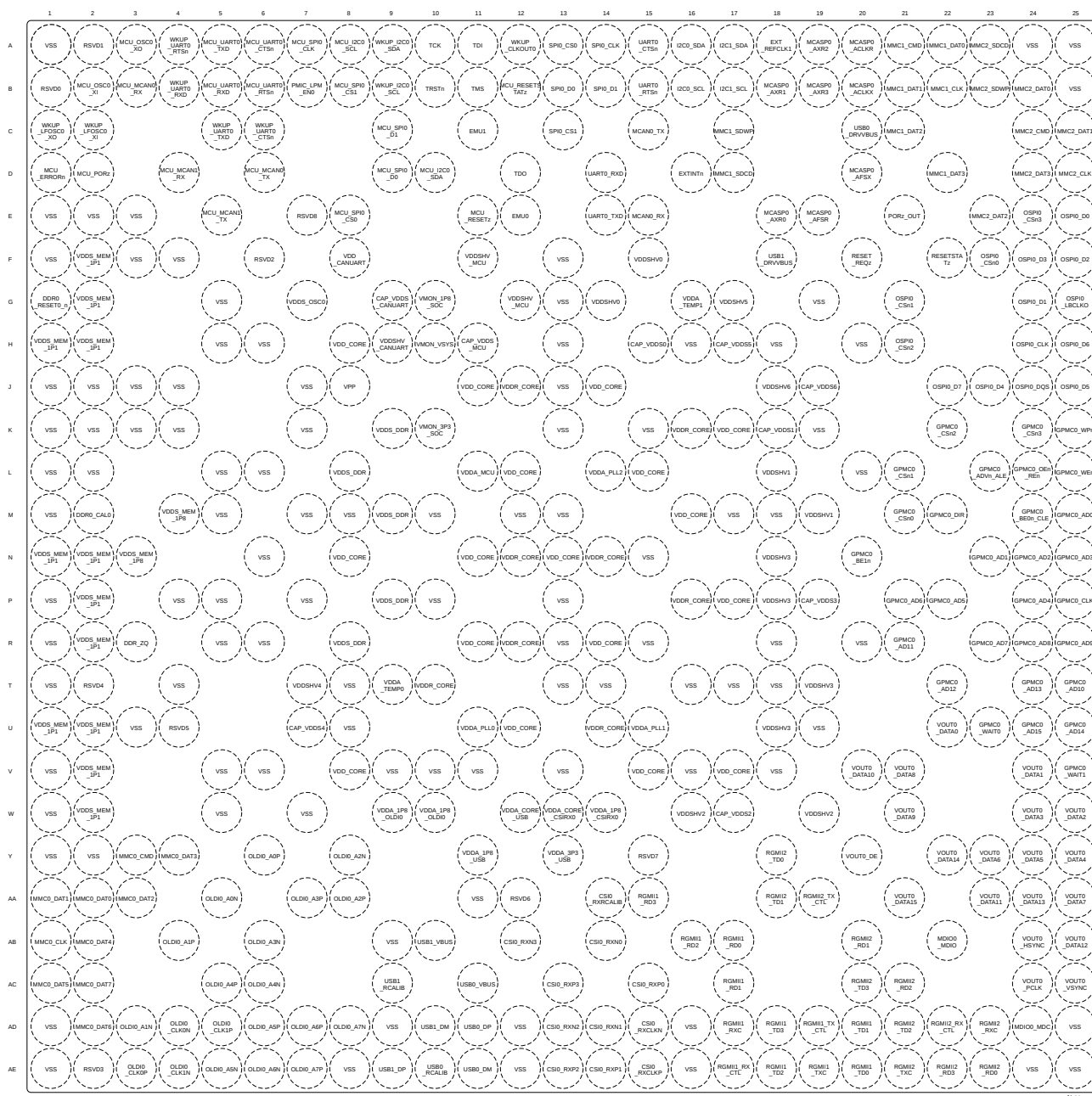


图 5-1. AMK FCCSP BGA 封装 (顶视图)

5.2 引脚属性和信号说明

本节介绍了相对于 ALW 封装 AM6254 器件具有不同电源或信号功能的 AM625SIP 器件引脚。采用 ALW 封装且通常连接到外部 SDRAM 的 AM6254 DDRSS0 信号直接连接到 AM625SIP 器件中的集成式 LPDDR4 SDRAM，并且与这些信号关联的引脚被重新分配到不同的电源或信号功能。表 5-1 包含重新分配给新电源或信号功能的焊球编号列表，以及它们的新焊球名称和信号描述。

表 5-1. 在 AMK 封装上重新分配的 DDRSS0 引脚

焊球 编号	焊球名称	信号描述
M9	VDDS_DDR	DDR PHY IO 电源
F2	VDDS_MEM_1P1	SDRAM IO 电源 (为 SDRAM VDD2 和 VDDQ 电源轨供电)
G2		
H1		
H2		
N1		
N2		
P2		
R2		
U1		
U2		
V2		
W2		
M4	VDDS_MEM_1P8	SDRAM 内核电源 (为 SDRAM VDD1 电源轨供电)
N3		
R3	DDR_ZQ	SDRAM 校准基准 ⁽¹⁾ (连接到 SDRAM ZQ 校准基准)

表 5-1. 在 AMK 封装上重新分配的 DDRSS0 引脚 (续)

焊球 编号	焊球名称	信号描述
E1	VSS	接地 (连接到 SDRAM VSS 和 VSSQ 接地)
E2		
E3		
F1		
F3		
F4		
G5		
H5		
H6		
J1		
J2		
J3		
J4		
K1		
K2		
K3		
K4		
L1		
L2		
L5		
L6		
M1		
M5		
N6		
P1		
P4		
P5		
R1		
R5		
R6		
T1		
T4		
U3		
V1		
V5		
V6		
W1		
W5		
Y1		

(1) 必须在该引脚和 VDD5_MEM_1P1 之间连接一个外部 240 Ω ±1% 电阻。该电阻的最大功耗为 8.33mW。

ADVANCE INFORMATION

6 规格

6.1 绝对最大额定值

备注

[绝对最大额定值](#)表中定义的值来自集成 LPDDR4 SDRAM 数据表。有关与集成式 LPDDR4 SDRAM 相关的更多绝对最大额定值详细信息，请参阅 Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B 数据表](#)

在工作结温范围内测得（除非另有说明）⁽¹⁾ ⁽²⁾

参数		最小值	最大值	单位
VDDS_MEM_1P1	SDRAM IO 电源	- 0.4	1.5	V
VDDS_MEM_1P8	SDRAM 内核电源	- 0.4	2.1	V
T _{STG}	存储温度	-55	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。“绝对最大额定值”并不表示器件在这些条件下或在节 6.3 建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 除非另有说明，否则所有电压值均以 VSS 为基准。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±250	

- (1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

备注

[建议运行条件](#)表中定义的值来自集成 LPDDR4 SDRAM 数据表。有关与集成 LPDDR4 SDRAM 相关的其他建议运行条件详细信息，请参阅 Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B 数据表](#)

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值 ⁽¹⁾	标称值	最大值 ⁽¹⁾	单位
VDDS_MEM_1P1 ⁽²⁾	SDRAM IO 电源		1.06	1.10	1.17	V
VDDS_MEM_1P8	SDRAM 内核电源		1.70	1.80	1.95	V
T _J	工作结温范围	工业	-40		95	°C

- (1) 在器件正常运行期间，器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
(2) VDDS_MEM_1P1 必须与 VDDS_DDR 使用相同的电源。

6.4 运行性能点

本节介绍了表 6-1 中器件的最大工作条件，以及表 6-2 中处理器时钟和器件内核时钟的每个运行性能点 (OPP)。

表 6-1. 器件速度等级

速度等级	VDD_CORE (V) ⁽¹⁾	最大工作频率 (MHz)								最大转换率 (MT/s)
		A53SS (Cortex-A53x)	GPU	PRU	Main Infra (CBA)	MCUSS (Cortex-M4F)	器件/电源管理器 (Cortex-R5F)	SMS 子系统 (两个 Cortex-M4F)	OCSRAM	LPDDR4
T	0.75/0.85	1250	500	333	250	400	400	400	400	1600
	0.85	1400								

(1) 额定工作电压，请参阅建议运行条件。

表 6-2. 器件运行性能点

OPP	A53SS ⁽¹⁾	固定工作频率选项 (MHz) ⁽²⁾							MT/s
		GPU	PRU	MAIN INFRA (CBA)	MCUSS	器件/电源管理器	SMS / SMS CBA	OCSRAM	LPDDR4
高	从 ARM0 PLL 旁路至速度等级最大值	500	333、250 或 200	250	400 或 200	400	400	400	从 DDR PLL 旁路 ⁽³⁾ 至 1600
低		不适用		125		133	133	133	

(1) 默认工作频率，在启动时由软件设置。支持启动后动态频率调节。

(2) 固定工作频率，在启动时由软件设置。

(3) 源自 DDR0_CK0 和 DDR0_CK0_n 的 DDR PLL 输出，通常以频率单位定义。因此，在旁路模式下运行时，“DDR PLL 旁路”事务速率等于 DDR PLL 输出频率的 2 倍。

6.5 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.3 建议运行条件中确定的 T_J 值。

6.5.1 AMK 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	AMK 封装 °C/W ^{(1) (2)}	空气 流量 (m/s) ⁽³⁾
T1	$R_{\Theta JC}$	结点到外壳	5.1	不适用
T2	$R_{\Theta JB}$	结点到电路板	5.2	不适用
T3	$R_{\Theta JA}$	结点到环境空气	18.7	0
T4		结至流动空气	12.6	1
T5			11.5	2
T6			11.0	3
T7	Ψ_{JT}	结至封装顶部	0.3	0
T8			0.4	1
T9			0.5	2
T10			0.5	3
T11	Ψ_{JB}	结点到电路板	5.1	0
T12			4.8	1
T13			4.7	2
T14			4.7	3

- (1) °C/W = 摄氏度/瓦。
- (2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
 - JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
 - JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 - JESD51-9, *Test Boards for Area Array Surface Mount Packages*
- (3) m/s = 米/秒。

6.6 时序和开关特性

6.6.1 电源要求

本节介绍了确保器件正常运行的电源要求。

备注

所有电源焊球都必须具有 *建议运行条件* 部分中指定的电压。

6.6.1.1 电源排序

本节介绍了 VDDS_MEM_1P1 和 VDDS_MEM_1P8 电源轨相对于其他器件电源轨的器件电源序列要求，这些要求在 [AM62x Sitara 处理器数据表](#) 的 *上电时序* 和 *断电时序* 部分中进行了定义。

VDDS_MEM_1P1 电源轨应来自为 VDDS_DDR 供电的同一电源。因此，VDDS_MEM_1P1 电源轨应随着与波形 E 相关的电源轨而上升和下降。

VDDS_MEM_1P8 电源轨应随着与波形 C 相关的电源轨而上升和下降。

有关与集成 LPDDR4 SDRAM 相关的其他电源序列要求详细信息，请参阅 Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B 数据表](#)。

7 应用、实现和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 外设和接口的相关设计信息

7.1.1 集成 LPDDR4 SDRAM 信息

集成 LPDDR4 SDRAM 相当于 Integrated Silicon Solution (ISSI®) 器件型号 IS43LQ16256。有关更多信息，请参阅 [IS43/46LQ16256B 数据表](#)。

8 器件和文档支持

8.1 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的产品型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，AM6254ATLHJAMK)。德州仪器 (TI) 为相关支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

- X** 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。
- P** 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。
- null (空白)** 完全符合要求并且符合最终电气规格的芯片模型的生产版本。

支持工具开发演变流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 AMK 封装类型的 AM625SIP 器件的可订购器件型号，请参阅本文档末尾的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

8.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

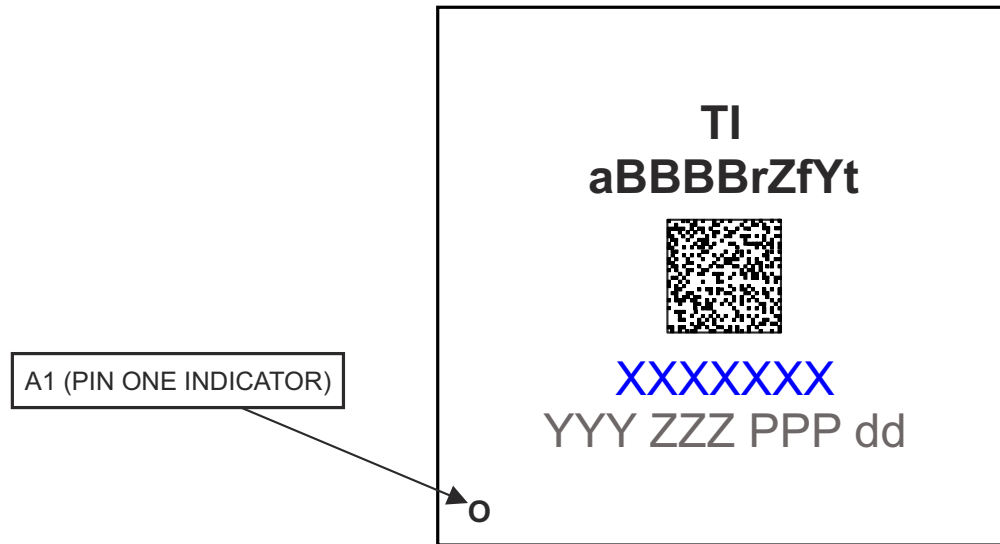


图 8-1. 印刷器件参考

8.1.2 器件命名约定

字段参数	字段说明	值	说明
a	器件演变阶段	X	原型
		P	预生产 (生产测试流程, 无可靠性数据)
		空白 ⁽¹⁾	“量产”
-	器件型号前缀	AM	未符号化
BBBB	基本生产器件型号	6254	请参阅表 4-1 “器件比较”
r	器件版本	A	SR1.0
Z	器件速度等级	T	请参阅表 6-1 “器件速度等级”
f	功能 (请参阅表 4-1)	L	具有集成 512MB LPDDR4 SDRAM 的特性代码 “C” AM6254 器件
Y	安全性/功能安全	G	不安全/无功能安全
		1 至 9	使用虚拟密钥进行保护/无功能安全
		H 到 R	使用生产密钥进行保护/无功能安全
t	温度 ⁽²⁾	J	- 40°C 至 95°C - 工业 (请参阅节 6.3 “建议运行条件”)
	2D 条形码	不确定	可选 2D 条形码, 提供其他器件信息
		空白	
xxxxxxx	批次追踪代码 (LTC)		
YYY	生产代码; 仅供 TI 使用		
ZZZ	生产代码; 仅供 TI 使用		
PPP	封装符号	AMK	FCCSP BGA (425 引脚)
dd	预量产代码; 仅供 TI 使用		
●	引脚 1 符号		

- (1) 符号和器件型号中的空白将折叠显示, 以防字符间存在间隙。
(2) 适用于器件最高结温。

8.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以前更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig-PinMux 工具 SysConfig-PinMux 工具是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI 嵌入式处理器器件的 I/O 电池特性。该工具可用于自动计算适当的引脚多路复用配置，以满足输入的系统要求。该工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，并用于配置客户的软件以满足定制硬件要求。还提供**基于云的 SysConfig-PinMux 工具**。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 销售办事处或授权分销商。

8.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击**通知**进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM625SIP 器件进行了介绍。

技术参考手册

AM62x Sitara 处理器技术参考手册：详述了 AM625SIP 系列器件中每个外设和子系统的集成、环境、功能说明和编程模型。

勘误

AM62x Sitara 处理器器件勘误表：说明了针对器件功能技术规格的已知例外情况。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的**使用条款**。

8.5 商标

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of MIPI Alliance.

安全数字® and SD® are registered trademarks of SD Card Association.

ISSI® is a registered trademark of Integrated Silicon Solution, Inc.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

日期	修订版本	说明
November 2023	*	初始发行版。

10 机械、封装和可订购信息

10.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AM6254ATLHJAMK	PREVIEW	FCCSP	AMK	425	119	TBD	Call TI	Call TI	-40 to 95		
XAM6254ATLHJAMK	ACTIVE	FCCSP	AMK	425	1	TBD	Call TI	Call TI	-40 to 95		Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

FCBGA - 1.154 mm max height

Technical drawing of a mechanical part, showing a top view and a side view.

Top View Dimensions:

- Overall width: 13.1 (nominal), 12.9 (actual)
- Overall height: 13.1 (nominal), 12.9 (actual)
- Top corner radius: BALL A1 CORNER
- Top surface finish: 0.1 C
- Top surface texture: 0.2 C
- Top surface roughness: 0.08 C
- Top surface flatness: 0.154 (nominal), 1.014 (actual)
- Top surface thickness: 0.262 (nominal), 0.162 (actual)
- Top surface hole pattern: 12 TYP
- Top surface hole diameter: 0.35 (nominal), 0.25 (actual)
- Top surface hole pitch: 0.5 TYP
- Top surface hole diameter: 0.15 (nominal), 0.08 (actual)

Side View Dimensions:

- Overall height: 13.1 (nominal), 12.9 (actual)
- Top surface thickness: 0.262 (nominal), 0.162 (actual)
- Top surface hole pattern: 12 TYP
- Top surface hole diameter: 0.35 (nominal), 0.25 (actual)
- Top surface hole pitch: 0.5 TYP
- Top surface hole diameter: 0.15 (nominal), 0.08 (actual)

Table of Hole Dimensions:

Hole Diameter	Hole Pitch	Top Surface	Bottom Surface
0.35 (nominal)	0.25 (actual)	0.15 (nominal)	0.08 (actual)
0.15 (nominal)	0.08 (actual)	0.15 (nominal)	0.08 (actual)

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

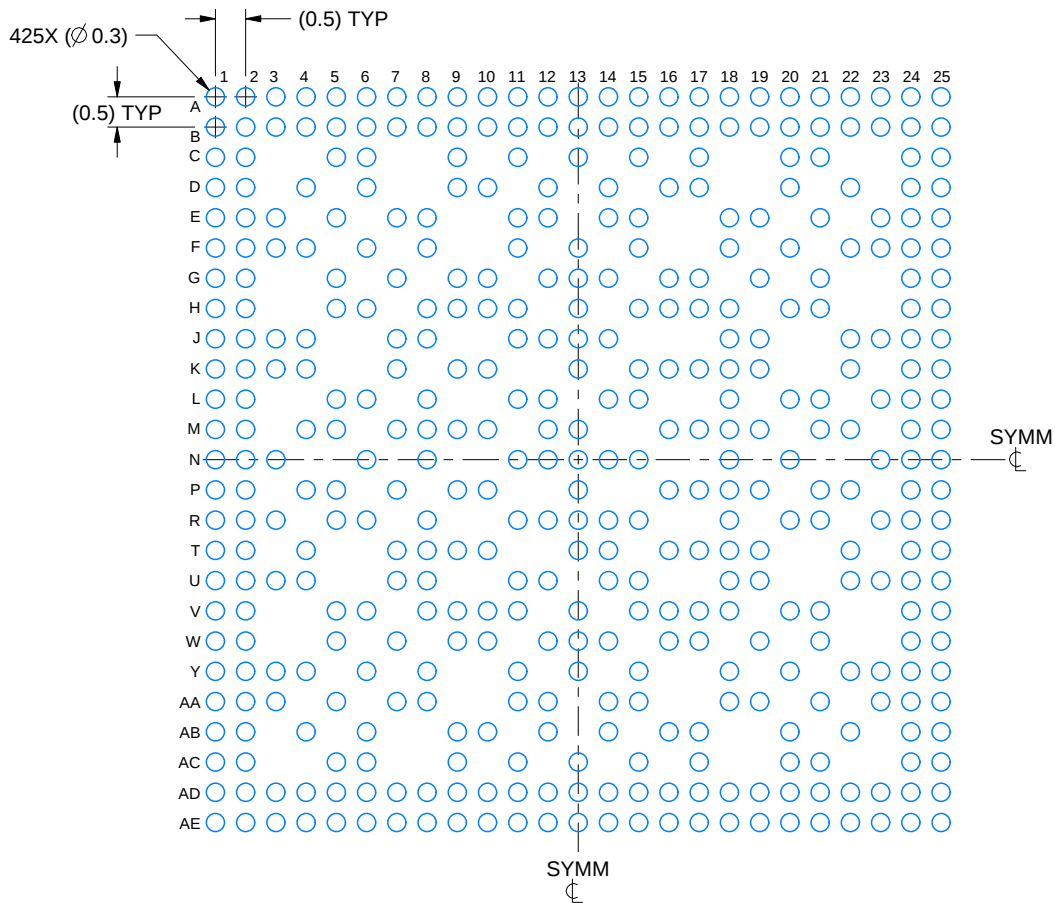
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

AMK0425A

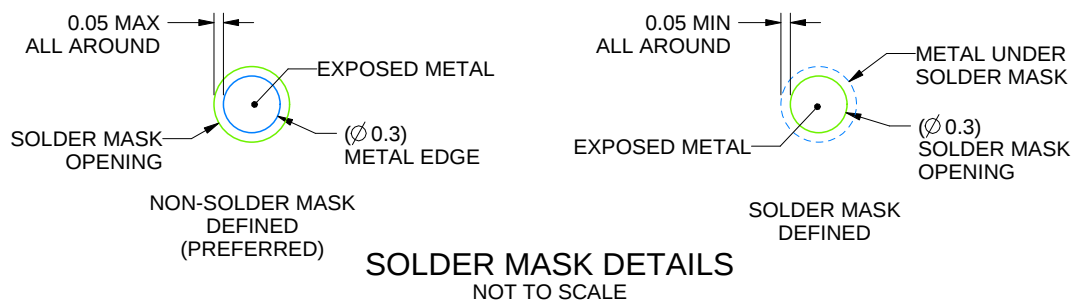
FCBGA - 1.154 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS

NOT TO SCALE

4228989/A 08/2022

NOTES: (continued)

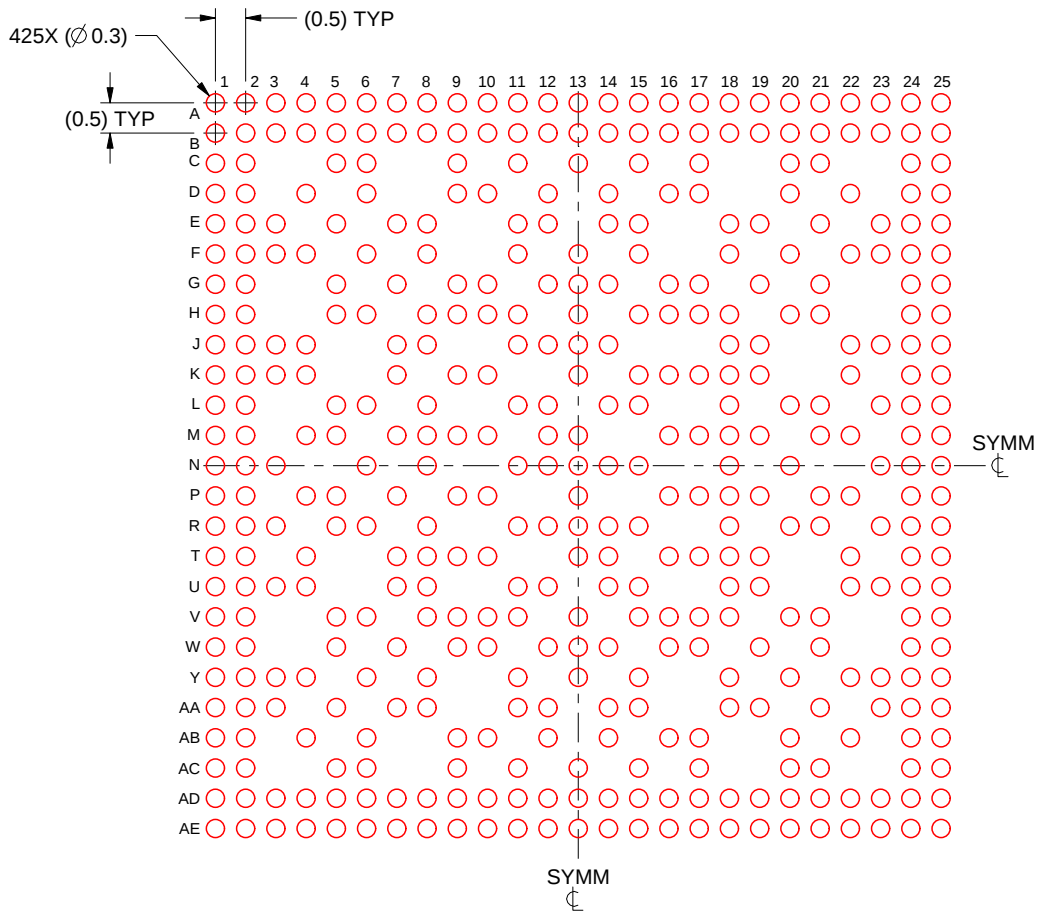
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

AMK0425A

FCBGA - 1.154 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE

BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4228989/A 08/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司