TMS320F2833x、TMS320F2823x 实时微控制器

1 特性

- 高性能静态 CMOS 技术
  - 高达 150MHz（6.67ns 周期时间）
  - 1.9V/1.8V 内核、3.3V I/O 设计
- 高性能 32 位 CPU (TMS320C28x)
  - IEEE 754 单精度浮点单元 (FPU)（仅限 F2833x）
  - 16 × 16 和 32 × 32 MAC 操作
  - 16 × 16 双 MAC
  - 哈佛 (Harvard) 总线架构
  - 快速中断响应和处理
  - 统一存储器编程模型
  - 高效代码（使用 C/C++ 和汇编语言）
- 6 通道 DMA 控制器（用于 ADC、McBSP、ePWM、XINTF 和 SARAM）
- 16 位或 32 位外部接口 (XINTF)
  - 地址覆盖超过 2M × 16
- 片上存储器
  - F28335、F28333、F28235：256K × 16 闪存、34K × 16 SARAM
  - F28334、F28234：128K × 16 闪存、34K × 16 SARAM
  - F28332、F28232：64K × 16 闪存、26K × 16 SARAM
  - 1K × 16 OTP ROM
- 引导 ROM (8K × 16)
  - 具有软件启动模式（通过 SCI、SPI、CAN、I2C、McBSP、XINTF 和并行 I/O）
  - 标准数学表
- 时钟和系统控制
  - 片上振荡器
  - 看门狗计时器模块
- 可以将 GPIO0 转 GPIO63 引脚连接到八个外部内核中断之中的一个
- 可支持全部 58 个外设中断的外设中断扩展 (PIE) 块
- 128 位安全密钥/锁
  - 保护闪存/OTP/RAM 块
  - 防止固件逆向工程
- 增强型控制外设
  - 高达 18 PWM 的输出
  - 多达 6 个 HRPWM 输出，MEP 分辨率高达 150ps
  - 多达 6 个事件捕获输入
  - 多达 2 个正交编码器接口
  - 多达 8 个 32 位计时器（6 个用于 eCAP，2 个用于 eQEP）
  - 多达 9 个 16 位计时器（6 个用于 ePWM，3 个用于 XINTCTR）
- 三个 32 位 CPU 计时器
- 串行端口外设
  - 多达 2 个 CAN 模块
  - 多达 3 个 SCI (UART) 模块
  - 多达 2 个 McBSP 模块（可配置为 SPI）
  - 一个 SPI 模块
  - 1 条内部集成电路 (I2C) 总线
- 12 位 ADC、16 通道
  - 80ns 转换速率
  - 2 × 8 通道输入多路复用器
  - 两个采样保持
  - 单个/同步转换
  - 内部或外部基准
- 多达 88 个具有输入滤波功能且可单独编程的多路复用 GPIO 引脚
- 支持 JTAG 边界扫描
  - IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构
- 高级调试特性
  - 分析和断点功能
  - 借助硬件的实时调试
- 开发支持包括
  - ANSI C/C++ 编译器/汇编器/连接器
  - Code Composer Studio™ IDE
  - DSP/BIOS™ 和 SYS/BIOS
  - 数字电机控制和数字电源软件库
- 低功耗模式，节省能耗
  - 支持闲置、待机、停机模式
  - 禁用单独的外设时钟
- 字节序：小端字节序
- 封装选项：
  - 无铅，绿色环保封装
  - 176 焊球塑料球栅阵列 (BGA) [ZJZ]
  - 179 焊球 MicroStar BGA™ [ZHH]
  - 179 焊球全新细间距球栅阵列 (nFBGA) [ZAY]
  - 176 引脚薄型四方扁平封装 (LQFP) [PGF]
  - 176 引脚热增强型薄型四方扁平封装 (HLQFP) [PTP]
- 温度选项：
  - A：–40°C 至 85°C（PGF、ZHH、ZAY、ZJZ）
  - S：–40°C 至 125°C（PTP、ZJZ）
  - Q：–40°C 至 125°C（PTP、ZJZ）（通过针对汽车应用的 AEC Q100 认证）

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

2 应用

- 高级驾驶辅助系统 (ADAS)
  - 中/短程雷达
- 楼宇自动化
  - HVAC 电机控制
  - 牵引逆变器电机控制
- 工厂自动化与控制
  - 自动分拣设备
  - CNC 控制
- 电网基础设施
  - 中央逆变器
  - 串式逆变器
- 混合动力、电动和动力总成系统
  - 逆变器和电机控制
  - 车载充电器 (OBC) 和无线充电器
- 电机驱动
  - 交流输入 BLDC 电机驱动器
  - 伺服驱动器控制模块
- 电力输送
  - 工业交流/直流电源

3 说明

C2000™ 实时微控制器针对处理、感应和驱动进行了优化，可提高实时控制应用（如工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输、电机控制以及感应和信号处理）的闭环性能。C2000 系列包含高级性能 MCU 和入门性能 MCU。

TMS320F28335、TMS320F28334、TMS320F28333、TMS320F28332、TMS320F28235、TMS320F28234 和 TMS320F28232 器件是适用于具有严格要求的控制应用且高度集成的高性能解决方案。

在本文档中，器件分别被缩写为 F28335、F28334、F28333、F28332、F28235、F28234 和 F28232。F2833x 器件比较和 F2823x 器件比较中提供了每个器件的特性汇总。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

要了解有关 C2000 MCU 的更多信息，请访问 C2000™ 实时控制 MCU 页面。

封装信息

器件型号(1)	封装	封装尺寸
TMS320F28335ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28334ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28234ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28232ZAY	nFBGA (179)	12.0mm × 12.0mm
TMS320F28335ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28334ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28332ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28235ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28234ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28232ZHH	BGA MicroStar (179)	12.0mm × 12.0mm
TMS320F28335ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28334ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28332ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28235ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28234ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28232ZJZ	BGA (176)	15.0mm × 15.0mm
TMS320F28335PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28334PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28333PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28332PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28235PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28234PGF	LQFP (176)	24.0mm × 24.0mm

Copyright © 2022 Texas Instruments Incorporated

封装信息 (continued)

器件型号[(1)]	封装	封装尺寸
TMS320F28232PGF	LQFP (176)	24.0mm × 24.0mm
TMS320F28335PTP	HLQFP (176)	24.0mm × 24.0mm
TMS320F28334PTP	HLQFP (176)	24.0mm × 24.0mm
TMS320F28332PTP	HLQFP (176)	24.0mm × 24.0mm
TMS320F28235PTP	HLQFP (176)	24.0mm × 24.0mm
TMS320F28234PTP	HLQFP (176)	24.0mm × 24.0mm
TMS320F28232PTP	HLQFP (176)	24.0mm × 24.0mm

(1) 有关这些器件的详细信息，请参阅机械、封装和可订购信息。

3.1 功能方框图

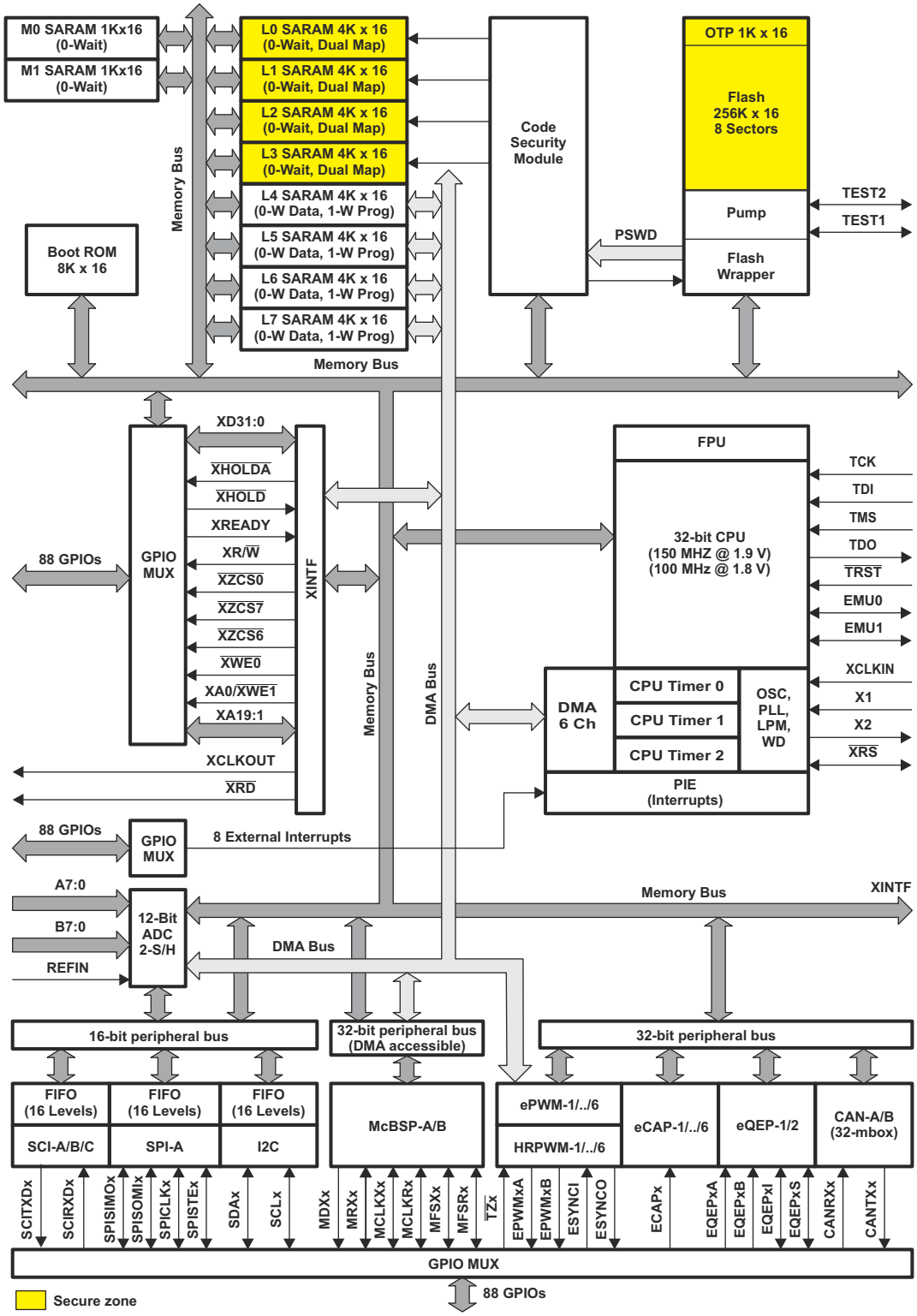


图 3-1. 功能方框图

Copyright © 2022 Texas Instruments Incorporated

内容

1 特性.... 1
2 应用.... 2
3 说明.... 2
3.1 功能方框图.... 4
4 修订历史记录.... 6
5 器件比较.... 8
5.1 相关产品.... 11
6 终端配置和功能.... 12
6.1 引脚图.... 12
6.2 信号说明.... 22
7 规格.... 32
7.1 绝对最大额定值.... 32
7.2 ESD 等级 - 汽车.... 33
7.3 ESD 等级 - 商用.... 33
7.4 建议运行条件.... 34
7.5 功耗摘要.... 35
7.6 电气特性.... 40
7.7 热阻特征.... 41
7.8 散热设计注意事项.... 45
7.9 时序和开关特性.... 46
7.10 片载模数转换器.... 100
7.11 F2833x 器件和 F2823x 器件之间的迁移.... 106
8 详细说明.... 107
8.1 简要说明.... 107
8.2 外设.... 115
8.3 内存映射.... 159
8.4 寄存器映射.... 166
8.5 中断.... 169
8.6 系统控制.... 174
8.7 低功率模式块.... 180
9 应用、实现和布局.... 181
9.1 TI 参考设计.... 181
10 器件和文档支持.... 182
10.1 入门和后续步骤.... 182
10.2 器件和开发支持工具命名规则.... 182
10.3 工具与软件.... 184
10.4 文档支持.... 186
10.5 支持资源.... 187
10.6 商标.... 187
10.7 Electrostatic Discharge Caution.... 187
10.8 术语表.... 187
11 机械、封装和可订购信息.... 188
11.1 封装重新设计详情.... 188
11.2 封装信息.... 188

4 修订历史记录

Changes from FEBRUARY 2, 2021 to AUGUST 8, 2022 (from Revision P (February 2021) to Revision Q (August 2022)) **Page**

- **通篇：**将文档标题从 *TMS320F2833x、TMS320F2823x 数字信号控制器 (DSC)* 更改为 *TMS320F2833x、TMS320F2823x 实时微控制器* 1
- **通篇：**将“数字信号控制器”更改为“实时微控制器”。将“DSC”更改为“MCU” 1
- **通篇：**由于收到基板供应商的设备停产通知，我们将逐步停止提供某些 MicroStar BGA™ 封装器件。这些器件现已转为采用全新的微间距球栅阵列 (nFBGA) 封装。更多信息，请参阅封装重新设计详情部分。 1
- **通篇：**添加了 179 焊球 ZAY 全新微间距球栅阵列 (nFBGA)。 1
- **通篇：**将勘误表标题从 *TMS320F2833x、TMS320F2823x DSC 器件勘误表* 更改为 *TMS320F2833x、TMS320F2823x 实时 MCU 器件勘误表*。 1
- **通篇：**将引用的外设参考指南替换为 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 1
- **通篇：**将“仿真器”替换为“JTAG 调试探针”。 1
- 节 1（特性）：将“高级仿真特性”更改为“高级调试特性” 1
- 节 1：向“封装选项”中添加了“179 焊球全新微间距球栅阵列 (nFBGA) [ZAY]” 1
- 节 1：向“A”温度选项中添加了“ZAY” 1
- 节 2（应用）：更新了该部分 2
- 节 3（说明）：更新了该部分将“器件信息”表更改为“封装信息”表。向“封装信息”表中添加了 ZAY nFBGA。 2
- 表 5-1（F2833x 器件比较）：为“串行通信接口 (SCI)”附加了“（兼容 UART）”。 8
- 表 5-1：向“封装”部分添加了“179 焊球 ZAY”。在“A”温度选项中添加了 ZAY。 8
- 表 5-2（F2823x 器件比较）：为“串行通信接口 (SCI)”附加了“（兼容 UART）”。 8
- 表 5-2：向“封装”部分添加了“179 焊球 ZAY”。在“A”温度选项中添加了 ZAY。 8
- 节 5.1（相关产品）：更新部分。 11
- 节 6.1（引脚图）：添加了 179 焊球 ZAY 全新微间距球栅阵列 (nFBGA)。 12
- 表 6-1（信号说明）：添加了 ZAY 封装。 22
- 表 6-1：更新了 EMU0、EMU1 和 $\overline{\text{XRS}}$ 的说明。 22
- 节 7.3（ESD 等级 - 商用）：添加了 ZAY 封装数据。 33
- 节 7.5.3（减少电流消耗）：更新了减少功耗的方法列表。 38
- 节 7.7.4（ZAY 封装）：新增了表。 44
- 节 7.9.2（电源时序）：更新了“……加电和断电顺序没有特别要求……”段落。 48
- 节 7.9.5：将部分标题从“无信号缓冲情况下 DSP 与仿真器的连接”更改为“无信号缓冲情况下 MCU 与 JTAG 调试探针的连接”。 79
- 图 7-27：将图标题从“无信号缓冲情况下 DSP 与仿真器的连接”更改为“无信号缓冲情况下 MCU 与 JTAG 调试探针的连接”。 79
- 图 7-27（无信号缓冲情况下 MCU 与仿真器的连接）：将“DSC”更改为“MCU”。 79
- 节 7.9.6.8.2（同步 XREADY 时序要求（写入准备就绪，1 个等待状态））：恢复了脚注。 92
- 表 8-14（SCI-C 寄存器）：恢复了脚注。 141
- 图 8-15（串行通信接口 (SCI) 模块方框图）：更新了图。 141
- 图 8-34（看门狗模块）：更新了图。 179
- 节 9.1：将标题从“TI 设计或参考设计”更改为“TI 参考设计”。 181
- 节 9.1（TI 参考设计）：更新部分。 181
- 节 10（器件和文档支持）：更新部分。 182
- 节 10.1：将标题从“入门”更改为“入门和后续步骤”。更新部分。 182
- 图 10-1（F2833x、F2823x 器件命名规则示例）：在“封装类型”下添加了 179 焊球 ZAY 封装。 182
- 节 10.3（工具与软件）：更新了该部分。更新了“设计套件与评估模块”部分。更新了“模型”部分。添加了“培训“部分 184
- 节 10.4（文档支持）：添加了 *nFBGA 封装应用报告* 186
- 节 10.4：添加了**技术参考手册**部分 186

Copyright © 2022 Texas Instruments Incorporated

- 节 10.4：更新了**外设指南**部分。删除了大多数外设参考指南，其现已替换为 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 186
- 节 11.1（封装重新设计详情）：新增了该部分..... 188

5 器件比较

表 5-1. F2833x 器件比较

特性		类型[1]	F28335 F28335-Q1 (150MHz)	F28334 (150MHz)	F28333 (100MHz)	F28332 (100MHz)
指令周期		-	6.67ns	6.67ns	10ns	10ns
浮点单元		-	支持	是	是	是
3.3V 片载闪存（16 位字）		-	256K	128K	256K	64K
单周期访问 RAM (SARAM)（16 位字）		-	34K	34K	34K	26K
一次性可编程 (OTP) ROM（16 位字）		-	1K	1K	1K	1K
针对片上闪存/SARAM/OTP 块的代码安全		-	支持	是	是	是
引导 ROM (8K × 16)		-	支持	是	是	是
16/32 位外部接口（XINTF）		1	是	是	是	是
6 通道直接内存存取 (DMA)		0	是	是	是	是
PWM 通道		0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6
HRPWM 通道		0	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A
32 位捕捉输入或辅助 PWM 输出		0	eCAP1/2/3/4/5/6	eCAP1/2/3/4	eCAP1/2/3/4/5/6	eCAP1/2/3/4
32 位正交编码器脉冲 (QEP) 通道（四个输入/通道）		0	eQEP1/2	eQEP1/2	eQEP1/2	eQEP1/2
看门狗计时器		-	支持	是	是	是
12 位 ADC	通道数量	2	16	16	16	16
	MSPS		12.5	12.5	12.5	12.5
	转换时间		80ns	80ns	80ns	80ns
32 位 CPU 计时器		-	3	3	3	3
多通道缓冲串行端口 (McBSP)/ SPI		1	2(A/B)	2(A/B)	2(A/B)	1(A)
串行外设接口 (SPI)		0	1	1	1	1
串行通信接口 (SCI)（兼容 UART）		0	3(A/B/C)	3(A/B/C)	3(A/B/C)	2(A/B)
增强型控制器局域网 (eCAN)		0	2(A/B)	2(A/B)	2(A/B)	2(A/B)
内部集成电路 (I2C)		0	1	1	1	1
通用 I/O 引脚（共用）		–	88	88	88	88
外部中断		-	8	8	8	8
封装	176 引脚 PGF 封装	-	支持	是	是	是
	176 引脚 PTP 封装	-	支持	支持	-	支持
	179 焊球 ZHH	-	支持	支持	-	支持
	179 焊球 ZAY	-	支持	支持	-	–
	179 焊球 ZJZ	-	支持	支持	-	支持

Copyright © 2022 Texas Instruments Incorporated

表 5-1. F2833x 器件比较 (continued)

特性		类型[(1)]	F28335 F28335-Q1 **(150MHz)**	F28334 **(150MHz)**	F28333 **(100MHz)**	F28332 **(100MHz)**
温度选项	答：–40°C 至 85°C	-	PGF、ZHH、ZAY、ZJZ	PGF、ZHH、ZAY、ZJZ	PGF	PGF、ZHH、ZJZ
	S：–40°C 至 125°C	-	PTP、ZJZ	PTP、ZJZ	-	PTP、ZJZ
	Q：–40°C 至 125°C（符合 AEC Q100 标准）	-	PTP、ZJZ	PTP、ZJZ	-	PTP、ZJZ

(1) 类型变化代表外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。这些特定于器件的差异列示在 *C2000 实时控制 MCU 外设参考指南* 和 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中。

表 5-2. F2823x 器件比较

特性		类型[1]	F28235 F28235-Q1 (150MHz)	F28234 F28234-Q1 (150MHz)	F28232 F28232-Q1 (100MHz)
指令周期		-	6.67ns	6.67ns	10ns
浮点单元		-	*否*	*否*	*否*
3.3V 片载闪存（16 位字）		-	256K	128K	64K
单周期访问 RAM (SARAM) （16 位字）		-	34K	34K	26K
一次性可编程 (OTP) ROM （16 位字）		-	1K	1K	1K
针对片上闪存/SARAM/OTP 块的代码安全		-	支持	是	是
引导 ROM (8K × 16)		-	支持	是	是
16/32 位外部接口（XINTF）		1	是	是	是
6 通道直接内存存取 (DMA)		0	是	是	是
PWM 通道		0	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6	ePWM1/2/3/4/5/6
HRPWM 通道		0	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A/5A/6A	ePWM1A/2A/3A/4A
32 位捕捉输入或辅助 PWM 输出		0	eCAP1/2/3/4/5/6	eCAP1/2/3/4	eCAP1/2/3/4
32 位正交编码器脉冲 (QEP) 通道（四个输入/通道）		0	eQEP1/2	eQEP1/2	eQEP1/2
看门狗计时器		-	支持	是	是
12 位 ADC	通道数量	2	16	16	16
	MSPS		12.5	12.5	12.5
	转换时间		80ns	80ns	80ns
32 位 CPU 计时器		-	3	3	3
多通道缓冲串行端口 (McBSP)/ SPI		1	2(A/B)	2(A/B)	1(A)
串行外设接口 (SPI)		0	1	1	1
串行通信接口 (SCI)（兼容 UART）		0	3(A/B/C)	3(A/B/C)	2(A/B)
增强型控制器局域网 (eCAN)		0	2(A/B)	2(A/B)	2(A/B)
内部集成电路 (I2C)		0	1	1	1
通用 I/O 引脚（共用）		–	88	88	88
外部中断		-	8	8	8
封装	176 引脚 PGF 封装	-	支持	是	是
	176 引脚 PTP 封装	-	支持	是	是
	179 焊球 ZHH	-	支持	是	是
	179 焊球 ZAY	–	-	支持	是
	179 焊球 ZJZ	-	支持	是	是
温度选项	答：–40°C 至 85°C	-	PGF、ZHH、ZJZ	PGF、ZHH、ZAY、ZJZ	PGF、ZHH、ZAY、ZJZ
	S：–40°C 至 125°C	-	PTP、ZJZ	PTP、ZJZ	PTP、ZJZ
	Q：–40°C 至 125°C （符合 AEC Q100 标准）	-	PTP、ZJZ	PTP、ZJZ	PTP、ZJZ

(1) 类型变化代表外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。这些特定于器件的差异列示在 *C2000 实时控制 MCU 外设参考指南* 和 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中。

Copyright © 2022 Texas Instruments Incorporated

5.1 相关产品

有关类似产品的信息，请参阅以下链接：

TMS320F2833x 实时微控制器
F2833x 系列是率先包含浮点单元 (FPU) 的 C2000™ MCU。它包含第一代 ePWM 计时器。其 12.5MSPS、12 位 ADC 在同类集成式模数转换器中仍非常出色。F2833x 配备 150MHz CPU 和多达 512KB 的片上闪存，并采用 176 引脚 QFP 或 179 焊球 BGA 封装。

TMS320C2834x 实时微控制器
C2834x 系列不含片上闪存和集成式 ADC，从而实现了高达 300MHz 的超快时钟速度。它采用 179 焊球 QFP 或 256 焊球 BGA 封装。

TMS320F2837xD 实时微控制器
F2837xD 系列为双子系统的性能设定了一个新标准。每个子系统由 C28x CPU 和并行控制律加速器 (CLA) 组成，每个子系统的运行频率为 200MHz 。增强性能的是 TMU 和 VCU 加速器。新功能包括多个 16 位/12 位模式 ADC、DAC、Σ-Δ 滤波器、USB、可配置逻辑块 (CLB)、片上振荡器和所有外设的增强版。F2837xD 可提供高达 1MB 的闪存。其采用 176 引脚 QFP 或 337 引脚 BGA 封装。

TMS320F2837xS 实时微控制器
F2837xS 系列是 F2837xD 的引脚对引脚兼容版本，但仅启用了一个 C28x CPU 和 CLA 子系统。它还采用 100 引脚 QFP，以实现与 TMS320F2807x 系列的兼容性。

6 终端配置和功能

6.1 引脚图

176 引脚 PGF/PTP 薄型四方扁平封装(LQFP)引脚分配显示在图 6-1 中。图 6-2 至图 6-5 显示了 179 焊球 ZHH 球栅阵列 (BGA) 和 179 焊球 ZAY 全新微间距球栅阵列 (nFBGA) 端子分配。图 6-6 至图 6-9 显示了 176 焊球 ZJZ 塑料 BGA 端子分配。表 6-1 说明了每个引脚的功能。

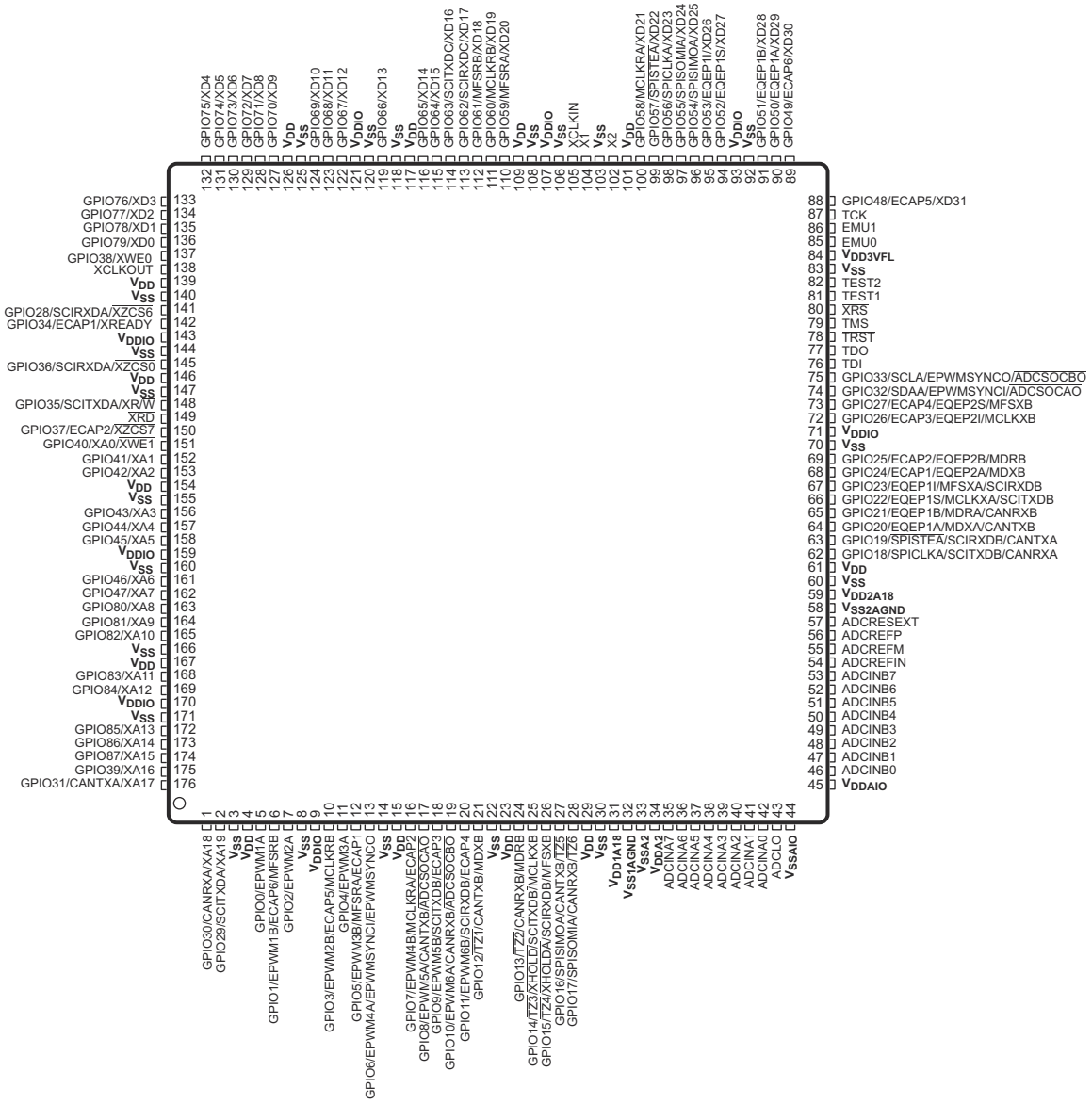


图 6-1. F2833x，F2823x 176 引脚 PGF/PTP 薄型四方扁平封装 (LQFP)（顶视图）

Copyright © 2022 Texas Instruments Incorporated

备注

散热焊盘应焊接到 PCB 的接地 (GND) 平面，因为这将提供最好的热传导路径。对于此器件，散热焊盘未以电气方式短接至内部裸片 V_{SS}；因此，散热焊盘不提供与 PCB 地的电气连接。为了充分利用 PowerPAD™ 封装中设计的热效率，PCB 的设计必须考虑到这种技术。需要在散热焊盘正下方的 PCB 表面上安装一个导热焊盘。导热焊盘应焊接到散热焊盘上；导热焊盘应尽可能大，以散发所需的热量。应使用一组散热过孔将散热焊盘与电路板的内部 GND 平面连接。请参阅 *PowerPAD™ 热增强型封装*，了解有关使用 PowerPAD 封装的更多详细信息。

	1	2	3	4	5	6	7	
P	V_{SSAIO}	ADCINB0	ADCINB2	ADCINB6	ADCREFP	V_{SS}	GPIO21/ EQEP1B/ MDRA/ CANRXB	P
N	ADCINA1	V_{DDAIO}	ADCINB1	ADCINB5	ADCREFM	V_{DD}	GPIO22/ EQEP1S/ MCLKXA/ SCITXDB	N
M	ADCINA2	ADCLO	ADCINA0	ADCINB4	ADCRESEXT	V_{DD2A18}	GPIO23/ EQEP1I/ MFSXA/ SCIRXDB	M
L	ADCINA5	ADCINA4	ADCINA3	ADCINB3	ADCREFIN	GPIO18/ SPICLKA/ SCITXDB/ CANRXA	GPIO20/ EQEP1A/ MDXA/ CANTXB	L
K	$V_{SS1AGND}$	V_{DDA2}	V_{SSA2}	ADCINA7	ADCINB7	$V_{SS2AGND}$	GPIO19/ $\overline{\text{SPISTEA}}$/ SCIRXDB/ CANTXA	K
J	GPIO17/ SPISOMIA/ CANRXB/ $\overline{\text{TZ6}}$	V_{DD}	V_{SS}	V_{DD1A18}	ADCINA6	J		
H	V_{DD}	GPIO14/ $\overline{\text{TZ3}}$/$\overline{\text{XHOLD}}$/ SCITXDB/ MCLKXB	GPIO13/ $\overline{\text{TZ2}}$/ CANRXB/ MDRB	GPIO15/ $\overline{\text{TZ4}}$/$\overline{\text{XHOLDA}}$/ SCIRXDB/ MFSXB	GPIO16/ SPISIMOA/ CANTXB/ $\overline{\text{TZ5}}$	H		
	1	2	3	4	5	6	7	

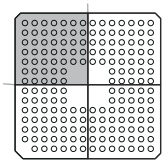


图 6-2. F2833x、F2823x 179 焊球 ZHH MicroStar BGA 和 179 焊球 ZAY nFBGA（左上象限）（底视图）

Copyright © 2022 Texas Instruments Incorporated

	8	9	10	11	12	13	14	
P	V_{SS}	GPIO33/ SCLA/ EPWMSYNCO/ $\overline{\text{ADCSOCBO}}$	TMS	TEST2	EMU1	GPIO48/ ECAP5/ XD31	GPIO50/ EQEP1A/ XD29	P
N	GPIO25/ ECAP2/ EQEP2B/ MDRB	GPIO32/ SDAA/ EPWMSYNCI/ $\overline{\text{ADCSOCAO}}$	V_{SS}	V_{SS}	TCK	GPIO49/ ECAP6/ XD30	V_{DDIO}	N
M	GPIO24/ ECAP1/ EQEP2A/ MDXB	TDI	$\overline{\text{TRST}}$	V_{DD3VFL}	V_{SS}	GPIO51/ EQEP1B/ XD28	GPIO52/ EQEP1S/ XD27	M
L	V_{DDIO}	GPIO27/ ECAP4/ EQEP2S/ MFSXB	$\overline{\text{XRS}}$	EMU0	GPIO53/ EQEP1I/ XD26	GPIO54/ SPISIMOA/ XD25	GPIO55/ SPISOMIA/ XD24	L
K	GPIO26/ ECAP3/ EQEP2I/ MCLKXB	TDO	TEST1	GPIO56/ SPICLKA/ XD23	GPIO58/ MCLKRA/ XD21	GPIO57/ $\overline{\text{SPISTEA}}$/ XD22	V_{DD}	K
	8	9						
J			V_{SS}	X2	V_{SS}	X1	XCLKIN	J
H			V_{SS}	V_{DDIO}	V_{DD}	V_{SS}	GPIO59/ MFSRA/ XD20	H
			10	11	12	13	14	

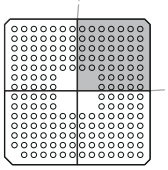
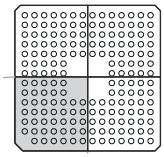


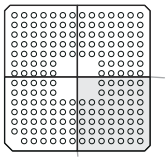
图 6-3. F2833x、F2823x 179 焊球 ZHH MicroStar BGA 和 179 焊球 ZAY nFBGA（右上象限）（底视图）



	1	2	3	4	5	6	7	
G	V_{SS}	GPIO11/ EPWM6B/ SCIRXDB/ ECAP4	GPIO12/ $\overline{TZ1}$/ CANTXB/ MDXB	GPIO10/ EPWM6A/ CANRXB/ $\overline{ADCSOCBO}$	GPIO9/ EPWM5B/ SCITXDB/ ECAP3			G
F	GPIO8/ EPWM5A/ CANTXB/ $\overline{ADCSOCAO}$	GPIO7/ EPWM4B/ MCLKRA/ ECAP2	V_{DD}	V_{SS}	V_{DDIO}			F
E	GPIO6/ EPWM4A/ EPWMSYNCI/ EPWMSYNCO	GPIO4/ EPWM3A	GPIO5/ EPWM3B/ MFSRA/ ECAP1	GPIO3/ EPWM2B/ ECAP5/ MCLKRB	GPIO84/ XA12	GPIO81/ XA9	V_{DDIO}	E
D	V_{SS}	GPIO2/ EPWM2A	GPIO1/ EPWM1B/ ECAP6/ MFSRB	GPIO86/ XA14	GPIO83/ XA11	V_{SS}	GPIO45/ XA5	D
C	GPIO0/ EPWM1A	GPIO29/ SCITXDA/ XA19	V_{SS}	GPIO85/ XA13	GPIO82/ XA10	GPIO80/ XA8	V_{SS}	C
B	V_{DD}	GPIO30/ CANRXA/ XA18	GPIO39/ XA16	V_{SS}	V_{DD}	GPIO46/ XA6	GPIO43/ XA3	B
A		GPIO31/ CANTXA/ XA17	GPIO87/ XA15	V_{DDIO}	V_{SS}	GPIO47/ XA7	GPIO44/ XA4	A
	1	2	3	4	5	6	7	

图 6-4. F2833x、F2823x 179 焊球 ZHH MicroStar BGA 和 179 焊球 ZAY nFBGA（左下象限）（底视图）

Copyright © 2022 Texas Instruments Incorporated



	8	9	10	11	12	13	14	
G			GPIO64/ XD15	GPIO63/ SCITXDC/ XD16	GPIO61/ MFSRB/ XD18	GPIO62/ SCIRXDC XD17	GPIO60/ MCLKRB/ XD19	G
F			GPIO69/ XD10	GPIO66/ XD13	V_{SS}	V_{DD}	GPIO65/ XD14	F
E	V_{SS}	V_{DD}	GPIO28/ SCIRXDA/ $\overline{XZCS6}$	GPIO68/ XD11	V_{DDIO}	GPIO67/ XD12	V_{SS}	E
D	GPIO40/ XA0/ $\overline{XWE1}$	GPIO37/ ECAP2/ $\overline{XZCS7}$	GPIO34/ ECAP1/ XREADY	GPIO38/ $\overline{XWE0}$	GPIO70/ XD9	V_{DD}	V_{SS}	D
C	V_{DD}	V_{SS}	GPIO36/ SCIRXDA/ $\overline{XZCS0}$	XCLKOUT	GPIO73/ XD6	GPIO74/ XD5	GPIO71/ XD8	C
B	GPIO42/ XA2	$\overline{XRD}$	V_{DDIO}	V_{DD}	GPIO78/ XD1	GPIO76/ XD3	GPIO72/ XD7	B
A	GPIO41/ XA1	GPIO35/ SCITXDA/ XR/$\overline{W}$	V_{SS}	V_{SS}	GPIO79/ XD0	GPIO77/ XD2	GPIO75/ XD4	A
	8	9	10	11	12	13	14	

图 6-5. F2833x、F2823x 179 焊球 ZHH MicroStar BGA 和 179 焊球 ZAY nFBGA（右下象限）（底视图）

	1	2	3	4	5	6	7
P	V_{SSA2}	$V_{SS2AGND}$	ADCINB0	ADCREFM	ADCREFP	ADCRESEXT	ADCREFIN
N	V_{SSAIO}	ADCLO	ADCINB1	ADCINB3	ADCINB5	ADCINB7	EMU0
M	ADCINA2	ADCINA1	ADCINA0	ADCINB2	ADCINB4	ADCINB6	TEST1
L	ADCINA5	ADCINA4	ADCINA3	$V_{SS1AGND}$	V_{DDAIO}	V_{DD2A18}	TEST2
K	ADCINA7	ADCINA6	V_{DD1A18}	V_{DDA2}			
J	GPIO15/ $\overline{TZ4}$/XHOLDA/ SCIRXDB/ MFSXB	GPIO16/ SPISIMOA/ CANTXB/ $\overline{TZ5}$	GPIO17/ SPISOMIA/ CANRXB/ $\overline{TZ6}$	V_{DD}		V_{SS}	V_{SS}
H	GPIO12/ $\overline{TZ1}$/ CANTXB/ MDXB	GPIO13/ $\overline{TZ2}$/ CANRXB/ MDRB	GPIO14/ $\overline{TZ3}$/XHOLD/ SCITXDB/ MCLKXB	V_{DD}		V_{SS}	V_{SS}

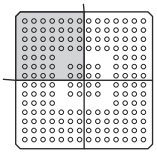


图 6-6. F2833x、F2823x 176 焊球 ZJZ 塑料 BGA（左上象限）（底视图）

Copyright © 2022 Texas Instruments Incorporated

8	9	10	11	12	13	14	
EMU1	GPIO20/ EQEP1A/ MDXA/ CANTXB	GPIO23/ EQEP1I/ MFSXA/ SCIRXDB	GPIO26/ ECAP3/ EQEP2I/ MCLKXB	GPIO33/ SCLA/ EPWMSYNCO/ $\overline{\text{ADCSOCBO}}$	V_{SS}	V_{SS}	P
GPIO18/ SPICLKA/ SCITXDB/ CANRXA	GPIO21/ EQEP1B/ MDRA/ CANRXB	GPIO24/ ECAP1/ EQEP2A/ MDXB	GPIO27/ ECAP4/ EQEP2S/ MFSXB	TDI	TDO	V_{DDIO}	N
GPIO19/ $\overline{\text{SPISTEA}}$/ SCIRXDB/ CANTXA	GPIO22/ EQEP1S/ MCLKXA/ SCITXDB	GPIO25/ ECAP2/ EQEP2B/ MDRB	GPIO32/ SDAA/ EPWMSYNCI/ $\overline{\text{ADSOCAO}}$	TMS	$\overline{\text{XRS}}$	TCK	M
V_{DD}	V_{DD3VFL}	V_{DDIO}	$\overline{\text{TRST}}$	GPIO50/ EQEP1A/ XD29	GPIO49/ ECAP6/ XD30	GPIO48/ ECAP5/ XD31	L
			V_{DD}	GPIO53 EQEP1I/ XD26	GPIO52/ EQEP1S/ XD27	GPIO51/ EQEP1B/ XD28	K
V_{SS}	V_{SS}		V_{DD}	GPIO56/ SPICLKA/ XD23	GPIO55/ SPISOMIA/ XD24	GPIO54/ SPISIMOA/ XD25	J
V_{SS}	V_{SS}		GPIO59/ MFSRA/ XD20	GPIO58/ MCLKRA/ XD21	GPIO57/ $\overline{\text{SPISTEA}}$/ XD22	X2	H

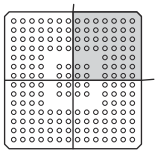
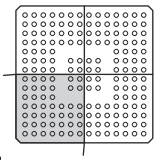


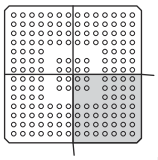
图 6-7. F2833x、F2823x 176 焊球 ZJZ 塑料 BGA（右上象限）（底视图）



	1	2	3	4	5	6	7
G	GPIO9/ EPWM5B/ SCITXDB/ ECAP3	GPIO10/ EPWM6A/ CANRXB/ $\overline{\text{ADCSOCBO}}$	GPIO11/ EPWM6B/ SCIRXDB/ ECAP4	V_{DDIO}		V_{SS}	V_{SS}
F	GPIO6/ EPWM4A/ EPWMSYNCI/ EPWMSYNCO	GPIO7/ EPWM4B/ MCLKRA/ ECAP2	GPIO8/ EPWM5A/ CANTXB/ $\overline{\text{ADCSOCAO}}$	V_{DD}		V_{SS}	V_{SS}
E	GPIO3/ EPWM2B/ ECAP5/ MCLKRB	GPIO4/ EPWM3A	GPIO5/ EPWM3B/ MFSRA/ ECAP1	V_{DDIO}			
D	GPIO0/ EPWM1A	GPIO1/ EPWM1B/ ECAP6/ MFSRB	GPIO2/ EPWM2A	V_{DD}	V_{DD}	GPIO47/ XA7	V_{DDIO}
C	GPIO29/ SCITXDA/ XA19	GPIO30/ CANRXA/ XA18	GPIO39/ XA16	GPIO85/ XA13	GPIO82/ XA10	GPIO46/ XA6	GPIO43/ XA3
B	V_{DDIO}	GPIO31/ CANTXA/ XA17	GPIO87/ XA15	GPIO84/ XA12	GPIO81/ XA9	GPIO45/ XA5	GPIO42/ XA2
A	V_{SS}	V_{SS}	GPIO86/ XA14	GPIO83/ XA11	GPIO80/ XA8	GPIO44/ XA4	GPIO41/ XA1

图 6-8. F2833x、F2823x 176 焊球 ZJZ 塑料 BGA（左下象限）（底视图）

Copyright © 2022 Texas Instruments Incorporated



V_{SS}	V_{SS}		V_{DDIO}	GPIO60/ MCLKRB/ XD19	XCLKIN	X1	G
V_{SS}	V_{SS}		V_{DD}	GPIO63/ SCITXDC/ XD16	GPIO62/ SCIRXDC/ XD17	GPIO61/ MFSRB/ XD18	F
			V_{DD}	GPIO66/ XD13	GPIO65/ XD14	GPIO64/ XD15	E
V_{DD}	V_{DD}	GPIO28/ SCIRXDA/ $\overline{XZCS6}$	V_{DDIO}	GPIO69/ XD10	GPIO68/ XD11	GPIO67/ XD12	D
GPIO40/ XA0/$\overline{XWE1}$	GPIO36/ SCIRXDA/ $\overline{XZCS0}$	GPIO38/ $\overline{XWE0}$	GPIO78/ XD1	GPIO75/ XD4	GPIO71/ XD8	GPIO70/ XD9	C
GPIO37/ ECAP2/ $\overline{XZCS7}$	GPIO35/ SCITXDA/ XR/$\overline{W}$	GPIO79/ XD0	GPIO77/ XD2	GPIO74/ XD5	GPIO72 XD7	V_{SS}	B
$\overline{XRD}$	GPIO34/ ECAP1/ XREADY	XCLKOUT	GPIO76/ XD3	GPIO73/ XD6	V_{DDIO}	V_{SS}	A
8	9	10	11	12	13	14	

图 6-9. F2833x、F2823x 176 焊球 ZJZ 塑料 BGA（右下象限）（底视图）

6.2 信号说明

表 6-1 对这些信号进行了说明。GPIO 功能（用斜体显示）在复位时为缺省值。在它们下面列出的外设信号是供替换的功能。有些外设功能并非在所有器件上都可用。详细信息请见表 5-1 和表 5-2。输入不是 5V 耐压。所有能够产生 XINTF 输出功能的引脚有 8mA（典型）的驱动强度。即使引脚没有配置 XINTF 功能，也有此驱动能力。所有其他引脚有一个 4mA 驱动力的驱动典型值(除另有注明外)。所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻器，此内部上拉电阻器可在每个引脚上有选择性的启用/禁用。这一特性只适用于 GPIO 引脚。GPIO0-GPIO11 引脚上的上拉电阻器在复位时并不启用。GPIO12-GPIO87 引脚上的上拉电阻器复位时被启用。

表 6-1. 信号说明

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
JTAG				
$\overline{TRST}$	78	M10	L11	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时，$\overline{TRST}$ 使扫描系统获得器件运行的控制权。如果此信号未连接或驱动至低电平，则器件将在功能模式下运行，测试复位信号将被忽略。 注意：$\overline{TRST}$ 是一个高电平有效测试引脚并且必须在正常器件运行期间一直保持低电平。在这个引脚上需要一个外部下拉电阻器。此电阻器的阻值应该基于适用于该设计的调试器 Pod 的驱动强度。 通常情况下，一个 2.2kΩ 电阻器可提供足够的保护。由于这是特定于应用的，TI 建议针对调试器和应用的适当运行对每个目标板进行验证。(I，↓)
TCK	87	N12	M14	带有内部上拉电阻 (I，↑) 的 JTAG 测试时钟
TMS	79	P10	M12	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。(I，↑)
TDI	76	M9	N12	带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。(I, ↑)
TDO	77	K9	N13	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或者数据）的内容被从 TCK 下降沿上的 TDO 移出。 （O/Z 8mA 驱动）
EMU0	85	L11	N7	仿真器引脚 0。当 $\overline{TRST}$ 被驱动为高电平时，此引脚用作一个对 JTAG 调试探针系统的中断或来自该系统的中断并在 JTAG 扫描过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时，$\overline{TRST}$ 引脚的上升沿将把器件锁存在边界扫面模式。（I/O/Z，8mA 驱动 ↑） **注意：**在这个引脚上需要一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2kΩ 至 4.7kΩ 的电阻器已可以满足要求。由于这是特定于应用的，TI 建议针对调试器和应用的适当运行对每个目标板进行验证。
EMU1	86	P12	P8	仿真器引脚 1。当 $\overline{TRST}$ 被驱动为高电平时，此引脚用作一个对 JTAG 调试探针系统的中断或来自该系统的中断并在 JTAG 扫描过程中被定义为输入/输出。这个引脚也被用于将器件置于边界扫面模式中。在 EMU0 引脚处于逻辑高电平状态并且 EMU1 引脚处于逻辑低电平状态时，$\overline{TRST}$ 引脚的上升沿将把器件锁存在边界扫面模式。（I/O/Z，8mA 驱动 ↑） **注意：**在这个引脚上需要一个外部上拉电阻器。这个电阻器的值应该基于适用于这个设计的调试器推进源代码的驱动强度。通常一个 2.2kΩ 至 4.7kΩ 的电阻器已可以满足要求。由于这是特定于应用的，TI 建议针对调试器和应用的适当运行对每个目标板进行验证。
闪存				
V_{DD3VFL}	84	M11	L9	3.3V 闪存内核电源引脚。这个引脚应该一直被连接至 3.3V。
TEST1	81	K10	M7	测试引脚。为 TI 保留。必须保持未连接状态。(I/O)
TEST2	82	P11	L7	测试引脚。为 TI 保留。必须保持未连接状态。(I/O)

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
时钟				
XCLKOUT	138	C11	A10	源自 SYSCLKOUT 的输出时钟。XCLKOUT 频率或者与 SYSCLKOUT 的频率相同， 或者是后者的一半或四分之一。这是由位 18：16 (XTIMCLK) 和在 XINTCNF2 寄存器中的位 2 (CLKMODE) 控制的。复位时，XCLKOUT = SYSCLKOUT/4。通过将 XINTCNF2[CLKOFF] 设定为 1，可关闭 XCLKOUT 信号。与其它 GPIO 引脚不同，复位时，不将 XCLKOUT 引脚置于一个高阻抗状态。（O/Z，8mA 驱动）。
XCLKIN	105	J14	G13	外部振荡器输入。这个引脚被用于从一个外部 3.3V 振荡器馈入一个时钟。在这种情况下，X1 引脚必须连接到 GND。如果使用到了晶振/谐振器（或 1.9V 外部振荡器被用来把时钟馈入 X1 引脚），此引脚必须连接到 GND。(I)
X1	104	J13	G14	内部/外部振荡器输入。为了使用这个内部振荡器，一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。X1 引脚以 1.9V/1.8V 内核数字电源为基准。可在 X1 引脚上连接一个 1.9V/1.8V 外部振荡器。在这种情况下，XCLKIN 引脚必须接地。如果一个 3.3V 外部振荡器与 XCLKIN 引脚一起使用的话，X1 必须接至 GND。(I)
X2	102	J11	H14	内部振荡器输出。一个石英晶振或者一个陶瓷电容器必须被连接在 X1 和 X2。如果 X2 未使用，必须使其保持未连接状态。(O)
复位				
$\overline{\text{XRS}}$	80	L10	M13	器件复位（输入）和看门狗复位（输出）。 器件复位。$\overline{\text{XRS}}$ 导致器件终止执行。PC 将指向包含在位置 0x3FFFC0 中的地址。当 $\overline{\text{XRS}}$ 被置为高电平时，在 PC 指向的位置开始执行。当看门狗复位时，此引脚由 MCU 驱动为低电平。看门狗复位期间，在 512 个 OSCCLK 周期的看门狗复位持续时间内，$\overline{\text{XRS}}$ 引脚被驱动为低电平。（I/OD，↑） 此引脚的输出缓冲器是一个带有内部上拉电阻器的开漏。如果此引脚由外部器件驱动，则应该使用开漏器件。 可在该引脚上使用一个外部 R-C 电路，并注意仍要满足断电期间的时序要求。
ADC 信号				
ADCINA7	35	K4	K1	ADC 组 A，通道 7 输入 (I)
ADCINA6	36	J5	K2	ADC 组 A，通道 6 输入 (I)
ADCINA5	37	L1	L1	ADC 组 A，通道 5 输入 (I)
ADCINA4	38	L2	L2	ADC 组 A，通道 4 输入 (I)
ADCINA3	39	L3	L3	ADC 组 A，通道 3 输入 (I)
ADCINA2	40	M1	M1	ADC 组 A，通道 2 输入 (I)
ADCINA1	41	N1	M2	ADC 组 A，通道 1 输入 (I)
ADCINA0	42	M3	M3	ADC 组 A，通道 0 输入 (I)
ADCINB7	53	K5	N6	ADC 组 B，通道 7 输入 (I)
ADCINB6	52	P4	M6	ADC 组 B，通道 6 输入 (I)
ADCINB5	51	N4	N5	ADC 组 B，通道 5 输入 (I)
ADCINB4	50	M4	M5	ADC 组 B，通道 4 输入 (I)
ADCINB3	49	L4	N4	ADC 组 B，通道 3 输入 (I)
ADCINB2	48	P3	M4	ADC 组 B，通道 2 输入 (I)
ADCINB1	47	N3	N3	ADC 组 B，通道 1 输入 (I)
ADCINB0	46	P2	P3	ADC 组 B，通道 0 输入 (I)
ADCLO	43	M2	N2	低基准（连接至模拟接地）(I)
ADCRESEXT	57	M5	P6	ADC 外部电流偏置电阻器。将一个 22kΩ 电阻器接至模拟接地。
ADCREFIN	54	L5	P7	外部基准输入 (I)

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
ADCREFP	56	P5	P5	内部基准正输出。要求将一个低等效串联电阻 (ESR) (低于 1.5Ω) 的 2.2 μF 陶瓷旁路电容器接至模拟接地。(O) **注意：**可以使用 ADC 时钟速率来从系统中使用的电容器数据表中得出 ESR 规格。
ADCREFM	55	N5	P4	内部基准中输出。要求将一个低等效串联电阻 (ESR) (低于 1.5Ω) 的 2.2 μF 陶瓷旁路电容器接至模拟接地。(O) **注意：**可以使用 ADC 时钟速率来从系统中使用的电容器数据表中得出 ESR 规格。
CPU 和 I/O 电源引脚				
V_{DDA2}	34	K2	K4	ADC 模拟电源引脚
V_{SSA2}	33	K3	P1	ADC 模拟接地引脚
V_{DDAIO}	45	N2	L5	ADC 模拟 I/O 电源引脚
V_{SSAIO}	44	P1	N1	ADC 模拟 I/O 接地引脚
V_{DD1A18}	31	J4	K3	ADC 模拟电源引脚
$V_{SS1AGND}$	32	K1	L4	ADC 模拟接地引脚
V_{DD2A18}	59	M6	L6	ADC 模拟电源引脚
$V_{SS2AGND}$	58	K6	P2	ADC 模拟接地引脚
V_{DD}	4	B1	D4	CPU 和逻辑数字电源引脚
V_{DD}	15	B5	D5	
V_{DD}	23	B11	D8	
V_{DD}	29	C8	D9	
V_{DD}	61	D13	E11	
V_{DD}	101	E9	F4	
V_{DD}	109	F3	F11	
V_{DD}	117	F13	H4	
V_{DD}	126	H1	J4	
V_{DD}	139	H12	J11	
V_{DD}	146	J2	K11	
V_{DD}	154	K14	L8	
V_{DD}	167	N6		
V_{DDIO}	9	A4	A13	数字 I/O 电源引脚
V_{DDIO}	71	B10	B1	
V_{DDIO}	93	E7	D7	
V_{DDIO}	107	E12	D11	
V_{DDIO}	121	F5	E4	
V_{DDIO}	143	L8	G4	
V_{DDIO}	159	H11	G11	
V_{DDIO}	170	N14	L10	
V_{DDIO}			N14	

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
V_{SS}	3	A5	A1	数字接地引脚
V_{SS}	8	A10	A2	
V_{SS}	14	A11	A14	
V_{SS}	22	B4	B14	
V_{SS}	30	C3	F6	
V_{SS}	60	C7	F7	
V_{SS}	70	C9	F8	
V_{SS}	83	D1	F9	
V_{SS}	92	D6	G6	
V_{SS}	103	D14	G7	
V_{SS}	106	E8	G8	
V_{SS}	108	E14	G9	
V_{SS}	118	F4	H6	
V_{SS}	120	F12	H7	
V_{SS}	125	G1	H8	
V_{SS}	140	H10	H9	
V_{SS}	144	H13	J6	
V_{SS}	147	J3	J7	
V_{SS}	155	J10	J8	
V_{SS}	160	J12	J9	
V_{SS}	166	M12	P13	
V_{SS}	171	N10	P14	
V_{SS}		N11		
V_{SS}		P6		
V_{SS}		P8		
GPIO 和外设信号				
GPIO0 EPWM1A - -	5	C1	D1	通用输入/输出 0 (I/O/Z) 增强型 PWM1 输出 A 和 HRPWM 通道 (O) - -
GPIO1 EPWM1B ECAP6 MFSRB	6	D3	D2	通用输入/输出 1 (I/O/Z) 增强型 PWM1 输出 B (O) 增强型捕捉 6 输入/输出 (I/O) McBSP-B 接收帧同步 (I/O)
GPIO2 EPWM2A - -	7	D2	D3	通用输入/输出 2 (I/O/Z) 增强型 PWM2 输出 A 和 HRPWM 通道 (O) - -
GPIO3 EPWM2B ECAP5 MCLKRB	10	E4	E1	通用输入/输出 3 (I/O/Z) 增强型 PWM2 输出 B (O) 增强型捕捉 5 输入/输出 (I/O) McBSP-B 接收时钟 (I/O)
GPIO4 EPWM3A - -	11	E2	E2	通用输入/输出 4 (I/O/Z) 增强型 PWM3 输出 A 和 HRPWM 通道 (O) - -

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO5 EPWM3B MFSRA ECAP1	12	E3	E3	通用输入/输出 5 (I/O/Z) 增强型 PWM3 输出 B (O) McBSP-B 接收帧同步 (I/O) 增强型捕捉输入/输出 1 (I/O)
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	13	E1	F1	通用输入/输出 6 (I/O/Z) 增强型 PWM4 输出 A 和 HRPWM 通道 (O) 外部 ePWM 同步脉冲输入 (I) 外部 ePWM 同步脉冲输出 (O)
GPIO7 EPWM4B MCLKRA ECAP2	16	F2	F2	通用输入/输出 7 (I/O/Z) 增强型 PWM4 输出 B (O) McBSP-A 接收时钟 (I/O) 增强型捕捉输入/输出 2 (I/O)
GPIO8 EPWM5A CANTXB $\overline{\text{ADCSOCAO}}$	17	F1	F3	通用输入/输出 8 (I/O/Z) 增强型 PWM5 输出 A 和 HRPWM 通道 (O) 增强型 CAN-B 发送 (O) ADC 转换启动 A (O)
GPIO9 EPWM5B SCITXDB ECAP3	18	G5	G1	通用输入/输出 9 (I/O/Z) 增强型 PWM5 输出 B (O) SCI-B 传输数据 (O) 增强型捕捉输入/输出 3 (I/O)
GPIO10 EPWM6A CANRXB $\overline{\text{ADCSOCBO}}$	19	G4	G2	通用输入/输出 10 (I/O/Z) 增强型 PWM6 输出 A 和 HRPWM 通道 (O) 增强型 CAN-B 接收 (I) ADC 转换启动 B (O)
GPIO11 EPWM6B SCIRXDB ECAP4	20	G2	G3	通用输入/输出 11 (I/O/Z) 增强型 PWM6 输出 B (O) SCI-B 接收数据 (I/O) 增强型捕捉输入/输出 4 (I/O)
GPIO12 $\overline{\text{TZ1}}$ CANTXB MDXB	21	G3	H1	通用输入/输出 12 (I/O/Z) 跳闸区输入 1 (I) 增强型 CAN-B 发送 (O) McBSP-B 发送串行数据 (O)
GPIO13 $\overline{\text{TZ2}}$ CANRXB MDRB	24	H3	H2	通用输入/输出 13 (I/O/Z) 跳闸区输入 2 (I) 增强型 CAN-B 接收 (I) McBSP-B 接收串行数据 (I)
GPIO14 $\overline{\text{TZ3}}$/ $\overline{\text{XHOLD}}$ SCITXDB MCLKXB	25	H2	H3	通用输入/输出 14 (I/O/Z) 触发区输入 3 / 外部保持请求 $\overline{\text{XHOLD}}$，（低电平）有效时，请求外部接口 (XINTF) 释放外部总线并将所有总线和选通置于高阻抗状态。为了防止在 $\overline{\text{TZ3}}$ 信号变为有效时发生这种情况，请通过写入 XINTCNF2[HOLD] = 1 来禁用此功能。如果没有这样做，XINTF 总线将在 $\overline{\text{TZ3}}$ 变为低电平后的随时进入高阻抗状态。在 ePWM 侧,$\overline{\text{TZn}}$ 信号在默认情况下被忽略，除非它们由代码启用。当任一当前的访问完成并且在 XINIF 上没有等待的访问时，XINIF 将释放总线。(I) SCI-B 发送 (O) McBSP-B 发送时钟 (I/O)

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO15 $\overline{TZ4}$/ $\overline{XHOLDA}$ SCIRXDB MFSXB	26	H4	J1	通用输入/输出 15 (I/O/Z) 触发区输入 4 / 外部保持确认。此选项的引脚功能是基于在 GPADIR 寄存器中的所选方向。如果此引脚被配置为输入，则 $\overline{TZ4}$ 功能就会被选择。如果此引脚被配置为输出，则 $\overline{XHOLDA}$ 功能就会被选择。当 XININ 已经准予一个 $\overline{XHOLD}$ 请求时，$\overline{XHOLDA}$ 被驱动至有效（低电平）。所有 XINIF 总线和选通脉冲将处于高阻抗状态。当 $\overline{XHOLD}$ 信号被释放时，$\overline{XHOLDA}$ 被释放。当 $\overline{XHOLDA}$ 为有效（低电平）时，外部器件应该只驱动外部总线。(I/O) SCI-B 接收 (I) McBSP-B 发送帧同步 (I/O)
GPIO16 SPISIMOA CANTXB $\overline{TZ5}$	27	H5	J2	通用输入/输出 16 (I/O/Z) SPI 从器件输入，主器件输出 (I/O) 增强型 CAN-B 发送 (O) 跳闸区输入 5 (I)
GPIO17 SPISOMIA CANRXB $\overline{TZ6}$	28	J1	J3	通用输入/输出 17 (I/O/Z) SPI-A 从器件输出，主器件输入 (I/O) 增强型 CAN-B 接收 (I) 跳闸区输入 6 (I)
GPIO18 SPICLKA SCITXDB CANRXA	62	L6	N8	通用输入/输出 18 (I/O/Z) SPI-A 时钟输入/输出 (I/O) SCI-B 发送 (O) 增强型 CAN-A 接收 (I)
GPIO19 $\overline{SPISTEA}$ SCIRXDB CANTXA	63	K7	M8	通用输入/输出 19 (I/O/Z) SPI-A 从器件发送使能输入/输出 (I/O) SCI-B 接收 (I) 增强型 CAN-A 发送 (O)
GPIO20 EQEP1A MDXA CANTXB	64	L7	P9	通用输入/输出 20 (I/O/Z) 增强型 QEP1 输入 A (I) McBSP-A 发送串行数据 (O) 增强型 CAN-B 发送 (O)
GPIO21 EQEP1B MDRA CANRXB	65	P7	N9	通用输入/输出 21 (I/O/Z) 增强型 QEP1 输入 B (I) McBSP-A 接收串行数据 (I) 增强型 CAN-B 接收 (I)
GPIO22 EQEP1S MCLKXA SCITXDB	66	N7	M9	通用输入/输出 22 (I/O/Z) 增强型 QEP1 选通 (I/O) McBSP-A 发送时钟 (I/O) SCI-B 发送 (O)
GPIO23 EQEP1I MFSXA SCIRXDB	67	M7	P10	通用输入/输出 23 (I/O/Z) 增强型 QEP1 索引 (I/O) McBSP-A 发送帧同步 (I/O) SCI-B 接收 (I)
GPIO24 ECAP1 EQEP2A MDXB	68	M8	N10	通用输入/输出 24 (I/O/Z) 增强型捕捉 1 (I/O) 增强型 QEP2 输入 A (I) McBSP-B 发送串行数据 (O)
GPIO25 ECAP2 EQEP2B MDRB	69	N8	M10	通用输入/输出 25 (I/O/Z) 增强型捕捉 2 (I/O) 增强型 QEP2 输入 B (I) McBSP-B 接收串行数据 (I)

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[(1)]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO26 ECAP3 EQEP2I MCLKXB	72	K8	P11	通用输入/输出 26 (I/O/Z) 增强型捕捉 3 (I/O) 增强型 QEP2 索引 (I/O) McBSP-B 发送时钟 (I/O)
GPIO27 ECAP4 EQEP2S MFSXB	73	L9	N11	通用输入/输出 27 (I/O/Z) 增强型捕捉 4 (I/O) 增强型 QEP2 选通 (I/O) McBSP-B 发送帧同步 (I/O)
GPIO28 SCIRXDA $\overline{XZCS6}$	141	E10	D10	通用输入/输出 28 (I/O/Z) SCI 接收数据 (I) 外部接口区域 6 芯片选择 (O)
GPIO29 SCITXDA XA19	2	C2	C1	通用输入/输出 29。(I/O/Z) SCI 发送数据 (O) 外部接口地址线路 19 (O)
GPIO30 CANRXA XA18	1	B2	C2	通用输入/输出 30 (I/O/Z) 增强型 CAN-A 接收 (I) 外部接口地址线路 18 (O)
GPIO31 CANTXA XA17	176	A2	B2	通用输入/输出 31 (I/O/Z) 增强型 CAN-A 发送 (O) 外部接口地址线路 17 (O)
GPIO32 SDAA EPWMSYNCI $\overline{ADCSOCAO}$	74	N9	M11	通用输入/输出 32 (I/O/Z) I2C 数据开漏双向端口 (I/OD) 增强型 PWM 外部同步脉冲输入 (I) ADC 转换启动 A (O)
GPIO33 SCLA EPWMSYNCO $\overline{ADCSOCBO}$	75	P9	P12	通用输入/输出 33 (I/O/Z) I2C 时钟开漏双向端口 (I/OD) 增强型 PWM 外部同步脉冲输出 (O) ADC 转换启动 B (O)
GPIO34 ECAP1 XREADY	142	D10	A9	通用输入/输出 34 (I/O/Z) 增强型捕捉输入/输出 1 (I/O) 外部接口就绪信号。请注意，此引脚始终是（直接）连接到 XINTF 的。如果一个应用程序使用引脚作为 GPIO，同时还使用了 XINTF，则应配置 XINTF 来忽略就绪。
GPIO35 SCITXDA XR/ $\overline{W}$	148	A9	B9	通用输入/输出 35 (I/O/Z) SCI-A 发送数据 (O) 外部接口读取，不是写入选通
GPIO36 SCIRXDA $\overline{XZCS0}$	145	C10	C9	通用输入/输出 36 (I/O/Z) SCI 接收数据 (I) 外部接口区域 0 芯片选择 (O)
GPIO37 ECAP2 $\overline{XZCS7}$	150	D9	B8	通用输入/输出 37 (I/O/Z) 增强型捕捉输入/输出 2 (I/O) 外部接口区域 7 芯片选择 (O)
GPIO38 - $\overline{XWE0}$	137	D11	C10	通用输入/输出 38 (I/O/Z) - 外部接口写入使能 0 (O)
GPIO39 - XA16	175	B3	C3	通用输入/输出 39 (I/O/Z) - 外部接口地址线路 16 (O)
GPIO40 - XA0/ $\overline{XWE1}$	151	D8	C8	通用输入/输出 40 (I/O/Z) - 外部接口地址线路 0/外部接口写入使能 1 (O)

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO41 - XA1	152	A8	A7	通用输入/输出 41 (I/O/Z) - 外部接口地址线路 1 (O)
GPIO42 - XA2	153	B8	B7	通用输入/输出 42 (I/O/Z) - 外部接口地址线路 2 (O)
GPIO43 - XA3	156	B7	C7	通用输入/输出 43 (I/O/Z) - 外部接口地址线路 3 (O)
GPIO44 - XA4	157	A7	A6	通用输入/输出 44 (I/O/Z) - 外部接口地址线路 4 (O)
GPIO45 - XA5	158	D7	B6	通用输入/输出 45 (I/O/Z) - 外部接口地址线路 5 (O)
GPIO46 - XA6	161	B6	C6	通用输入/输出 46 (I/O/Z) - 外部接口地址线路 6 (O)
GPIO47 - XA7	162	A6	D6	通用输入/输出 47 (I/O/Z) - 外部接口地址线路 7 (O)
GPIO48 ECAP5 XD31	88	P13	L14	通用输入/输出 48 (I/O/Z) 增强型捕捉输入/输出 5 (I/O) 外部接口数据线路 31 (I/O/Z)
GPIO49 ECAP6 XD30	89	N13	L13	通用输入/输出 49 (I/O/Z) 增强型捕捉输入/输出 6 (I/O) 外部接口数据线路 30 (I/O/Z)
GPIO50 EQEP1A XD29	90	P14	L12	通用输入/输出 50 (I/O/Z) 增强型 QEP1 输入 A (I) 外部接口数据线路 29 (I/O/Z)
GPIO51 EQEP1B XD28	91	M13	K14	通用输入/输出 51 (I/O/Z) 增强型 QEP1 输入 B (I) 外部接口数据线路 28 (I/O/Z)
GPIO52 EQEP1S XD27	94	M14	K13	通用输入/输出 52 (I/O/Z) 增强型 QEP1 选通 (I/O) 外部接口数据线路 27 (I/O/Z)
GPIO53 EQEP1I XD26	95	L12	K12	通用输入/输出 53 (I/O/Z) 增强型 QEP1 索引 (I/O) 外部接口数据线路 26 (I/O/Z)
GPIO54 SPISIMOA XD25	96	L13	J14	通用输入/输出 54 (I/O/Z) SPI-A 从器件输入，主器件输出 (I/O) 外部接口数据线路 25 (I/O/Z)
GPIO55 SPISOMIA XD24	97	L14	J13	通用输入/输出 55 (I/O/Z) SPI-A 从器件输出，主器件输入 (I/O) 外部接口数据线路 24 (I/O/Z)
GPIO56 SPICLKA XD23	98	K11	J12	通用输入/输出 56 (I/O/Z) SPI-A 时钟 (I/O) 外部接口数据线路 23 (I/O/Z)

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[1]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO57 $\overline{\text{SPISTEA}}$ XD22	99	K13	H13	通用输入/输出 57 (I/O/Z) SPI-A 从器件发送使能 (I/O) 外部接口数据线路 22 (I/O/Z)
GPIO58 MCLKRA XD21	100	K12	H12	通用输入/输出 58 (I/O/Z) McBSP-A 接收时钟 (I/O) 外部接口数据线路 21 (I/O/Z)
GPIO59 MFSRA XD20	110	H14	H11	通用输入/输出 59 (I/O/Z) McBSP-A 接收帧同步 (I/O) 外部接口数据线路 20 (I/O/Z)
GPIO60 MCLKRB XD19	111	G14	G12	通用输入/输出 60 (I/O/Z) McBSP-B 接收时钟 (I/O) 外部接口数据线路 19 (I/O/Z)
GPIO61 MFSRB XD18	112	G12	F14	通用输入/输出 61 (I/O/Z) McBSP-B 接收帧同步 (I/O) 外部接口数据线路 18 (I/O/Z)
GPIO62 SCIRXDC XD17	113	G13	F13	通用输入/输出 62 (I/O/Z) SCI-C 接收数据 (I) 外部接口数据线路 17 (I/O/Z)
GPIO63 SCITXDC XD16	114	G11	F12	通用输入/输出 63 (I/O/Z) SCI-C 发送数据 (O) 外部接口数据线路 16 (I/O/Z)
GPIO64 - XD15	115	G10	E14	通用输入/输出 64 (I/O/Z) - 外部接口数据线路 15 (I/O/Z)
GPIO65 - XD14	116	F14	E13	通用输入/输出 65 (I/O/Z) - 外部接口数据线路 14 (I/O/Z)
GPIO66 - XD13	119	F11	E12	通用输入/输出 66 (I/O/Z) - 外部接口数据线路 13 (I/O/Z)
GPIO67 - XD12	122	E13	D14	通用输入/输出 67 (I/O/Z) - 外部接口数据线路 12 (I/O/Z)
GPIO68 - XD11	123	E11	D13	通用输入/输出 68 (I/O/Z) - 外部接口数据线路 11 (I/O/Z)
GPIO69 - XD10	124	F10	D12	通用输入/输出 69 (I/O/Z) - 外部接口数据线路 10 (I/O/Z)
GPIO70 - XD9	127	D12	C14	通用输入/输出 70 (I/O/Z) - 外部接口数据线路 9 (I/O/Z)
GPIO71 - XD8	128	C14	C13	通用输入/输出 71 (I/O/Z) - 外部接口数据线路 8 (I/O/Z)
GPIO72 - XD7	129	B14	B13	通用输入/输出 72 (I/O/Z) - 外部接口数据线路 7 (I/O/Z)

Copyright © 2022 Texas Instruments Incorporated

表 6-1. 信号说明 (continued)

名称	引脚编号			说明[(1)]
	PGF、PTP 引脚编号	ZHH、ZAY 焊球编号	ZJZ 焊球编号	
GPIO73 - XD6	130	C12	A12	通用输入/输出 73 (I/O/Z) - 外部接口数据线路 6 (I/O/Z)
GPIO74 - XD5	131	C13	B12	通用输入/输出 74 (I/O/Z) - 外部接口数据线路 5 (I/O/Z)
GPIO75 - XD4	132	A14	C12	通用输入/输出 75 (I/O/Z) - 外部接口数据线路 4 (I/O/Z)
GPIO76 - XD3	133	B13	A11	通用输入/输出 76 (I/O/Z) - 外部接口数据线路 3 (I/O/Z)
GPIO77 - XD2	134	A13	B11	通用输入/输出 77 (I/O/Z) - 外部接口数据线路 2 (I/O/Z)
GPIO78 - XD1	135	B12	C11	通用输入/输出 78 (I/O/Z) - 外部接口数据线路 1 (I/O/Z)
GPIO79 - XD0	136	A12	B10	通用输入/输出 79 (I/O/Z) - 外部接口数据线路 0 (I/O/Z)
GPIO80 - XA8	163	C6	A5	通用输入/输出 80 (I/O/Z) - 外部接口地址线路 8 (O)
GPIO81 - XA9	164	E6	B5	通用输入/输出 81 (I/O/Z) - 外部接口地址线路 9 (O)
GPIO82 - XA10	165	C5	C5	通用输入/输出 82 (I/O/Z) - 外部接口地址线路 10 (O)
GPIO83 - XA11	168	D5	A4	通用输入/输出 83 (I/O/Z) - 外部接口地址线路 11 (O)
GPIO84 - XA12	169	E5	B4	通用输入/输出 84 (I/O/Z) 外部接口地址线路 12 (O)
GPIO85 - XA13	172	C4	C4	通用输入/输出 85 (I/O/Z) - 外部接口地址线路 13 (O)
GPIO86 - XA14	173	D4	A3	通用输入/输出 86 (I/O/Z) - 外部接口地址线路 14 (O)
GPIO87 - XA15	174	A3	B3	通用输入/输出 87 (I/O/Z) - 外部接口地址线路 15 (O)
$\overline{XRD}$	149	B9	A8	外部接口读取使能

(1) I = 输入，O = 输出，Z = 高阻抗，OD = 开漏，↑ = 上拉，↓ = 下拉

7 规格

本节提供了最大绝对额定值和推荐工作条件。

7.1 绝对最大额定值

除非另外说明，绝对最大额定值的列表在工作温度范围内指定。(1) (2)

		最小值	最大值	单位
电源电压	V_{DDIO}、V_{DD3VFL}，以 V_{SS} 为基准	-0.3	4.6	V
	V_{DDA2}、V_{DDAIO}，以 V_{SSA} 为基准	-0.3	4.6	
	V_{DD}，以 V_{SS} 为基准	–0.3	2.5	
	V_{DD1A18}、V_{DD2A18}，以 V_{SSA} 为基准	–0.3	2.5	
	V_{SSA2}、V_{SSAIO}、$V_{SS1AGND}$、$V_{SS2AGND}$，以 V_{SS} 为基准	–0.3	0.3	
输入电压	V_{IN}	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	I_{IK}（$V_{IN} < 0$ 或 $V_{IN} > V_{DDIO}$）(3)	-20	20	mA
输出钳位电流	I_{OK}（$V_O < 0$ 或 $V_O > V_{DDIO}$）	-20	20	mA
工作环境温度，T_A	A 版本(4)	–40	85	°C
	S 版本	-40	125	
	Q 版本	-40	125	
结温	T_J (4)	-40	150	°C
贮存温度	T_{stg} (4)	-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其它超过节 7.4 所述条件下可正常工作。长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 除非另有说明，所有电压值均相对于 V_{SS}。
(3) 每个引脚上的持续钳制电流为 ±2mA。这包括模拟输入，此模拟输入有一个内部钳制电路，此电路能够将电压固定在一个高于 V_{DDA2} 或者低于 V_{SSA2} 的二极管压降上。
(4) 下列一个或两个条件可能会导致整体设备的使用寿命降低：
- 长期高温储存
- 长时间在最高温度下使用

有关其他信息，请参阅*半导体和 IC 封装热指标*。

Copyright © 2022 Texas Instruments Incorporated

7.2 ESD 等级 - 汽车

			值	单位
采用 PTP 封装的 TMS320F2833x、TMS320F2823x				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)]		±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		176 引脚 PTP 上的转角引脚：1、44、45、88、89、132、133、176	±750	
采用 ZJZ 封装的 TMS320F2833x、TMS320F2823x				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)]		±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		176 焊球 ZJZ 上的转角引脚：A1、A14、P1、P14	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 ESD 等级 - 商用

		值	单位
采用 PGF 封装的 TMS320F2833x、TMS320F2823x			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[(2)]	±500	
采用 ZHH 封装的 TMS320F2833x、TMS320F2823x			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[(2)]	±500	
采用 ZAY 封装的 TMS320F2833x、TMS320F2823x			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[(2)]	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
器件电源电压，I/O，V_{DDIO}		3.135	3.3	3.465	V
器件电源电压 CPU，V_{DD}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	
电源接地，V_{SS}, V_{SSIO}, V_{SSAIO}, V_{SSA2}, $V_{SS1AGND}$, $V_{SS2AGND}$			0		V
ADC 电源电压 (3.3V)，V_{DDA2}，V_{DDAIO}		3.135	3.3	3.465	V
ADC 电源电压，V_{DD1A18}，V_{DD2A18}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	
闪存电源电压，V_{DD3VFL}		3.135	3.3	3.465	V
器件时钟频率（系统时钟），$f_{SYSCLKOUT}$	F28335/F28334/F28235/F28234	2		150	MHz
	F28333/F28332/F28232	2		100	
高电平输入电压，V_{IH}	除 X1 之外的所有输入	2		V_{DDIO}	V
	X1	0.7 * V_{DD}-0.05		V_{DD}	
低电平输入电压，V_{IL}	除 X1 之外的所有输入			0.8	V
	X1			0.3 * V_{DD}+0.05	
高电平输出拉电流，V_{OH}= 2.4V，I_{OH}	除组 2 之外的所有 I/O			-4	mA
	组 2[(1)]			-8	
低电平输出灌电流，V_{OL}=V_{OL} MAX，I_{OL}	除组 2 之外的所有 I/O			4	mA
	组 2[(1)]			8	
环境温度，T_A	A 版本	–40		85	°C
	S 版本	-40		125	
	Q 版本	-40		125	
结温，T_J				125	°C

(1) 组 2 引脚如下所示：GPIO28、GPIO29、GPIO30、GPIO31、TDO、XCLKOUT、EMU0、EMU1、XINTF 引脚、GPIO35-87、$\overline{XRD}$。

Copyright © 2022 Texas Instruments Incorporated

7.5 功耗摘要

7.5.1 SYSCLKOUT 150MHz 时 TMS320F28335/F28235 电源引脚的流耗

模式	测试条件	I_{DD}		I_{DDIO} (1)		I_{DD3VFL} (9)		I_{DDA18} (2)		I_{DDA33} (3)	
		典型值(4)	最大值	典型值(4)	最大值	典型值	最大值	典型值(4)	最大值	典型值(4)	最大值
可用（闪存）(6)	下列的外设时钟被启用： • ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6 • eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6 • eQEP1, eQEP2 • eCAN-A • SCI-A, SCI-B（FIFO 模式） • SPI-A（FIFO 模式） • ADC • I2C • CPU 计时器 0、CPU 计时器 1、CPU 计时器 2 所有 PWM 引脚被切换至 150MHz。 所有 I/O 引脚保持未连接状态。(5)	290mA	315mA	30mA	50mA	35mA	40mA	30mA	35mA	1.5mA	2mA
IDLE（闲置）	闪存断电。 XCLKOUT 被关闭。 启用下列外设时钟： • eCAN-A • SCI-A • SPI-A • IC2	100mA	120mA	60 μA	120 μA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA
STANDBY（待机）	闪存断电。 外设时钟关闭。	8mA	15mA	60 μA	120 μA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA
HALT(8)	闪存断电。 外设时钟关闭。 输入时钟禁用。(7)	150 μA		60 μA	120 μA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
(2) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。要实现所示空闲、待机和停机模式的 I_{DDA18} 电流，必须通过写入 PCLKCR0 寄存器来显式关闭 ADC 模块的时钟。
(3) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDAIO} 引脚的电流。
(4) TYP 数适用于常温和标称电压。125°C 时的最大值，和最大电压 (V_{DD}= 2.0V；V_{DDIO}，V_{DD3VFL}，V_{DDA}=3.6V)。
(5) 下面的操作在环路内完成：
- 数据从 SCI-A，SCI-B，SPI-A，McBSP-A，和 eCAN-A 端口连续发出。
- 执行乘法/加法运算。
- 复位看门狗。
- ADC 执行连续转换。ADC 中的数据通过 DMA 传送到 SARAM。
- 执行 XINTF 的 32 位读/写。
- GPIO19 被接通。

(6) 当 SARAM 运行相同的代码时，I_{DD}H 会随着代码从 0 等待状态运行而增加。
(7) 如果一个石英晶振或者陶瓷谐振器被用作时钟源，HALF 模式将关闭内部振荡器。
(8) 停机模式 I_{DD} 电流将随温度呈非线性增加。
(9) 这个表中标明的 I_{DD3VFL} 电流为闪存读取电流，不包括用于擦除/写入操作的额外电流。闪存编程期间，从 V_{DD} 和 V_{DD3VFL} 电源轨汲取额外的电流，如节 7.9.7.3 所示。如果用户应用涉及板载闪存编程，在设计电源级时应该将这个额外电流考虑在内。

备注

器件中实现的外设 I/O 多路复用可防止同时使用所有可用外设。这是因为多个外设功能可能共享一个 I/O 引脚。然而，可同时打开所有外设的时钟，不过此配置并无用处。如果这么做，器件消耗的电流将大于电流消耗表中指定的数值。

7.5.2 SYSCLKOUT 为 150MHz 时 TMS320F28334/F28234 电源引脚的流耗

模式	测试条件	I_{DD}		I_{DDIO} [1]		I_{DD3VFL} [9]		I_{DDA18} [2]		I_{DDA33} [3]	
		典型值[4]	最大值	典型值[4]	最大值	典型值	最大值	典型值[4]	最大值	典型值[4]	最大值
可用（闪存）[6]	下列的外设时钟被启用： • ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6 • eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6 • eQEP1, eQEP2 • eCAN-A • SCI-A, SCI-B（FIFO 模式） • SPI-A（FIFO 模式） • ADC • I2C • CPU 计时器 0、CPU 计时器 1、CPU 计时器 2 所有 PWM 引脚被切换至 150MHz。 所有 I/O 引脚保持未连接状态。[5]	290mA	315mA	30mA	50mA	35mA	40mA	30mA	35mA	1.5mA	2mA

Copyright © 2022 Texas Instruments Incorporated

7.5.2 SYSCLKOUT 为 150MHz 时 TMS320F28334/F28234 电源引脚的流耗 (continued)

模式	测试条件	I_{DD}		I_{DDIO} (1)		I_{DD3VFL} (9)		I_{DDA18} (2)		I_{DDA33} (3)	
		典型值(4)	最大值	典型值(4)	最大值	典型值	最大值	典型值(4)	最大值	典型值(4)	最大值
IDLE（闲置）	闪存断电。 XCLKOUT 被关闭。 启用下列外设时钟： • eCAN-A • SCI-A • SPI-A • IC2	100mA	120mA	60 μA	120mA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA
STANDBY（待机）	闪存断电。 外设时钟关闭。	8mA	15mA	60 μA	120 μA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA
HALT(8)	闪存断电。 外设时钟关闭。 输入时钟禁用。(7)	150 μA		60 μA	120 μA	2 μA	10 μA	5 μA	60 μA	15 μA	20 μA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
(2) I_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 引脚的电流。若要实现所示空闲、待机和停机模式的 I_{DDA18} 电流，必须通过写入 PCLKCR0 寄存器来显式关闭 ADC 模块的时钟。
(3) I_{DDA33} 包括进入 V_{DDA2} 和 V_{DDAIO} 引脚的电流。
(4) TYP 数适用于常温和标称电压。125°C 时的最大值，和最大电压 (V_{DD}= 2.0V；V_{DDIO}，V_{DD3VFL}，V_{DDA}=3.6V)。
(5) 下面的操作在环路内完成：
- 数据从 SCI-A，SCI-B，SPI-A，McBSP-A，和 eCAN-A 端口连续发出。
- 执行乘法/加法运算。
- 复位看门狗。
- ADC 执行连续转换。ADC 中的数据通过 DMA 传送到 SARAM。
- 执行 XINTF 的 32 位读/写。
- GPIO19 被接通。

(6) 当 SARAM 运行相同的代码时，I_{DD}H 会随着代码从 0 等待状态运行而增加。
(7) 如果一个石英晶振或者陶瓷谐振器被用作时钟源，HALF 模式将关闭内部振荡器。
(8) 停机模式 I_{DD} 电流将随温度呈非线性增加。
(9) 这个表中标明的 I_{DD3VFL} 电流为闪存读取电流，不包括用于擦除/写入操作的额外电流。闪存编程期间，从 V_{DD} 和 V_{DD3VFL} 电源轨汲取额外的电流，如节 7.9.7.3 所示。如果用户应用涉及板载闪存编程，在设计电源级时应该将这个额外电流考虑在内。

7.5.3 减少电流消耗

2833x 和 2823x MCU 具有降低器件电流消耗的方法。由于每个外设单元都有单独的时钟启用位，可通过关闭任何未在指定应用中使用的外设模块的时钟来减少电流消耗。此外，可利用这三个低功耗模式中的任何一个来进一步减少电流消耗。表 7-1 表明了由关闭时钟所实现的流耗减少的典型值。

表 7-1. 各种外设的典型电流消耗 (150 MHz 时)

外设 模块[(1)]	I_{DD} 电流 减少/模块 (mA)[(2)]
ADC	8[(3)]
IC2	2.5
eQEP	5
ePWM	5
eCAP	2
SCI	5
SPI	4
eCAN	8
McBSP	7
CPU 计时器	2
XINTF	10[(4)]
DMA	10
FPU	15

(1) 复位时，所有外设时钟被禁用。只有在外设时钟被打开后，才可对外设寄存器进行写入/读取操作。
(2) 对于具有多个实例的外设，按照模块引用电流。例如，为 ePWM 所引出的 5mA 电流数是用于一个 ePWM 模块。
(3) 这个数字代表了 ADC 模块数字部分汲取的电流。关闭到 ADC 模块的时钟也将消除取自 ADC (I_{DDA18}) 模拟部分汲取的电流。
(4) 运行 XINTF 总线对 IDDIO 电流有明显的影响。基于以下原因，这将大大增加此电流：
- 多少个地址/数据引脚从一个周期切换到另一个
- 它们切换的速度有多快
- 使用的接口是 16 位还是 32 位以及
- 这些引脚上的负载。

下面是进一步减少流耗的其它方法：

- 如果代码运行出 SARAM，闪存模块可被断电。这将使 V_{DD3VFL} 电源轨的电流减少 35mA（典型值）
- 当 XCLKOUT 被关闭时，I_{DDIO} 流耗减少了 15mA（典型值）。
- 通过禁用承担输出功能引脚上的上拉电阻器和 XINTF 引脚的上拉电阻器可大大节省 V_{DDIO}。通过这样可以节省 35 mW（典型值）。
- 若要在低功耗模式 (LPM) 下实现超低的 V_{DDA} 电流消耗，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中相应的模拟章节，以确保每个模块也断电。

基线 I_{DD} 电流（此电流是指当内核在无外设被启用的情况下执行一个仿真环路时的电流）为 165mA（典型值）。为了达到一个指定应用所需的 I_{DD} 电流，外设（由应用启用）汲取的电流必须被添加到基线 I_{DD} 电流上。

Copyright © 2022 Texas Instruments Incorporated

7.5.4 电流消耗图

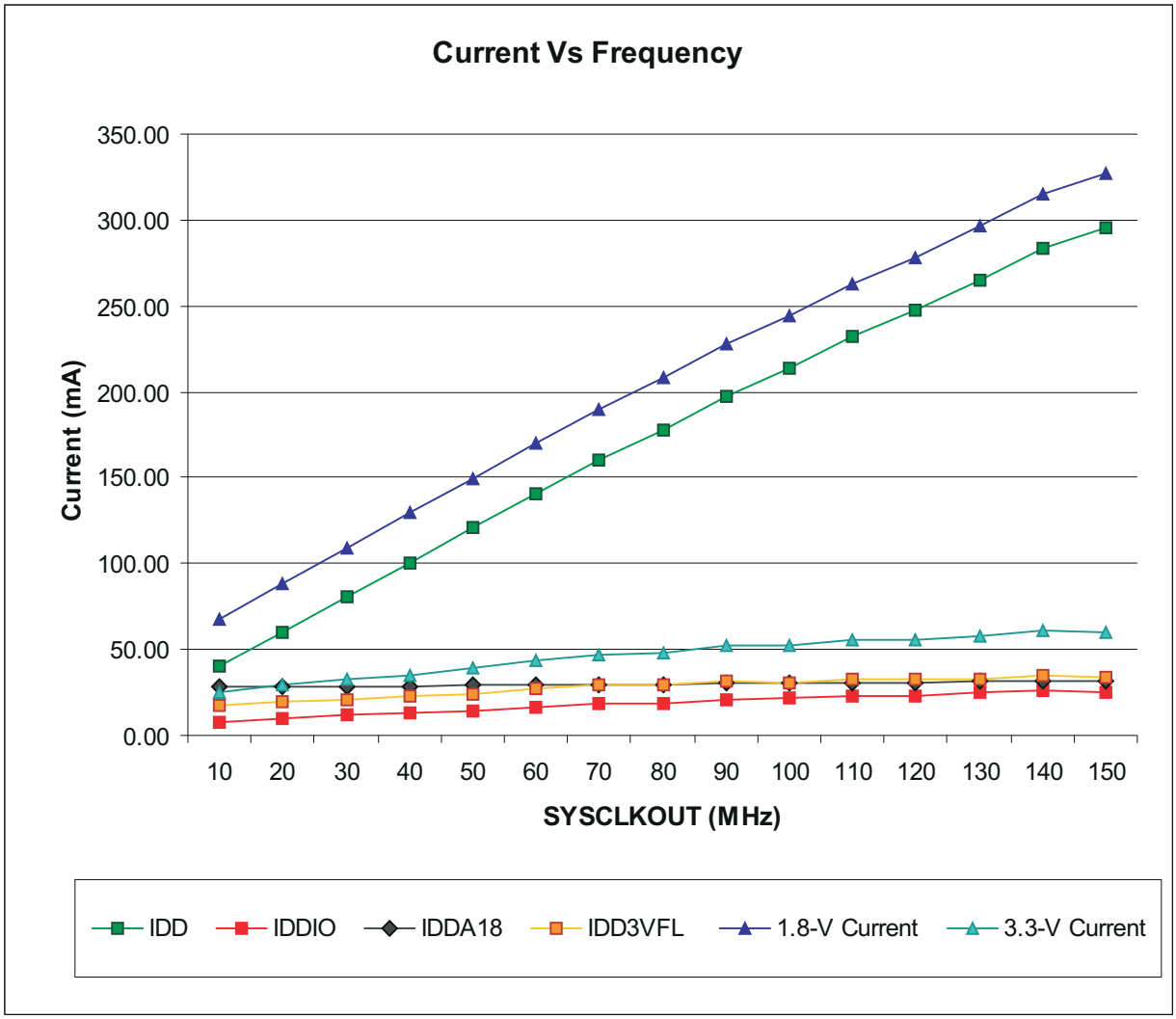


图 7-1. 典型运行电流与频率间的关系（F28335，F28235，F28334，F28234）

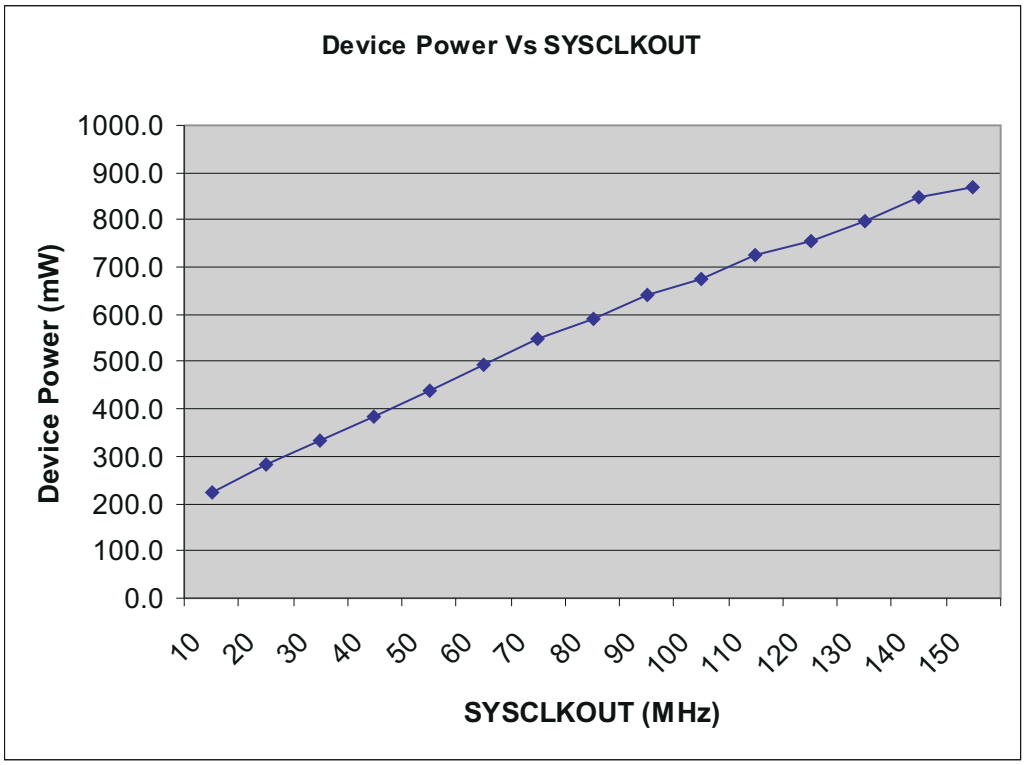


图 7-2. 典型运行功率与频率间的关系（F28335，F28235，F28334，F28234）

备注

100MHz 的器件 (28x32) 的典型工作电流可通过图 7-1 估计。相比于 150MHz 器件，模拟和闪存模块的电流保持不变。然而，可以预计到 IDDIO 电流的少量下降，这是由外设引脚的外部活动的减少造成的，电流的减少主要在 I_{DD} 中。

7.6 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压		$I_{OH}=I_{OH}$ 最大值		2.4			V
			I_{OH}=50 μA		V_{DDIO}-0.2			
V_{OL}	低电平输出电压		$I_{OL}=I_{OL}$ 最大值				0.4	V
I_{IL}	输入电流（低电平）	启用上拉的引脚	V_{DDIO}=3.3V，V_{IN}=0V	所有 I/O（包括 $\overline{XRS}$）	-80	-140	-190	μA
		启用下拉的引脚	V_{DDIO}=3.3V，V_{IN}=0V				±2	
I_{IH}	输入电流（高电平）	启用上拉的引脚	V_{DDIO}=3.3V，$V_{IN}=V_{DDIO}$				±2	μA
		启用下拉的引脚	V_{DDIO}=3.3V，$V_{IN}=V_{DDIO}$		28	50	80	
I_{OZ}	输出电流，上拉电阻器或者下拉电阻器被禁用		$V_O = V_{DDIO}$ 或 0V				±2	μA
C_I	输入电容					2		pF

Copyright © 2022 Texas Instruments Incorporated

7.7 热阻特征

7.7.1 PGF 封装

		°C/W(1) (2)	气流 (lfm)(3)
$R_{\Theta JC}$	结点到外壳	8.2	0
$R_{\Theta JB}$	结点到电路板	28.1	0
$R_{\Theta JA}$（高 k PCB）	结点到环境空气	44	0
		34.5	150
		33	250
		31	500
Psi_{JT}	结至封装顶部	0.12	0
		0.48	150
		0.57	250
		0.74	500
Psi_{JB}	结至电路板	28.1	0
		26.3	150
		25.9	250
		25.2	500

(1) °C/W = 摄氏度/瓦
(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(3) lfm = 线性英尺/分钟

7.7.2 PTP 封装

		°C/W[(1) (2)]	气流 (lfm)[(3)]
$R_{\Theta JC}$	结点到外壳	12.1	0
$R_{\Theta JB}$	结点到电路板	5.1	0
$R_{\Theta JA}$（高 k PCB）	结点到环境空气	17.4	0
		11.7	150
		10.1	250
		8.8	500
Psi_{JT}	结至封装顶部	0.2	0
		0.3	150
		0.4	250
		0.5	500
Psi_{JB}	结至电路板	5.0	0
		4.7	150
		4.7	250
		4.6	500

(1) °C/W = 摄氏度/瓦
(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(3) lfm = 线性英尺/分钟

Copyright © 2022 Texas Instruments Incorporated

7.7.3 ZHH 封装

		°C/W(1) (2)	气流 (lfm)(3)
$R_{\Theta JC}$	结点到外壳	8.8	0
$R_{\Theta JB}$	结点到电路板	12.5	0
$R_{\Theta JA}$（高 k PCB）	结点到环境空气	32.8	0
		24.1	150
		22.9	250
		20.9	500
Psi_{JT}	结至封装顶部	0.09	0
		0.3	150
		0.36	250
		0.48	500
Psi_{JB}	结至电路板	12.4	0
		11.8	150
		11.7	250
		11.5	500

(1) °C/W = 摄氏度/瓦
(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(3) lfm = 线性英尺/分钟

7.7.4 ZAY 封装

		°C/W(1) (2)	气流 (m/s)(3)
$R_{\Theta JC}$	结点到外壳	9.4	0
$R_{\Theta JB}$	结点到电路板	13.5	0
$R_{\Theta JA}$（高 k PCB）	结点到环境空气	28.5	0
		22.8	1
		21.6	2
		20.8	3
Psi_{JT}	结至封装顶部	0.27	0
		0.5	1
		0.7	2
		0.8	3
Psi_{JB}	结至电路板	13.3	0
		13.2	1
		13	2
		12.9	3

(1) °C/W = 摄氏度/瓦
(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(3) m/s = 米/秒

Copyright © 2022 Texas Instruments Incorporated

7.7.5 ZJZ 封装

		°C/W(1) (2)	气流 (lfm)(3)
$R_{\Theta JC}$	结点到外壳	11.4	0
$R_{\Theta JB}$	结点到电路板	12	0
$R_{\Theta JA}$（高 k PCB）	结点到环境空气	29.6	0
		20.9	150
		19.7	250
		18	500
Psi_{JT}	结至封装顶部	0.2	0
		0.78	150
		0.91	250
		1.11	500
Psi_{JB}	结至电路板	12.2	0
		11.6	150
		11.5	250
		11.3	500

(1) °C/W = 摄氏度/瓦
(2) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：
- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(3) lfm = 线性英尺/分钟

7.8 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流会不同。超过 1 瓦功耗的系统可能需要一种产品级别的散热设计。因此，应该注意将 T_j 保持在额定限值内。在终端应用中，应当测量 T_{case}，用于估算工作结温 T_j。T_{case} 通常在封装顶部表面的中央进行测量。热应用手册*半导体和 IC 封装热指标*可帮助了解各项热指标和相关定义。

7.9 时序和开关特性

7.9.1 时序参数符号

所用的时序参数符号是按照 JEDEC 标准 100 创建的。为了缩短符号，有些引脚名称和其他相关术语已如下缩写：

小写下标及其意义：		字母和符号及其意义：	
a	访问时间	H	高
c	周期时间（周期）	L	低
d	延迟时间	V	有效
f	下降时间	X	未知、改变或者不关心级别
h	保持时间	Z	高阻抗
r	上升时间		
su	建立时间		
t	转换时间		
v	有效时间		
w	脉冲持续时间（宽度）		

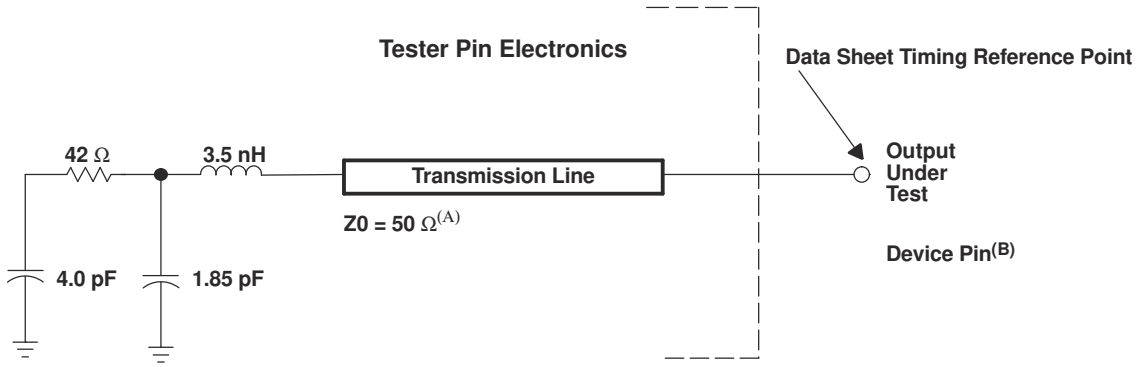
7.9.1.1 定时参数的通用注释

所有 28x 器件的输出信号（包括 XCLKOUT）取自一个内部时钟，这样，对于一个指定半周期的所有输出转换在一个互相之间相对最小转换率时发生。

这个显示在下面时序图中的信号组合也许不一定代表真实的周期。对于真实周期范例，请参见本文档的合适周期说明部分。

7.9.1.2 测试负载电路

此测试负载电路用于测量本文档中提供的所有开关特性。



A. 此数据表中的输入要求是在器件引脚上以小于每纳秒 4 伏 (4V/ns) 的输入转换率测试得出的。

B. 此数据表提供器件引脚上的时序。在分析输出时序时，必须考虑测试仪引脚电子元件及其传输线路影响。可使用具有 2ns 或更长延迟时间的传输线路实现所需的传输线路效果。传输线路只用作负载。无需从数据表时序中增加或者减去传输线路延迟（2ns 或者更长）。

图 7-3. 3.3V 测试负载电路

Copyright © 2022 Texas Instruments Incorporated

7.9.1.3 器件时钟表

这个部分提供针各种可用时钟选项的时序要求和开关特性。节 7.9.1.3.1 和节 7.9.1.3.2 列出了不同时钟的周期时间。

7.9.1.3.1 计时和命名规则（150MHz 器件）

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$，周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN(1)	$t_{c(CI)}$，周期时间	6.67		250	ns
	频率	4		150	MHz
SYSCLKOUT	$t_{c(SCO)}$，周期时间	6.67		500	ns
	频率	2		150	MHz
XCLKOUT	$t_{(XCO)}$，周期时间	6.67		2000	ns
	频率	0.5		150	MHz
HSPCLK(2)	$t_{c(LCO)}$，周期时间	6.67	13.3(3)		ns
	频率		75(3)	150	MHz
LSPCLK(2)	$t_{c(LCO)}$，周期时间	13.3	26.7(3)		ns
	频率		37.5(3)	75(4)	MHz
ADC 时钟	$t_{c(ADCCLK)}$，周期时间	40			ns
	频率			25	MHz

(1) 如果使用一个 1.9V 振荡器，这也应用于 X1 引脚。
(2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗。
(3) 如果 SYSCLKOUT=150MHz，就为此值。
(4) 尽管 LSPCLK 能够达到 100MHz，但对于 150MHz 器件，最小有效“低速外设时钟预分频器寄存器”值是“1”，因此它的额定值为 75MHz。

7.9.1.3.2 计时和命名规则（100MHz 器件）

		最小值	标称值	最大值	单位
片载振荡器时钟	$t_{c(OSC)}$，周期时间	28.6		50	ns
	频率	20		35	MHz
XCLKIN(1)	$t_{c(CI)}$，周期时间	10		250	ns
	频率	4		100	MHz
SYSCLKOUT	$t_{c(SCO)}$，周期时间	10		500	ns
	频率	2		100	MHz
XCLKOUT	$t_{(XCO)}$，周期时间	10		2000	ns
	频率	0.5		100	MHz
HSPCLK(2)	$t_{c(HCO)}$，周期时间	10	20(3)		ns
	频率		50(3)	100	MHz
LSPCLK(2)	$t_{c(LCO)}$，周期时间	10	40(3)		ns
	频率		25(3)	100	MHz
ADC 时钟	$t_{c(ADCCLK)}$，周期时间	40			ns
	频率			25	MHz

(1) 如果使用一个 1.8V 振荡器，这也应用于 X1 引脚。
(2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗。
(3) 如果 SYSCLKOUT=100MHz，这个位缺省值。

7.9.2 电源时序

对于各种电源引脚的加电和断电序列没有特别要求，确保所有模块具有正确的复位状态。然而，如果 I/O 引脚的电平转换输出缓冲器中的 3.3V 晶体管在 1.9V/1.8V 晶体管之前上电，输出缓冲器有可能打开，这会导致上电期间引脚上出现毛刺。为了避免这种情况，V_{DD}（内核电压）引脚应早于 V_{DDIO}（输入/输出电压）引脚或与之同时上电，确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前或与之同时达到 0.7V。

有一些对于 $\overline{XRS}$ 引脚的要求：

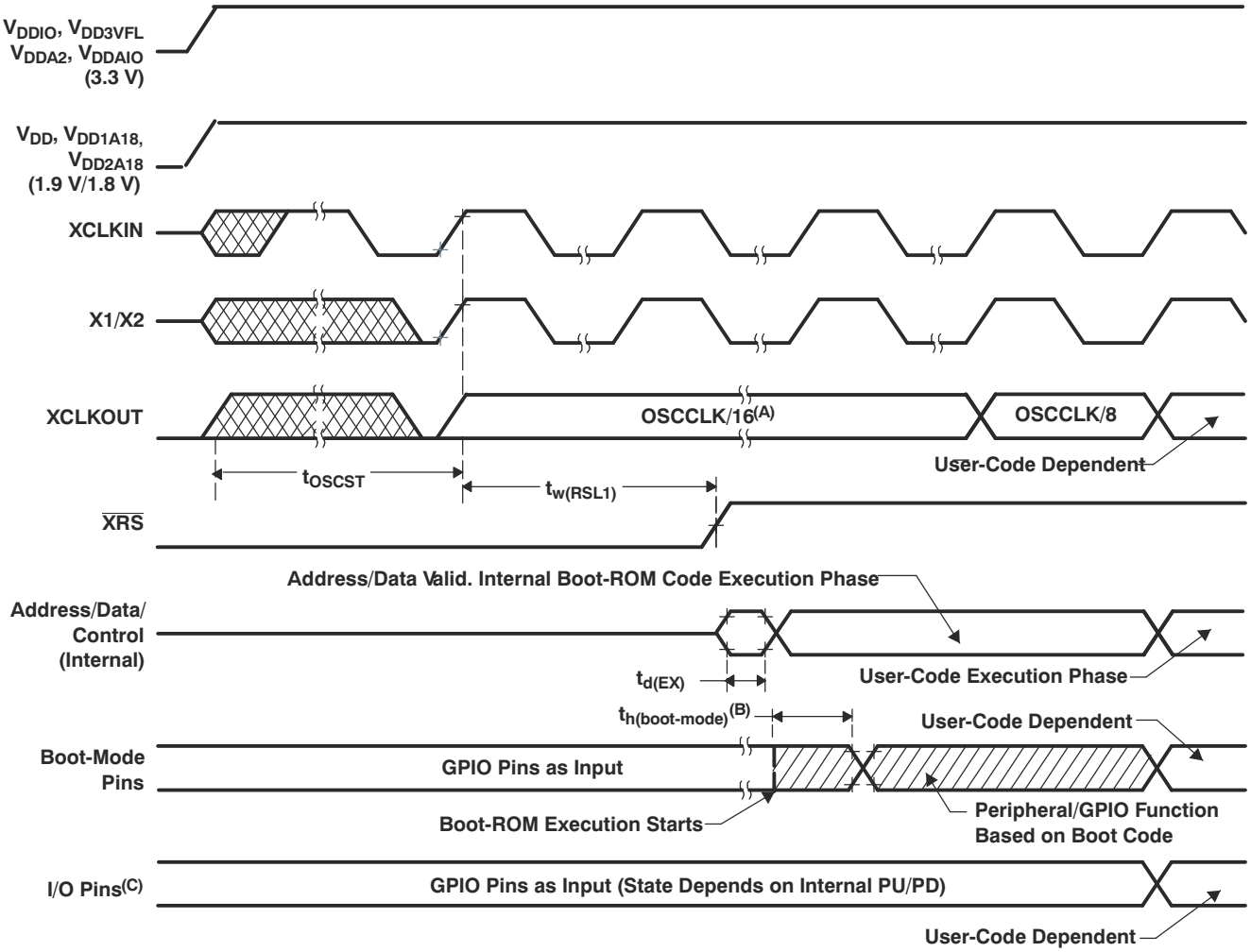
1. 加电期间，$\overline{XRS}$ 引脚必须在输入时钟稳定之后的 $t_{w(RSL1)}$内保持低电平（请见节 7.9.2.2）。这使得整个器件从一个已知的条件启动。
2. 断电期间，$\overline{XRS}$ 引脚必须至少在 V_{DD} 达到 1.5V 之前提前至少 8 μs 下拉至低电平。满足这项要求对于帮助避免意外闪存编程或擦除非常重要。

在器件上电之前，不应将 V_{DDIO} 之上大于二极管压降 (0.7V) 的电压应用于任何数字引脚（对于模拟引脚，此值是高于 V_{DDA} 0.7V 的电压值）。此外，V_{DDIO} 和 V_{DDA} 之间的差距应保持在 0.3V 之内。应用于未加电器件的引脚上的电压会以一种无意的方式偏置内部 p-n 接头并产生无法预料的结果。

7.9.2.1 电源管理和监控电路解决方案

LDO 选择取决于最终应用的总流耗。如需 TI 电源管理 IC 列表，请转至电源管理页面。如需特定的电源管理参考设计，请点击参考设计选项卡。

Copyright © 2022 Texas Instruments Incorporated



A. 上电时，SYSCLKOUT 为 OSCCLK/4。由于 XINTCNF2 寄存器内的 XTIMCLK 和 CLKMODE 位出现复位状态 1，SYSCLKOUT 在出现在 XCLKOUT 上之前会进一步进行 4 分频。这就是在这个阶段 XCLKOUT=OSCCLK/16 的原因。随后，引导 ROM 会将 SYSCLKOUT 改为 OSCCLK/2。因为 XTIMCLK 存器不能被引导 ROM 改变，所以在此阶段，XCLKOUT 为 OSCCLK/8。

B. 复位后，引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

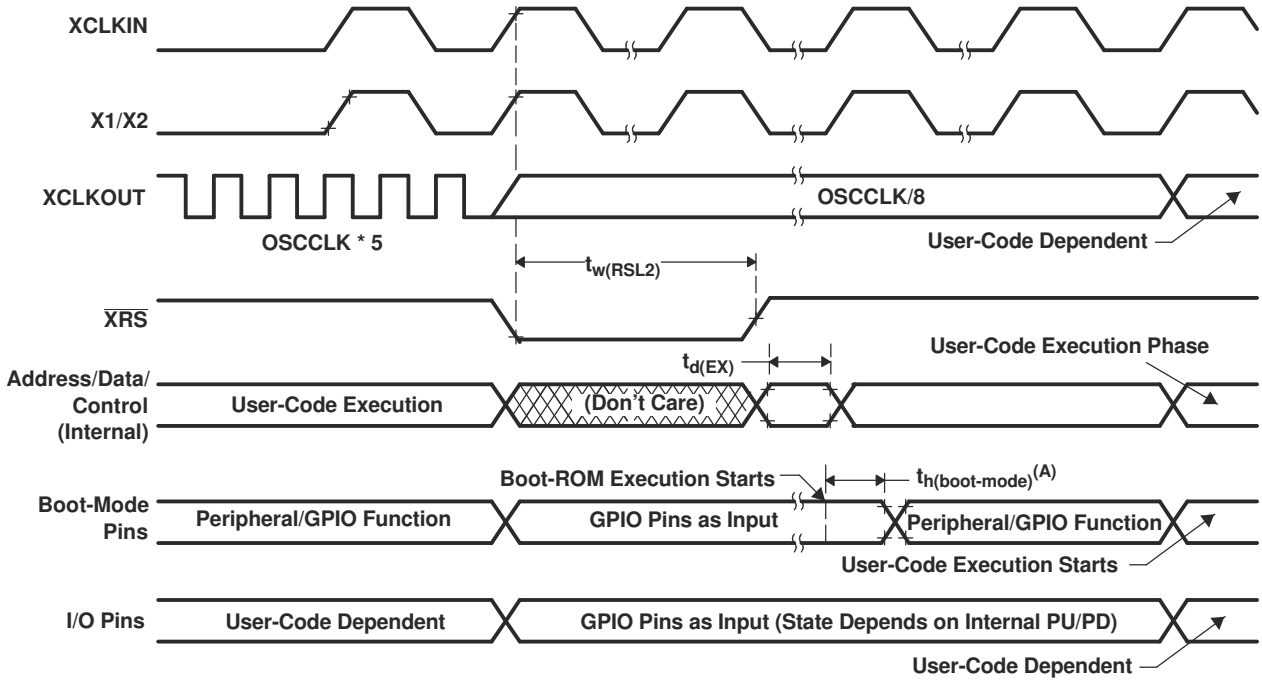
C. 有关为确保 GPIO 引脚在加电期间为高阻抗状态而要满足的要求，请参阅节 7.9.2。

图 7-4. 上电复位

7.9.2.2 复位 ($\overline{XRS}$) 序要求

			最小值	标称值	最大值	单位
$t_{w(RSL1)}$ (1)	脉冲持续时间，稳定输入时钟至 $\overline{XRS}$ 高电平的时间		$32t_{c(OSCCLK)}$			周期
$t_{w(RSL2)}$	脉冲持续时间，$\overline{XRS}$ 低电平的时间	热复位	$32t_{c(OSCCLK)}$			周期
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲			$512t_{c(OSCCLK)}$		周期
$t_{d(EX)}$	延迟时间，$\overline{XRS}$ 高电平后，地址/数据有效			$32t_{c(OSCCLK)}$		周期
t_{OSCST} (2)	振荡器启动时间		1		10	ms
$t_{h(boot\text{-}mode)}$	引导模式引脚的保持时间		$200t_{c(OSCCLK)}$			周期

(1) 除了 $t_{w(RSL1)}$ 要求外，$\overline{XRS}$ 必须在 V_{DD} 达到 1.5V 后保持低电平状态至少 1ms，
(2) 取决于晶体/谐振器和电路板设计。



A. 复位后，引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后（在调试器环境中）执行代码，引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

图 7-5. 热复位

Copyright © 2022 Texas Instruments Incorporated

图 7-6 显示了写入 PLLCR 寄存器所产生的效果的一个示例。在第一个阶段，PLLCR = 0x0004 并且 SYSCLKOUT = OSCCLK × 2。然后，将 0x0008 写入 PLLCR。就在 PLLCR 寄存器被写入后，PLL 锁存阶段开始。在此阶段，SYSCLKOUT = OSCCLK/2。在 PLL 锁存完成后（需要 131072 个 OSCCLK 周期），SYSCLKOUT 会反映新的工作频率，即 OSCCLK × 4。

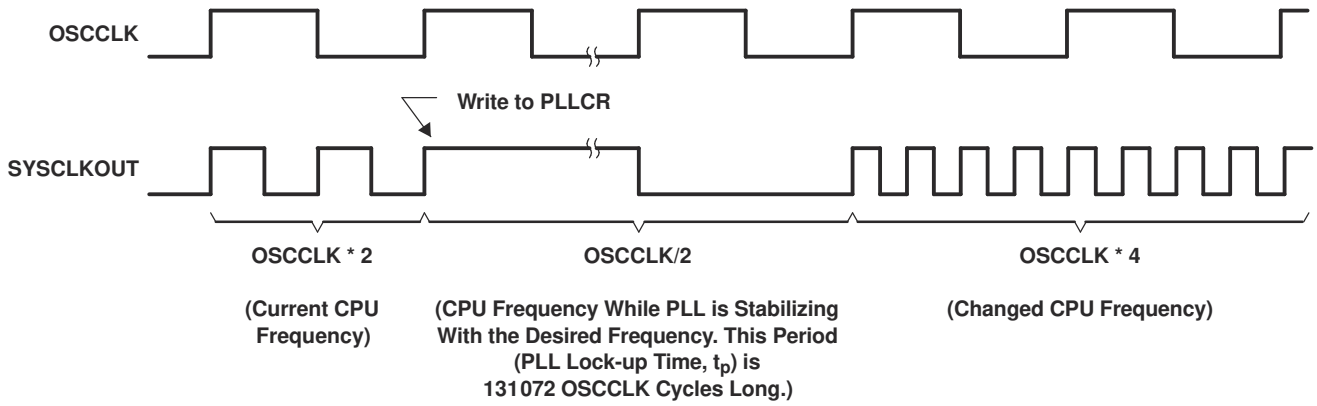


图 7-6. 写入 PLLCR 寄存器所产生的结果的示例

7.9.3 时钟要求和特性

7.9.3.1 输入时钟频率

参数			最小值	典型值	最大值	单位
f_x 输入时钟频率	谐振器 (X1/X2)		20		35	MHz
	晶振 (X1/X2)		20		35	
	外部振荡器/时钟源（XCLKIN 或者 X1 引脚）	150MHz 器件	4		150	
		100MHz 器件	4		100	
f_l 跛行模式 SYSCLKOUT 频率范围（/2 启用时）				1-5		MHz

7.9.3.2 XCLKIN 时序要求- PLL 被启用

编号			最小值	最大值	单位
C8	$t_{c(CI)}$	周期时间，XCLKIN	33.3	200	ns
C9	$t_{f(CI)}$	下降时间，XCLKIN(1)		6	ns
C10	$t_{r(CI)}$	上升时间，XCLKIN(1)		6	ns
C11	$t_{w(CIL)}$	脉冲持续时间，XCLKIN 低电平作为 $t_{c(CI)}$ (1)的一部分的时间	45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间，XCLKIN 高电平是 $t_{c(CI)}$ (1)的一部分时间	45%	55%	jj

(1) 这也被应用到 X1 引脚。

7.9.3.3 XCLKIN 时序要求- PLL 被禁用

编号				最小值	最大值	单位
C8	$t_{c(CI)}$	周期时间，XCLKIN	150MHz 器件	6.67	250	ns
			100MHz 器件	10	250	
C9	$t_{f(CI)}$	下降时间，XCLKIN(1)	高达 30 MHz		6	ns
			30MHz 至 150MHz		2	
C10	$t_{r(CI)}$	上升时间，XCLKIN(1)	高达 30 MHz		6	ns
			30MHz 至 150MHz		2	
C11	$t_{w(CIL)}$	脉冲持续时间，XCLKIN 低电平作为 $t_{c(CI)}$ (1)的一部分的时间		45%	55%	
C12	$t_{w(CIH)}$	脉冲持续时间，XCLKIN 高电平是 $t_{c(CI)}$ (1)的一部分时间		45%	55%	

(1) 这也被应用到 X1 引脚。

表 8-38 中显示了可能的配置模式。

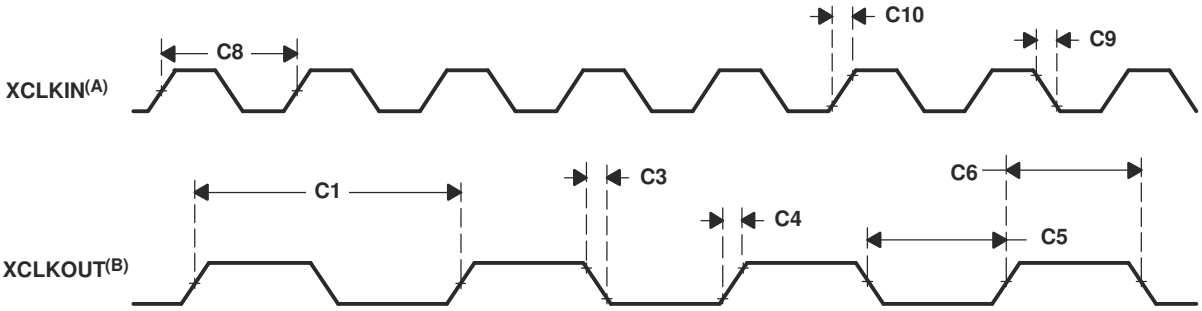
7.9.3.4 XCLKOUT 开关特征（旁路或启用 PLL）

编号	参数(1) (2)			最小值	典型值	最大值	单位
C1	$t_{c(XCO)}$	周期时间，XCLKOUT	150MHz 器件	6.67			ns
			100MHz 器件	10			
C3	$t_{f(XCO)}$	下降时间，XCLKOUT			2		ns
C4	$t_{r(XCO)}$	上升时间，XCLKOUT			2		ns
C5	$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平		H – 2		H + 2	ns
C6	$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平		H – 2		H + 2	ns
	t_p	PLL 锁定时间				$131072t_{c(OSCCLK)}$ (3)	周期

(1) 假定这些参数有 40pF 的负载。
(2) $H = 0.5t_{c(XCO)}$
(3) OSCCLK 或者为片载振荡器的输出，或者是来自一个外部振荡器的输出。

Copyright © 2022 Texas Instruments Incorporated

7.9.3.5 时序图



A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频系数。所示波形关系仅用于说明时序参数，可能因实际配置而异。
B. 已配置 XCLKOUT 以反映 SYSCLKOUT。

图 7-7. 时钟时序

7.9.4 外设

7.9.4.1 通用输入/输出（GPIO）

7.9.4.1.1 GPIO - 输出时序

7.9.4.1.1.1 通用输出开关特性

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8	ns
t_{fGPO}	切换频率，GPO 引脚			25	MHz

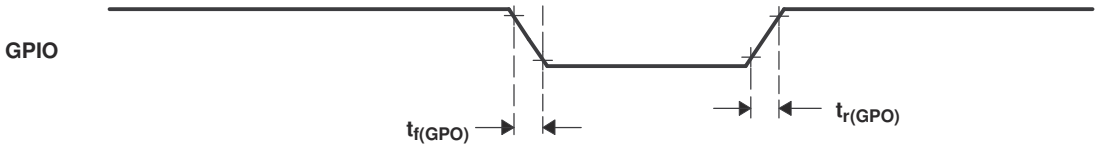


图 7-8. 通用输出时序

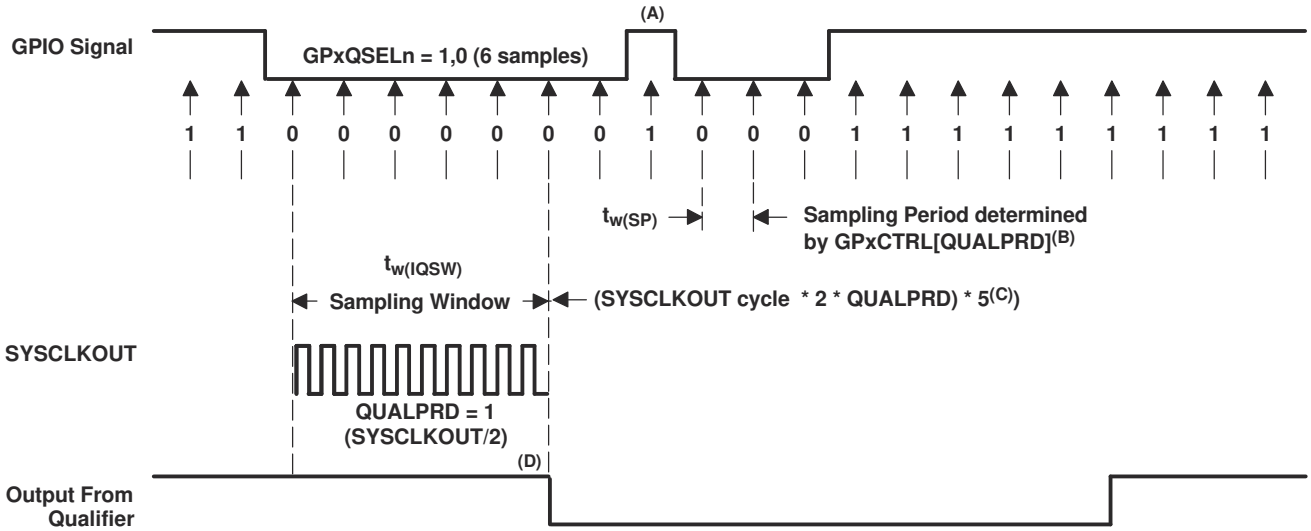
Copyright © 2022 Texas Instruments Incorporated

7.9.4.1.2 GPIO - 输入时序

7.9.4.1.2.1 通用输入时序要求

			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SCO)}$		周期
		QUALPRD≠0	$2t_{c(SCO)}$*QUALPRD		
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)		周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SCO)}$		周期
		带输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值，限定采样周期为 2n SYSCLKOUT 周期（也就是说，在每一个 SYSCLKOUT 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定期会应用于 8 个 GPIO 引脚的组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用的采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说，输入应该在 (5 x QUALPRD x 2) SYSCLKOUT 周期内保持稳定。这将确保发生 5 个用于检测的采样周期。由于外部信号是异步驱动的，因此一个 13 SYSCLKOUT 宽的脉冲将会确保可靠识别。

图 7-9. 采样模式

7.9.4.1.3 输入信号的采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLKOUT 的信号采样频率。

如果 QUALPRD≠0 的话，采样频率 = SYSCLKOUT/(2*QUALPRD)

如果 QUALPRD=0 的话，采样频率 = SYSCLKOUT

如果 QUALPRD≠0 的话，采样周期 = SYSCLKOUT 周期 x 2 x QUALPRD

在上面的等式中，SYSCLKOUT 周期表明 SYSCLKOUT 的时间周期。

如果 QUALPRD=0 的话，采样周期 = SYSCLKOUT 周期

在指定的采样窗口中，采取输入信号的 3 个样本或者 6 个样本来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样本进行鉴定

如果 QUALPRD≠0 的话，采样窗口宽度 = (SYSCLKOUT 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0 的话，采样窗口宽度 = (SYSCLKOUT 周期) x 2

情况 2：

使用 6 个样本进行鉴定

如果 QUALPRD≠0 的话，采样窗口宽度 = (SYSCLKOUT 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0 的话，采样窗口宽度 = (SYSCLKOUT 周期) x 5

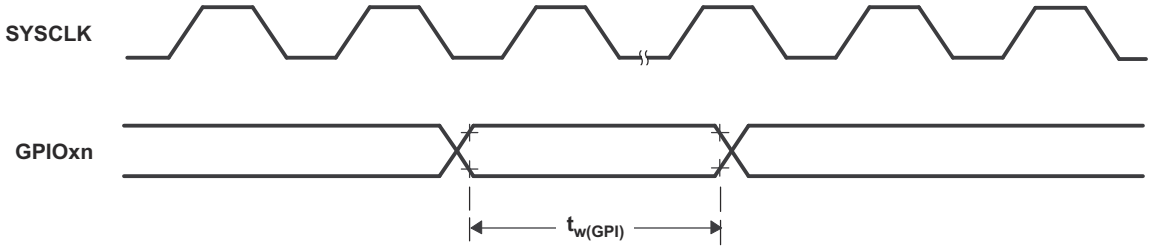


图 7-10. 通用输入时序

Copyright © 2022 Texas Instruments Incorporated

7.9.4.1.4 低功耗模式唤醒时序

节 7.9.4.1.4.1 显示了时序要求，节 7.9.4.1.4.2 显示了开关特性，而图 7-11 显示了空闲模式的时序图。

7.9.4.1.4.1 空闲模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	无输入限定器(1)	$2t_{c(SCO)}$	周期
		带输入限定器(1)	$5t_{c(SCO)}+t_{w(IQSW)}$	

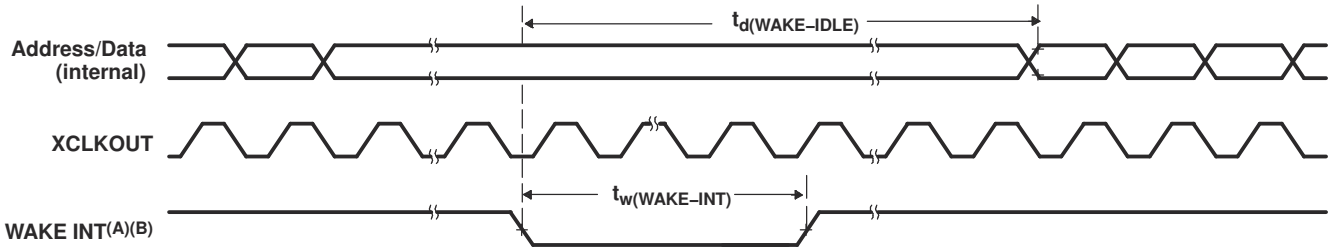
(1) 有关输入限定器参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.1.4.2 空闲模式开关特性

参数		测试条件	最小值 最大值	单位
$t_{d(WAKE-IDLE)}$	外部唤醒信号到程序恢复执行的延迟时间(2)			
	从闪存唤醒 • 处于有效活动状态的闪存模块	无输入限定器(1)	$20t_{c(SCO)}$	周期
		带输入限定器(1)	$20t_{c(SCO)} + t_{w(IQSW)}$	
	从闪存唤醒 • 处于睡眠状态的闪存模块	无输入限定器(1)	$1050t_{c(SCO)}$	周期
		带输入限定器(1)	$1050t_{c(SCO)} + t_{w(IQSW)}$	
	从 SARAM 中唤醒	无输入限定器(1)	$20t_{c(SCO)}$	周期
		带输入限定器(1)	$20t_{c(SCO)} + t_{w(IQSW)}$	

(1) 对于输入限定器器参数的说明，请见节 7.9.4.1.2.1。
(2) 这个时间是指在 IDLE 指令之后立即开始指令执行所需的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

7.9.4.1.4.3 空闲模式时序图



A. WAKE INT 可以是任一被启用的中断，$\overline{WDINT}$，或者 $\overline{XRS}$。
B. 自执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-11. 空闲模式进入和退出时序

7.9.4.1.4.4 待机模式时序要求

			最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号的时间	无输入限定	$3t_{c(OSCCLK)}$		周期
		带输入限定[(1)]	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$		

(1) QUALSTDBY 是 LPMCR0 寄存器中的一个 6 位字段。

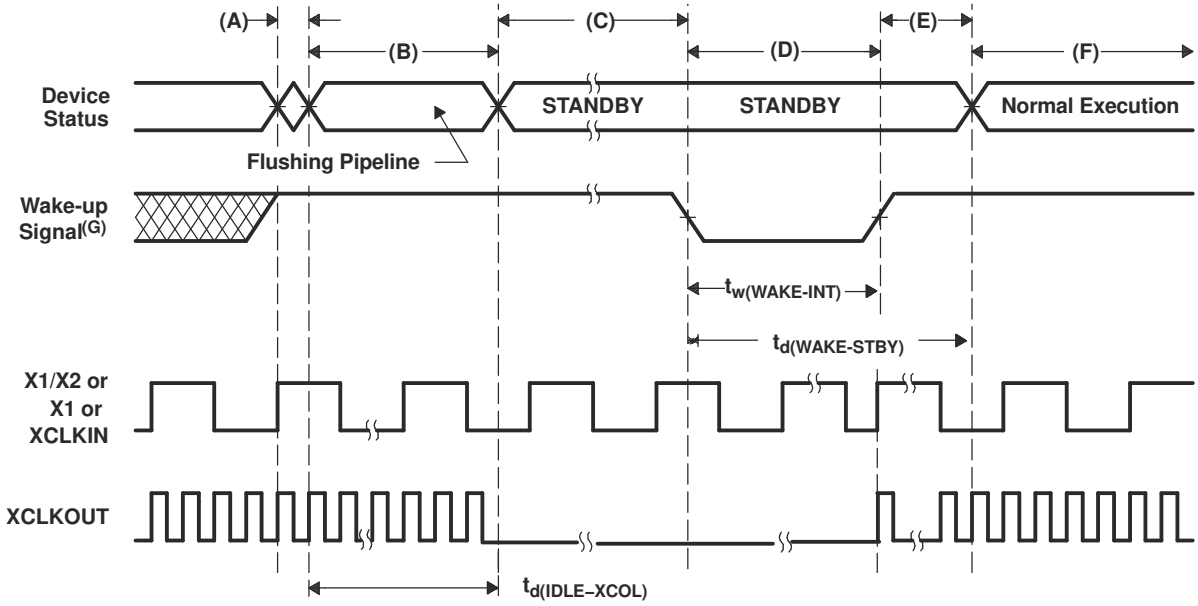
7.9.4.1.4.5 待机模式开关特征

参数		测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令执行到 XCLKOUT 低电平的时间		$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间[(1)]				
	• 从闪存唤醒 – 激活状态中的闪存模块	无输入限定器	$100t_{c(SCO)}$		周期
		带输入限定器	$100t_{c(SCO)} + t_{w(WAKE-INT)}$		
	• 从闪存唤醒 – 睡眠状态中的闪存模块	无输入限定器	$1125t_{c(SCO)}$		周期
		带输入限定器	$1125t_{c(SCO)} + t_{w(WAKE-INT)}$		
	• 从 SARAM 中唤醒	无输入限定器	$100t_{c(SCO)}$		周期
		带输入限定器	$100t_{c(SCO)} + t_{w(WAKE-INT)}$		

(1) 这个时间是在 IDLE 指令之后立即开始指令执行所需的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

Copyright © 2022 Texas Instruments Incorporated

7.9.4.1.4.6 待机模式时序要求



A. 执行 IDLE 指令将器件置于待机模式。

B. PLL 块响应待机信号。SYSCLKOUT 在关闭之前保持以下所示数量的周期：

- 当 DIVSEL=00 或 01 时，16 个周期
- 当 DIVSEL=10 时，32 个周期
- 当 DIVSEL=11 时，64 个周期

此延迟使得 CPU 流水线和其他待定操作适当清除。如果一个到 XINTF 的访问正在进行中并且它的访问时间大于这个值，那么这个访问将发生故障。建议在没有正在进行中的 XINTF 访问时从 SARAM 进入待机模式。

C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。

D. 外部唤醒信号被驱动为有效。

E. 经过一个延迟周期后，退出 待机模式。

F. 正常执行重新开始。器件将响应中断（如果启用）。

G. 自执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-12. 待机模式进入和退出时序图

7.9.4.1.4.7 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE\text{-}GPIO)}$	脉冲持续时间，GPIO 唤醒信号的时间	t_{oscst} + $2t_{c(OSCCLK)}$ (1)		周期
$t_{w(WAKE\text{-}XRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号的时间	t_{oscst}+$8t_{c(OSCCLK)}$		周期

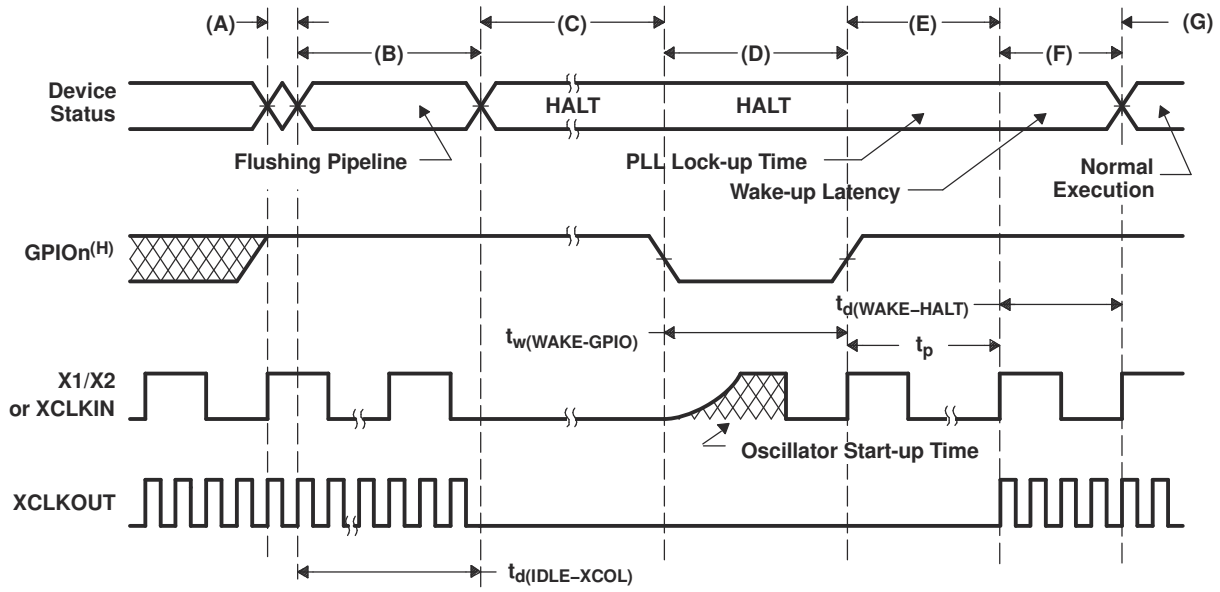
(1) $_{oscst}$ 的解释请见节 7.9.2.2

7.9.4.1.4.8 HALT 模式开关特性

参数		最小值	最大值	单位
$t_{d(IDLE\text{-}XCOL)}$	延迟时间，IDLE 指令被执行到 XCLKOUT 变为低电平的时间	$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
t_p	PLL 锁存时间		$131072t_{c(OSCCLK)}$	周期
$t_{d(WAKE\text{-}HALT)}$	延迟时间，PLL 锁存到程序执行重新开始的时间 • 从闪存唤醒 – 睡眠状态中的闪存模块		$1125t_{c(SCO)}$	周期
	• 从 SARAM 中唤醒		$35t_{c(SCO)}$	周期

Copyright © 2022 Texas Instruments Incorporated

7.9.4.1.4.9 停机模式时序图



A. IDLE 指令被执行以将器件置于停机模式。

B. PLL 块响应停机信号。在振荡器被关闭并且到内核的 CLKIN 被停止前 SYSCLKOUT 在下面所示的一定数量的周期内保持：

- 当 DIVSEL=00 或 01 时，16 个周期
- 当 DIVSEL=10 时，32 个周期
- 当 DIVSEL=11 时，64 个周期

此延迟使得 CPU 流水线和其他待定操作适当清除。如果一个到 XINTF 的访问正在进行中并且它的访问时间大于这个值，那么这个访问将发生故障。建议在没有正在进行中的 XINTF 访问时从 SARAM 进入停机模式。

C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，消耗绝对最小功率。

D. 当 GPIOn 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这使得在 PLL 锁序列期间提供洁净的时钟信号。GPIO 引脚的下降边沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。

E. 一旦振荡器已经稳定，PLL 锁定序列会启动，这将需要 131,072 个 OSCCLK（X1/X2、X1 或 XCLKIN）周期。请注意，即使当 PLL 被禁用（也就是说，即使当 PLL 被禁用时，代码执行也将被这个持续时间推迟），131072 个时钟周期也适用。

F. 到内核的时钟和外设被启用。现在退出 HALT 模式。一个延迟后，这个器件将相应此中断（如果被启用的话）。

G. 正常运行重新开始。

H. 自执行将器件置于低功耗模式 (LPM) 的 IDLE 指令开始，至少经历 4 个 OSCCLK 周期后才启动唤醒。

图 7-13. 使用 GPIOn 唤醒停机模式

7.9.4.2 增强型控制外设

7.9.4.2.1 增强型脉宽调制器 (ePWM) 时序

PWM 是指 ePWM1-6 上的 PWM 输出。节 7.9.4.2.1.1 显示了 PWM 时序要求，而节 7.9.4.2.1.2 显示了 ePWM 开关特性。

7.9.4.2.1.1 ePWM 时序要求

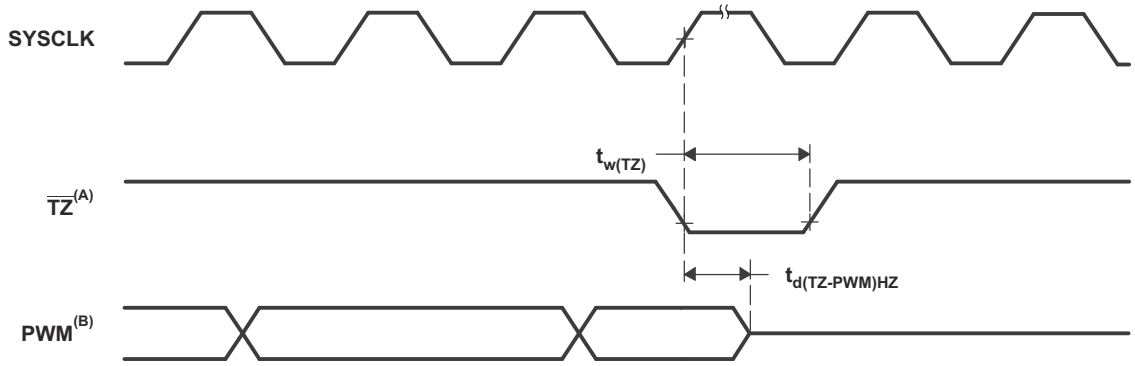
			最小值	最大值	单位
$t_{w(SYCIN)}$	同步输入脉冲宽度	异步	$2t_{c(SCO)}$		周期
		同步	$2t_{c(SCO)}$		
		带输入限定器(1)	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.2.1.2 ePWM 开关特征

参数		测试条件	最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平		20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度		$8t_{c(SCO)}$		周期
$t_{d(PWM)tza}$	延迟时间，跳闸有源输入到 PWM 强制高电平 延迟时间，跳闸有源输入到 PWM 强制低电平	无引脚负载		25	ns
$t_{d(TZ-PWM)HZ}$	延迟时间，触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间			20	ns

7.9.4.2.2 跳变区输入时序



A. $\overline{TZ}$-$\overline{TZ1}$，$\overline{TZ2}$，$\overline{TZ3}$，$\overline{TZ4}$，$\overline{TZ5}$，$\overline{TZ6}$

B. PWM 是指所有器件内的 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 7-14. PWM Hi-Z 特性

7.9.4.2.2.1 跳闸区域输入时序要求

			最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平	异步	$1t_{c(SCO)}$		周期
		同步	$2t_{c(SCO)}$		
		带输入限定器(1)	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

Copyright © 2022 Texas Instruments Incorporated

7.9.4.2.3 高分辨率 PWM 时序

节 7.9.4.2.3.1 显示了高分辨率 PWM 的开关特性。

7.9.4.2.3.1 在 SYSCLKOUT=(60150-150300MHz) 时，高分辨率 PWM 特性

	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长[(1)]		150	310	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 函数的详细信息，请参阅 TI 软件库。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLKOUT 周期内的 MEP 步数量。

7.9.4.2.4 增强型捕捉 (eCAP) 时序

节 7.9.4.2.4.1 显示了 eCAP 时序要求，且节 7.9.4.2.4.2 显示了 eCAP 开关特征。

7.9.4.2.4.1 增强型捕捉 (eCAP) 时序要求

			最小值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SCO)}$		周期
		同步	$2t_{c(SCO)}$		
		带输入限定器[(1)]	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.2.4.2 eCAP 开关特征

参数		测试条件	最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平		20		ns

7.9.4.2.5 增强型正交编码器脉冲 (eQEP) 时序

节 7.9.4.2.5.1 显示了 eQEP 时序要求，而节 7.9.4.2.5.2 显示了 eQEP 开关特性。

7.9.4.2.5.1 增强型正交编码器脉冲 (eQEP) 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	异步(1)/同步	$2t_{c(SCO)}$		周期
		带输入限定器(2)	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	异步(1)/同步	$2t_{c(SCO)}$		周期
		带输入限定器(2)	$2t_{c(SCO)}+t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	异步(1)/同步	$2t_{c(SCO)}$		周期
		带输入限定器(2)	$2t_{c(SCO)}+t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP 选通脉冲高电平时间	异步(1)/同步	$2t_{c(SCO)}$		周期
		带输入限定器(2)	$2t_{c(SCO)}+t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP 选通脉冲输入低电平时间	异步(1)/同步	$2t_{c(SCO)}$		周期
		带输入限定器(2)	$2t_{c(SCO)}+t_{w(IQSW)}$		

(1) 请参阅 *TMS320F2833x、TMS320F2823x 实时 MCU 器件勘误表*，了解异步模式下的限制。
(2) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.2.5.2 eQEP 开关特性

参数		测试条件	最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量的时间			$4t_{c(SCO)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出的时间			$6t_{c(SCO)}$	周期

Copyright © 2022 Texas Instruments Incorporated

7.9.4.2.6 ADC 转换开始时序

7.9.4.2.6.1 外部 ADC 转换开始开关特性

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{ADCSOCxO}$ 低电平	$32t_{c(HCO)}$		个周期

7.9.4.2.6.2 $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

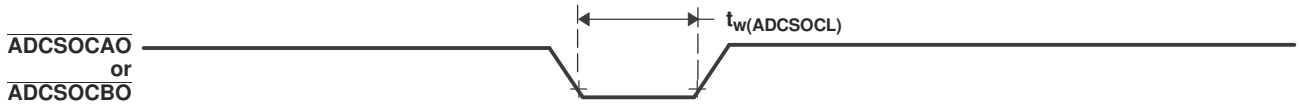


图 7-15. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

7.9.4.3 外部中断时序

7.9.4.3.1 外部中断时序要求

			最小值	最大值	单位
$t_{w(INT)}$ (1)	脉冲持续时间，INT 输入低电平/高电平	同步	$1t_{c(SCO)}$		周期
		带限定器(2)	$1t_{c(SCO)} + t_{w(IQSW)}$		

(1) 这个时序适用于为 ADCSOC 功能性所配置的任一 GPIO 引脚。
(2) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.3.2 外部中断开关特征

参数(1)		最小值	最大值	单位
$t_{d(INT)}$	延迟时间，INT 低电平/高电平到中断矢量提取的时间		$t_{w(IQSW)} + 12t_{c(SCO)}$	周期

(1) 有关输入限定符参数的说明，请参阅节 7.9.4.1.2.1。

7.9.4.3.3 外部中断时序要求

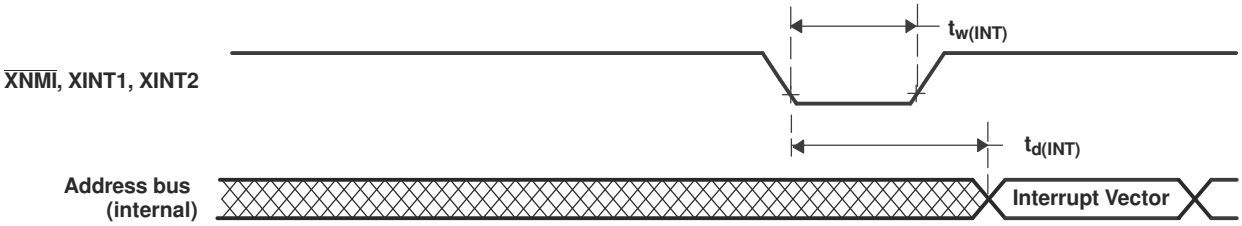


图 7-16. 外部中断时序

7.9.4.4 I2C 电气特性和时序

7.9.4.4.1 I2C 时序

		测试条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置		400	kHz
v_{il}	低电平输入电压			0.3 V_{DDIO}	V
V_{ih}	高电平输入电压		0.7 V_{DDIO}		V
V_{hys}	输入滞后		0.05 V_{DDIO}		V
V_{ol}	低电平输出电压	3mA 灌电流	0	0.4	V
t_{LOW}	SCL 时钟的低周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	1.3		μs
t_{HIGH}	SCL 时钟的高周期	I2C 时钟模块频率介于 7MHz 和 12MHz 之间并且 I2C 预分频器和时钟分频器寄存器被适当配置	0.6		μs
I_I	输入电压介于 $0.1V_{DDIO}$ 和 $0.9V_{DDIO}$（最大值）的输入电流		-10	10	μA

Copyright © 2022 Texas Instruments Incorporated

7.9.4.5 串行外设接口 (SPI) 模块

本节包含两个主模式和从模式时序数据。

7.9.4.5.1 主模式时序

节 7.9.4.5.1.1 列出了主模式时序（时钟相位 = 0），节 7.9.4.5.1.2 列出了主模式时序（时钟相位 = 1）。图 7-17 和图 7-18 显示了时序波形。

7.9.4.5.1.1 SPI 主模式外部时序（时钟相位 = 0）

编号	参数(1) (2) (3) (4) (5)		BRR EVEN		BRR ODD		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间，SPICLK 的时间	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK 第一个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK 第二个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间		10		10	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$	设置时间，SPICLK 之前 SPISOMI 的时间	35		35		ns
9	$t_{h(SOMI)M}$	保持时间，SPICLK 之后 SPISOMI 有效的时间	0		0		ns
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	延迟时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

(1) 主/从位 (SPICTL.2) 已设定，时钟相位的位 (SPICTL.3) 已清除。
(2) $t_{c(SPC)}$ = SPI 时钟周期时间 = LSPCLK/4 或 LSPCLK/(SPIBRR +1)
(3) $t_{c(LCO)}$ = LSPCLK 周期时间
(4) 必须调节内部时钟预分频器，以将 SPI 时钟速度限制在以下 SPI 时钟速率：
主模式发送频率最大 25MHz，主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz，从模式接收频率最大 12.5MHz。
(5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

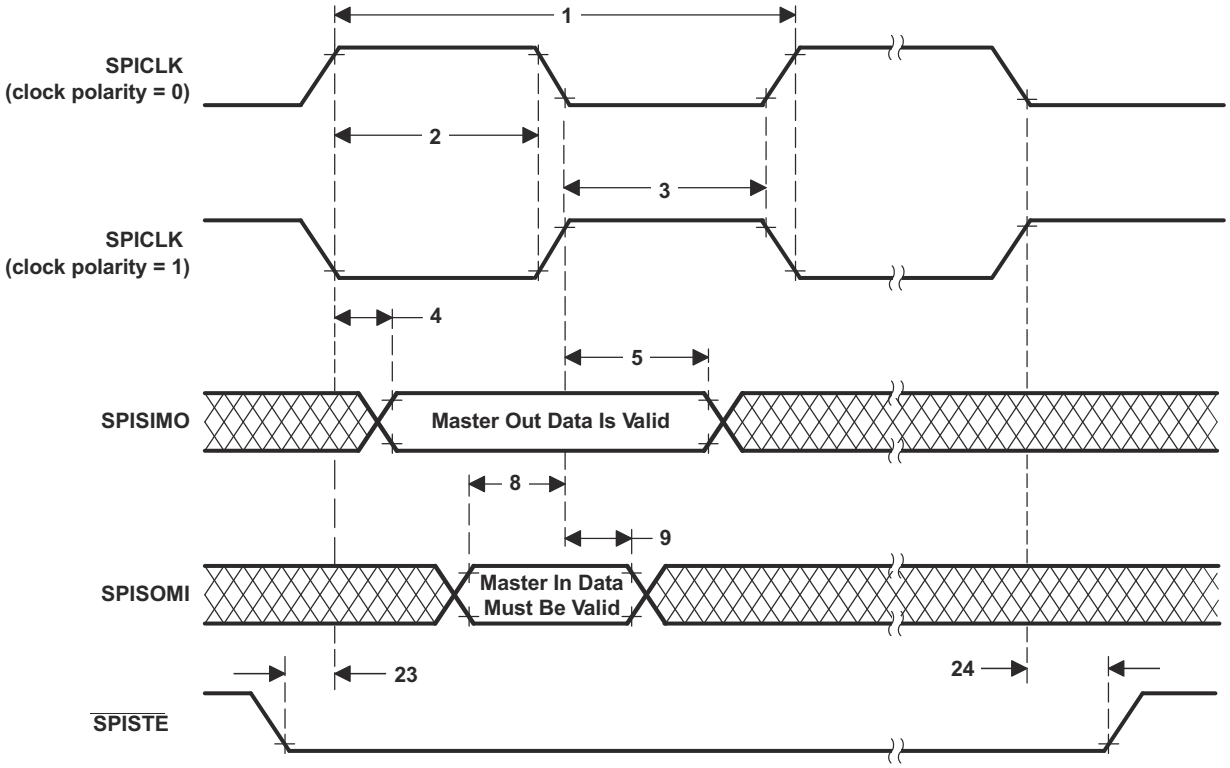


图 7-17. SPI 主模式外部时序（时钟相位 = 0）

Copyright © 2022 Texas Instruments Incorporated

7.9.4.5.1.2 SPI 主模式外部时序（时钟相位 = 1）

编号	参数(1) (2) (3) (4) (5)		BRR EVEN		BRR ODD		单位
			最小值	最大值	最小值	最大值	
1	$t_{c(SPC)M}$	周期时间，SPICLK 的时间	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK 第一个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK 第二个脉冲的时间	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$	设置时间，SPICLK 之前 SPISOMI 的时间	35		35		ns
11	$t_{h(SOMI)M}$	保持时间，SPICLK 之后 SPISOMI 有效的时间	0		0		ns
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	延迟时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} - 0.5t_{c(LSPCLK)} - 10$		ns

(1) 主/从位 (SPICTL.2) 已设定，时钟相位的位 (SPICTL.3) 已设定。
(2) $t_{c(SPC)}$ = SPI 时钟周期时间 = LSPCLK/4 或 LSPCLK/(SPIBRR +1)
(3) 必须调节内部时钟预分频器，以将 SPI 时钟速度限制在以下 SPI 时钟速率：
主模式发送频率最大 25MHz，主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz，从模式接收频率最大 12.5MHz。
(4) $t_{c(LCO)}$ = LSPCLK 周期时间
(5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

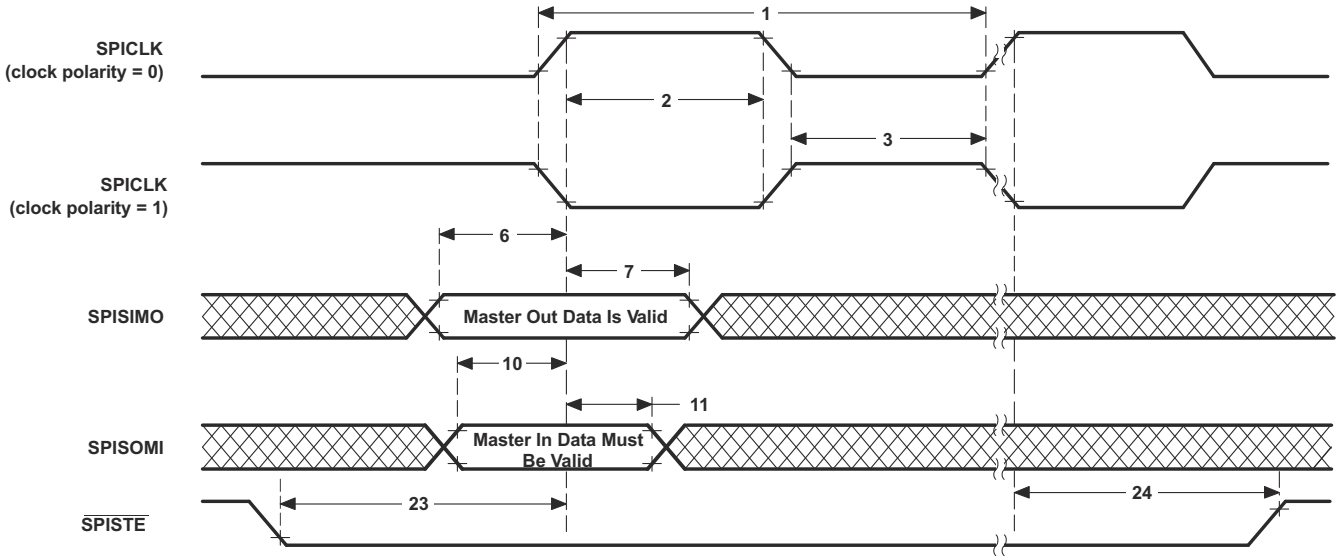


图 7-18. SPI 主模式外部时序（时钟相位 = 1）

7.9.4.5.2 从模式时序

节 7.9.4.5.2.1 列出了从模式时序（时钟相位 = 0），节 7.9.4.5.2.2 列出了从模式时序（时钟相位 = 1）。图 7-19 和图 7-20 显示了时序波形。

7.9.4.5.2.1 SPI 从模式外部时序（时钟相位 = 0）

编号	参数(1) (2) (3) (4) (5)		最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK 第一个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK 第二个脉冲的时间	$2t_{c(SYSCLK)} - 1$		ns
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		35	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 数据有效的时间	0		ns
19	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	保持时间，SPICLK 之后 SPISIMO 数据有效的时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	设置时间，SPICLK 之前 $\overline{SPISTE}$ 活动的时间	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$	保持时间，SPICLK 之后 $\overline{SPISTE}$ 非活动的时间	$1.5t_{c(SYSCLK)}$		ns

(1) 主/从位 (SPICTL.2) 已清除，时钟相位的位 (SPICTL.3) 已清除。
(2) $t_{c(SPC)}$ = SPI 时钟周期时间 = LSPCLK/4 或 LSPCLK/(SPIBRR +1)
(3) $t_{c(LCO)}$ = LSPCLK 周期时间
(4) 必须调节内部时钟预分频器，以将 SPI 时钟速度限制在以下 SPI 时钟速率：
主模式发送频率最大 25MHz，主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz，从模式接收频率最大 12.5MHz。
(5) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

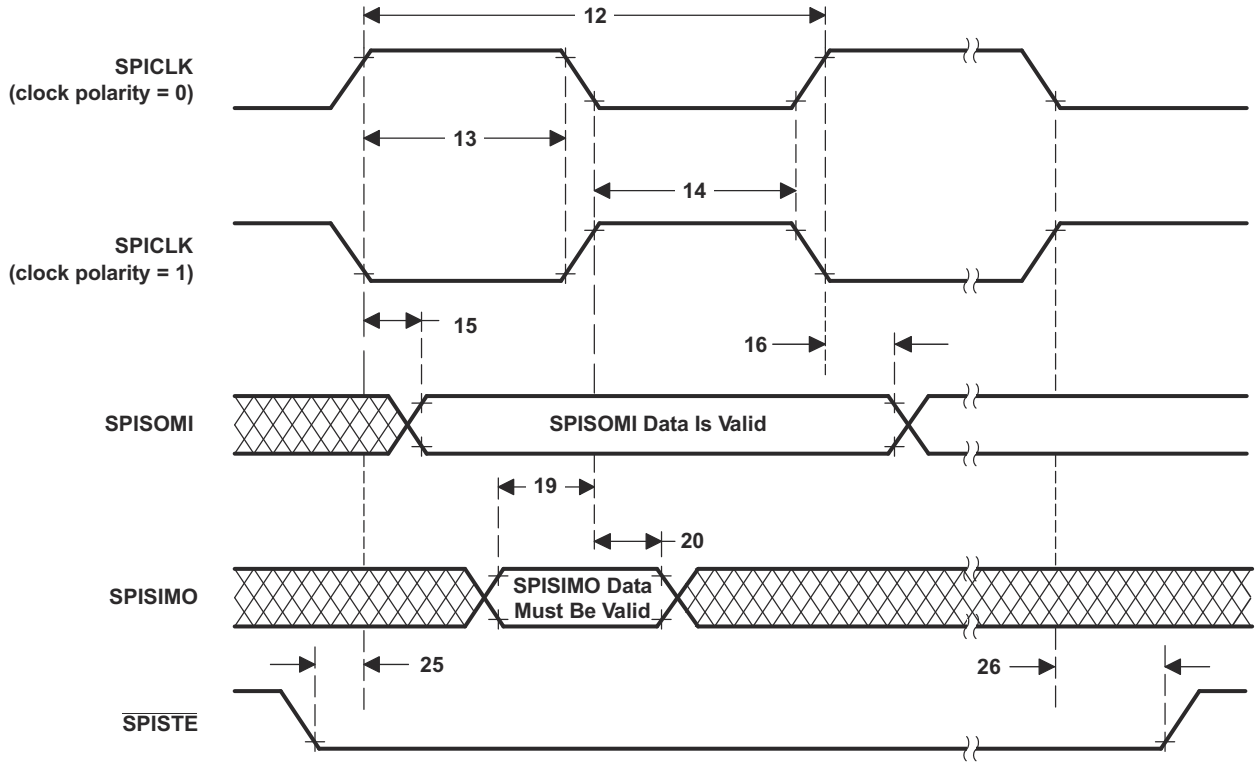


图 7-19. SPI 从模式外部时序（时钟相位 = 0）

Copyright © 2022 Texas Instruments Incorporated

7.9.4.5.2.2 SPI 从模式外部时序（时钟相位 = 1）

编号	参数(1) (2) (3) (4)		最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK 第一个脉冲的时间	$2t_{c(SYSCLK)}$ – 1		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK 第二个脉冲的时间	$2t_{c(SYSCLK)}$ – 1		ns
17	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		35	ns
18	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 数据有效的时间	0		ns
21	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
22	$t_{h(SIMO)S}$	保持时间，SPICLK 之后 SPISIMO 数据有效的时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	设置时间，SPICLK 之前 $\overline{\text{SPISTE}}$ 活动的时间	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$	保持时间，SPICLK 之后 $\overline{\text{SPISTE}}$ 非活动的时间	$1.5t_{c(SYSCLK)}$		ns

(1) 主/从位 (SPICTL.2) 已清除，时钟相位的位 (SPICTL.3) 已清除。
(2) $t_{c(SPC)}$ = SPI 时钟周期时间 = LSPCLK/4 或 LSPCLK/(SPIBRR +1)
(3) 必须调节内部时钟预分频器，以将 SPI 时钟速度限制在以下 SPI 时钟速率：
主模式发送频率最大 25MHz，主模式接收频率最大 12.5MHz
从模式发送频率最大 12.5MHz，从模式接收频率最大 12.5MHz。
(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPICCR.6) 控制。

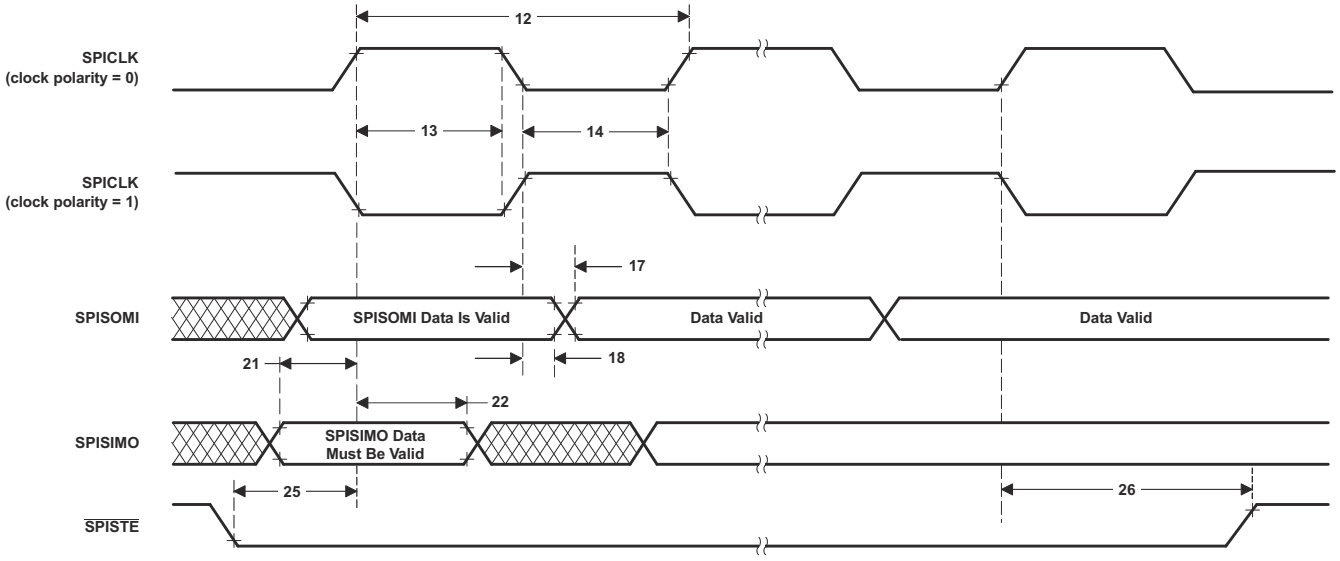


图 7-20. SPI 从模式外部时序（时钟相位 = 1）

7.9.4.6 多通道缓冲串行端口 (McBSP) 模块

7.9.4.6.1 McBSP 传输和接收时序

7.9.4.6.1.1 McBSP 时序要求

编号				最小值	最大值	单位
		McBSP 模块时钟（CLKG、CLKX、CLKR）范围[1]		1		kHz
					25 [3]	MHz
		McBSP 模块周期时间（CLKG、CLKX、CLKR）范围[1]		40		ns
					1	ms
M11	$t_{c(CKRX)}$	周期时间，CLKR/X[1]	CLKR/X 外部	2P[2]		ns
M12	$t_{w(CKRX)}$	脉冲持续时间，CLKR/X 高电平或者 CLKR/X 低电平[1]	CLKR/X 外部	P – 7		ns
M13	$t_{r(CKRX)}$	上升时间，CLKR/X[1]	CLKR/X 外部		7	ns
M14	$t_{f(CKRX)}$	下降时间，CLKR/X[1]	CLKR/X 外部		7	ns
M15	$t_{su(FRH-CKRL)}$	建立时间，CLKR 低电平之前外部 FSR 高电平的时间[1]	CLKR 内部	18		ns
			CLKR 外部	2		
M16	$t_{h(CKRL-FRH)}$	保持时间，CLKR 低电平之后外部 FSR 高电平的时间[1]	CLKR 内部	0		ns
			CLKR 外部	6		
M17	$t_{su(DRV-CKRL)}$	建立时间，CLKR 低电平之前 DR 有效的时间[1]	CLKR 内部	18		ns
			CLKR 外部	2		
M18	$t_{h(CKRL-DRV)}$	在 CLKR 低电平之后，DR 有效的保持时间[1]	CLKR 内部	0		ns
			CLKR 外部	6		
M19	$t_{su(FXH-CKXL)}$	在 CLKX 低电平之前，外部 FSX 为高电平的建立时间[1]	CLKX 内部	18		ns
			CLKX 外部	2		
M20	$t_{h(CKXL-FXH)}$	在 CLKX 低电平之后，外部 FSX 为高电平的保持时间[1]	CLKX 内部	0		ns
			CLKX 外部	6		

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。

(2) 2P=1/CLKG，单位为 ns。CLKG 是采样率发生器复用器的输出。CLKG = $\frac{CLKSRG}{(1 + CLKGDV)}$ CLKSRG 可由 LSPCLK，CLKX，CLKR 供源。CLKSRG≤(SYSCLKOUT/2).McBSP 的性能受到 I/O 缓冲器开关速度的限制。

(3) 必须调节内部时钟预分频器，使得 McBSP 时钟（CLKG、CLKX、CLKR）速度不大于 I/O 缓冲器速度限值 (25MHz)。

Copyright © 2022 Texas Instruments Incorporated

7.9.4.6.1.2 McBSP 开关特征

编号	参数[1]				最小值	最大值	单位
M1	$t_{c(CKRX)}$	周期时间，CLKR/X		CLKR/X 内部	2P[2]		ns
M2	$t_{w(CKRXH)}$	脉冲持续时间，CLKR/X 高电平		CLKR/X 内部	D-5 [3]	D+5 [3]	ns
M3	$t_{w(CKRXL)}$	脉冲持续时间，CLKR/X 低电平		CLKR/X 内部	C-5 [3]	C+5 [3]	ns
M4	$t_{d(CKRH-FRV)}$	CLKR 高电平到内部 FSR 有效的延迟时间		CLKR 内部	0	4	ns
				CLKR 外部	3	27	
M5	$t_{d(CKXH-FXV)}$	CLKX 高电平到内部 FSX 有效的延迟时间		CLKX 内部	0	4	ns
				CLKX 外部	3	27	
M6	$t_{dis(CKXH-DXHZ)}$	CLKX 高电平到 DX 在最后一个数据位后为高阻抗的禁用时间		CLKX 内部		8	ns
				CLKX 外部		14	
M7	$t_{d(CKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间。 这应用于除传输的第一个位之外的所有位。		CLKX 内部		9	ns
				CLKX 外部		28	
		延迟时间，CLKX 高电平到 DX 有效的时间 当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于发送的第一个位。	DXENA=0	CLKX 内部		8	
				CLKX 外部		14	
			DXENA=1	CLKX 内部		P+8	
				CLKX 外部		P+14	
M8	$t_{en(CKXH-DX)}$	CLKX 高电平待 DX 被驱动的使能时间 当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于发送的第一个位。	DXENA=0	CLKX 内部	0		ns
				CLKX 外部	6		
			DXENA=1	CLKX 内部	P		
				CLKX 外部	P+6		
M9	$t_{d(FXH-DXV)}$	FSX 高电平到 DX 有效的延迟时间 当处于数据延迟 0（XDATDLY=00b）模式时，只应用于发送的第一个位。	DXENA=0	FSX 内部		8	ns
				FSX 外部		14	
			DXENA=1	FSX 内部		P+8	
				FSX 外部		P+14	
M10	$t_{en(FXH-DX)}$	FSX 高电平到 DX 驱动的使能时间 当处于数据延迟 0（XDATDLY=00b）模式时，只应用于传输的第一个位	DXENA=0	FSX 内部	0		ns
				FSX 外部	6		
			DXENA=1	FSX 内部	P		
				FSX 外部	P+6		

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。
(2) 2P=1/CLKG，单位为 ns。
(3) C=CLKRX 低脉冲宽度=P
D=CLKRX 高脉冲宽度=P

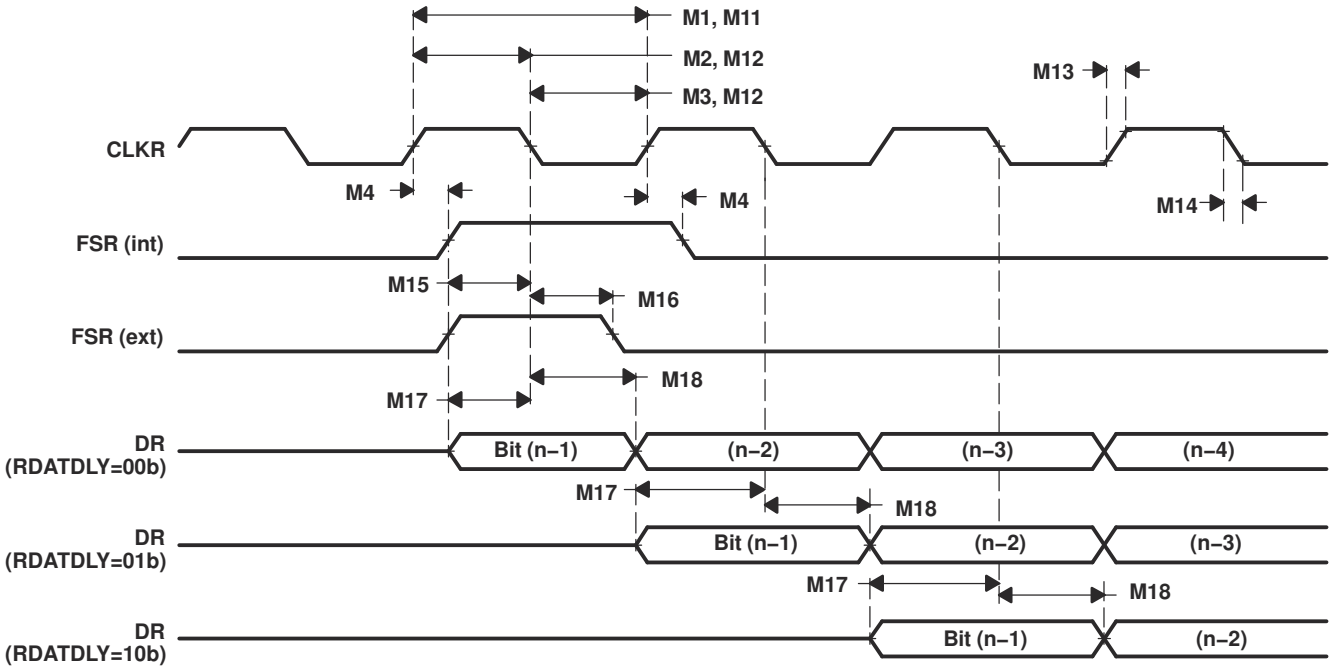


图 7-21. McBSP 接收时序

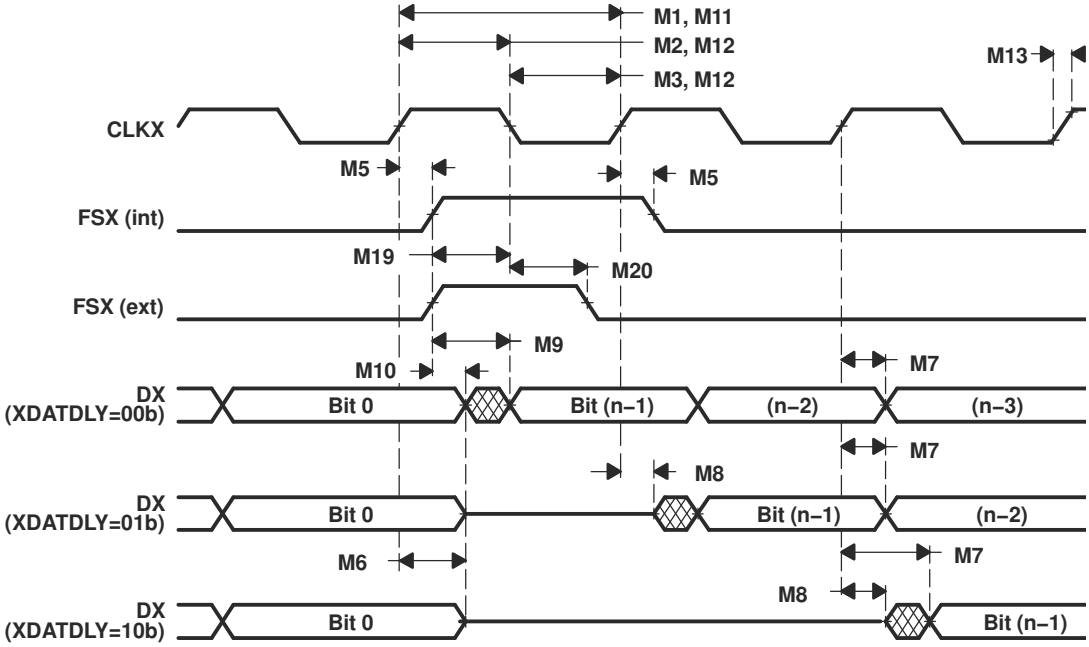


图 7-22. McBSP 传输时序

Copyright © 2022 Texas Instruments Incorporated

7.9.4.6.2 McBSP 作为 SPI 主器件或从器件时序

7.9.4.6.2.1 McBSP 作为 SPI 主器件或从器件时的时序要求（CLKSTP=10b，CLKXP=0）

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M30	$t_{su(DRV-CKXL)}$	建立时间，CLKX 低电平之前 DR 有效的时间(1)	30		8P-10		ns
M31	$t_{h(CKXL-DRV)}$	保持时间，CLKX 低电平之后 DR 有效的时间(1)	1		8P-10		ns
M32	$t_{su(BFXL-CKXH)}$	建立时间，CLKX 高电平之前 FSX 低电平的时间(1)			8P+10		ns
M33	$t_{c(CKX)}$	周期时间，CLKX(1)	2P(2)		16P		ns

(1) 对于所有 SPI 受控模式，CLKX 必须为 8 CLKG 周期的一个最小值。此外，通过设置 CLKSM = CLKGDV = 1，CLKG 应该为 LSPCLK/2。
(2) 2P=1/CLKG

7.9.4.6.2.2 McBSP 作为 SPI 主控或者受控开关特性 (CLKSTP=10b，CLKXP=0)

编号	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M24	$t_{h(CKXL-FXL)}$	保持时间，CLKX 低电平之后，FSX 为低电平的时间	2P(1)				ns
M25	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平到 CLKX 变为高电平的时间	P				ns
M28	$t_{dis(FXH-DXHZ)}$	禁用时间，从 FSX 高电平到最后一个数据位后 DX 高阻抗的时间	6		6P+6		ns
M29	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	6		4P+6		ns

(1) 2P=1/CLKG

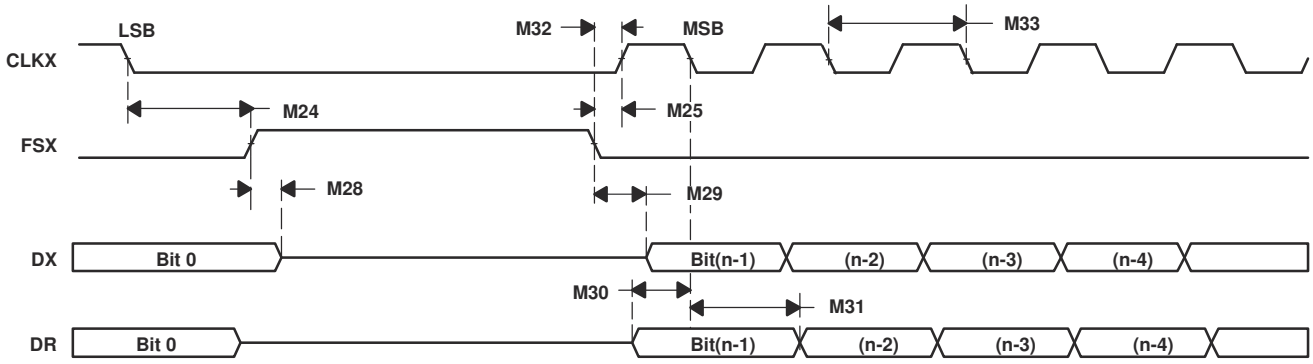


图 7-23. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=0

7.9.4.6.2.3 McBSP 作为 SPI 主器件或从器件时的时序要求（CLKSTP=11b，CLKXP=0）

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M39	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平之前 DR 有效的时间(1)	30		8P-10		ns
M40	$t_{h(CKXH-DRV)}$	保持时间，CLKX 高电平之后 DR 有效的时间(1)	1		8P-10		ns
M41	$t_{su(FXL-CKXH)}$	建立时间，CLKX 高电平之前 FSX 低电平的时间(1)			16P+10		ns
M42	$t_{c(CKX)}$	周期时间，CLKX(1)	2P(2)		16P		ns

(1) 对于所有 SPI 受控模式，CLKX 必须为 8 CLKG 周期的一个最小值。此外，通过设置 CLKSM = CLKGDV = 1，CLKG 应该为 LSPCLK/2。
(2) 2P=1/CLKG

7.9.4.6.2.4 McBSP 作为 SPI 主控或者受控开关特性 (CLKSTP= 11b，CLKXP= 0)

编号	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M34	$t_{h(CKXL-FXL)}$	保持时间，CLKX 低电平后，FSX 为低电平的时间	P				ns
M35	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平时间到 CLKX 高电平的时间	2P(1)				ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	P+6		7P+6		ns
M38	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	6		4P+6		ns

(1) 2P=1/CLKG

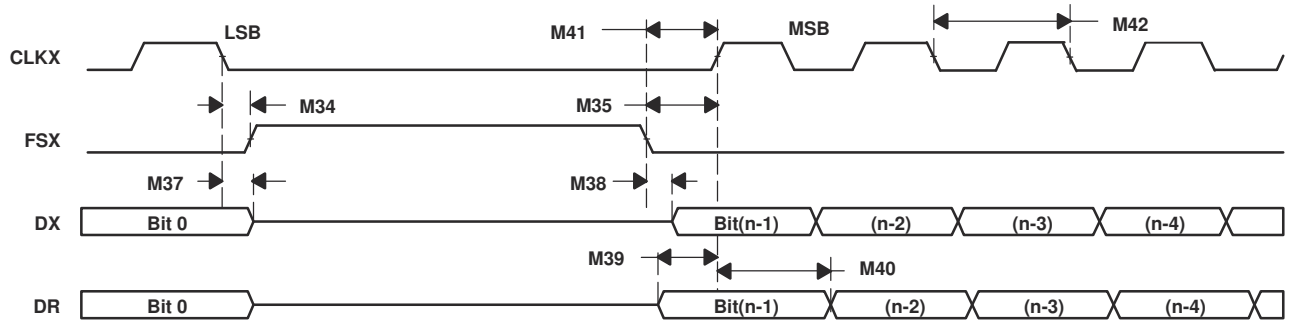


图 7-24. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=0

Copyright © 2022 Texas Instruments Incorporated

7.9.4.6.2.5 McBSP 作为 SPI 主器件或从器件时的时序要求（CLKSTP= 10b，CLKXP= 1）

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M49	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平之前 DR 有效的时间(1)	30		8P-10		ns
M50	$t_{h(CKXH-DRV)}$	保持时间，CLKX 高电平之后 DR 有效的时间(1)	1		8P-10		ns
M51	$t_{su(FXL-CKXL)}$	建立时间，CLKX 低电平之前 FSX 低电平的时间(1)			8P+10		ns
M52	$t_{c(CKX)}$	周期时间，CLKX(1)	2P(2)		16P		ns

(1) 对于所有 SPI 受控模式，CLKX 必须为 8 CLKG 周期的一个最小值。此外，通过设置 CLKSM = CLKGDV = 1，CLKG 应该为 LSPCLK/2。
(2) 2P=1/CLKG

7.9.4.6.2.6 McBSP 作为 SPI 主控或者受控开关特性 (CLKSTP= 10b，CLKXP= 1)

编号	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M43	$t_{h(CKXH-FXL)}$	保持时间，CLKX 高电平后，FSX 为低电平的时间	2P(1)				ns
M44	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	P				ns
M47	$t_{dis(FXH-DXHZ)}$	禁用时间，从 FSX 高电平到最后一个数据位后 DX 高阻抗的时间	6		6P+6		ns
M48	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	6		4P+6		ns

(1) 2P=1/CLKG

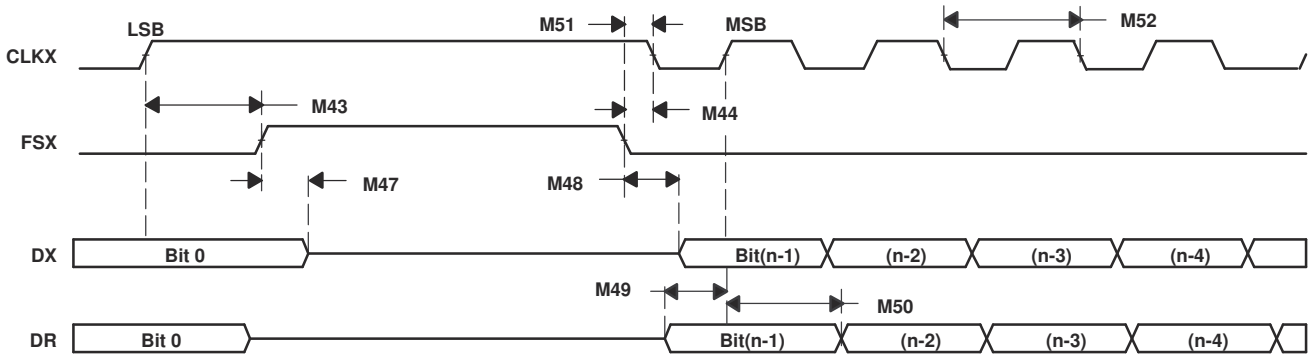


图 7-25. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=1

7.9.4.6.2.7 McBSP 作为 SPI 主器件或从器件时的时序要求（CLKSTP= 11b，CLKXP= 1）

编号			主控		受控		单位
			最小值	最大值	最小值	最大值	
M58	$t_{su(DRV-CKXL)}$	建立时间，CLKX 低电平之前 DR 有效的时间(1)	30		8P-10		ns
M59	$t_{h(CKXL-DRV)}$	保持时间，CLKX 低电平之后 DR 有效的时间(1)	1		8P-10		ns
M60	$t_{su(FXL-CKXL)}$	建立时间，CLKX 低电平之前 FSX 低电平的时间(1)			16P+10		ns
M61	$t_{c(CKX)}$	周期时间，CLKX(1)	2P(2)		16P		ns

(1) 对于所有 SPI 受控模式，CLKX 必须为 8 CLKG 周期的一个最小值。此外，通过设置 CLKSM = CLKGDV = 1，CLKG 应该为 LSPCLK/2。
(2) 2P=1/CLKG

7.9.4.6.2.8 McBSP 作为 SPI 主器件或从器件开关特性（CLKSTP= 11b，CLKXP= 1）

编号	参数		主控		受控		单位
			最小值	最大值	最小值	最大值	
M53	$t_{h(CKXH-FXL)}$	保持时间，CLKX 高电平后，FSX 为低电平的时间	P				ns
M54	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	2P(1)				ns
M55	$t_{d(CLKXH-DXV)}$	延迟时间，CLKX 高电平到 DX 有效的时间	-2	0	3P+6	5P+20	ns
M56	$t_{dis(CKXH-DXHZ)}$	禁用时间，从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的时间	P+6		7P+6		ns
M57	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	6		4P+6		ns

(1) 2P=1/CLKG

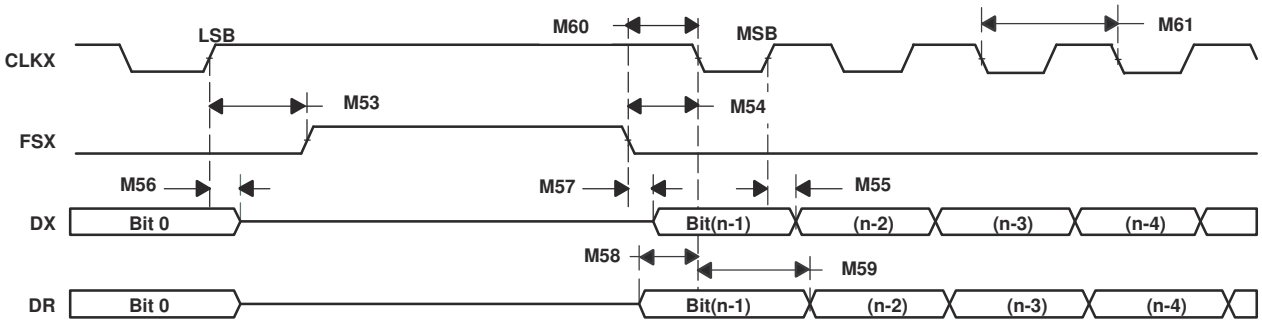


图 7-26. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=1

Copyright © 2022 Texas Instruments Incorporated

7.9.5 无信号缓冲情况下 MCU 与 JTAG 调试探针的连接

图 7-27 显示了采用单处理器配置时 DSP 和 JTAG 接头之间的连接。如果 JTAG 接头和 DSP 之间的距离大于 6 英寸，那么必须对仿真信号进行缓冲。如果距离小于 6 英寸，通常无需缓冲。图 7-27 显示了较简单、无缓冲的情况。对于上拉/下拉电阻器的值，请参阅“信号说明”部分。有关对 JTAG 信号进行缓冲和多个处理器连接的详细信息，请参阅 *TMS320F/C24x DSP 控制器参考指南：CPU 和指令集*。

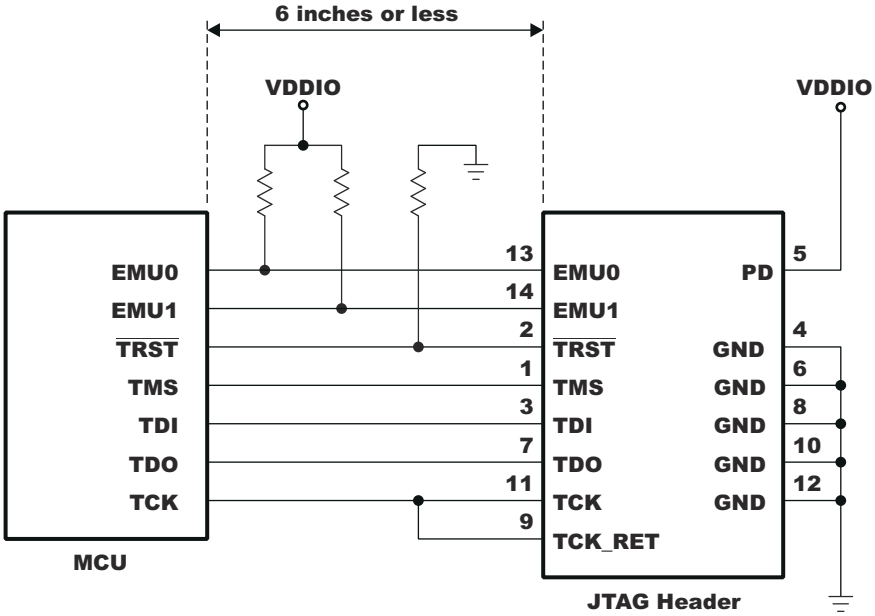


图 7-27. 无信号缓冲情况下 MCU 与 JTAG 调试探针的连接

7.9.6 外部接口 (XINTF) 时序

每个 XINTF 访问都由三个部分组成：建立、有效和跟踪。用户在 XTIMING 寄存器中配置建立/有效/跟踪等待状态。每个 XINTF 区域有一个 XTIMING 寄存器。表 7-2 显示了 XTIMING 寄存器中配置的参数和 以 XTIMING 周期为单位的脉冲持续时间之间的关系。

表 7-2. XTIMING 中配置的参数和脉冲持续时间之间的关系

说明		持续时间 (ns)(1) (2)	
		X2TIMING=0	X2TIMING=1
LR	建立周期，读取访问	XRDLEAD × $t_{c(XTIM)}$	(XRDLEAD × 2) × $t_{c(XTIM)}$
AR	激活周期，读取访问	(XRDACTIVE + WS + 1) × $t_{c(XTIM)}$	(XRDACTIVE × 2 + WS + 1) × $t_{c(XTIM)}$
TR	跟踪周期，读取访问	XRDTRAIL × $t_{c(XTIM)}$	(XRDTRAIL × 2) × $t_{c(XTIM)}$
LW	建立周期，写入访问	XWRLEAD × $t_{c(XTIM)}$	(XWRLEAD × 2) × $t_{c(XTIM)}$
AW	激活周期，写入访问	(XWRACTIVE + WS + 1) × $t_{c(XTIM)}$	(XWRACTIVE × 2 + WS + 1) × $t_{c(XTIM)}$
TW	跟踪周期，写入访问	XWRTRAIL × $t_{c(XTIM)}$	(XWRTRAIL × 2) × $t_{c(XTIM)}$

(1) $t_{c(XTIM)}$ – 周期时间，XTIMCLK
(2) WS 是指当使用 XREADY 时，由硬件插入的等待状态的数量。如果此区域被配置成忽略 XREADY (USEREADY=0)，那么 WS=0。

当配置每个区域的 XTIMING 寄存器时，必须满足最小等待状态要求。这些要求是器件数据表中指定的任一时序要求之外的要求。没有任何内部器件硬件来检测非法设置。

7.9.6.1 USEREADY = 0

如果 XREADY 信号被忽略 (USEREADY=0)，那么：

前置： $LR \geqslant t_{c(XTIM)}$

$LW \geqslant t_{c(XTIM)}$

这些要求导致了下列 XTIMING 寄存器的配置限制：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
⩾ 1	⩾ 0	⩾ 0	⩾ 1	⩾ 0	⩾ 0	0，1

当不采样 XREADY 时的有效和无效示例：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效(1)	0	0	0	0	0	0	0，1
有效	1	0	0	1	0	0	0，1

(1) 没有硬件检测非法 XTIMING 配置

Copyright © 2022 Texas Instruments Incorporated

7.9.6.2 同步模式 (USEREADY=1，READYMODE=0)

如果 XREADY 信号在同步模式中被采样(USEREADY=1，READYMODE=0)，那么：

1 前置： $LR \geqslant t_{c(XTIM)}$

$LW \geqslant t_{c(XTIM)}$

2 有效： $AR \geqslant 2 \times t_{c(XTIM)}$

$AW \geqslant 2 \times t_{c(XTIM)}$

备注

限制条件不包括外部硬件等待状态。

这些要求导致以下 XTIMING 寄存器配置限制：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
⩾ 1	⩾ 2	⩾ 0	⩾ 1	⩾ 2	⩾ 0	0，1

使用同步 XREADY 时，有效和无效时序示例：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效(1)	0	0	0	0	0	0	0，1
无效(1)	1	0	0	1	0	0	0，1
有效	1	2	0	1	2	0	0，1

(1) 没有硬件检测非法 XTIMING 配置

7.9.6.3 异步模式 (USEREADY=1，READYMODE=1)

如果 XREADY 信号在同步模式中被采样(USEREADY=1，READYMODE=1)，那么：

1 前置： $LR \geqslant t_{c(XTIM)}$
$LW \geqslant t_{c(XTIM)}$

2 有效： $AR \geqslant 2 \times t_{c(XTIM)}$
$AW \geqslant 2 \times t_{c(XTIM)}$

3 前置 + 有效： $LR + AR \geqslant 4 \times t_{c(XTIM)}$
$LW + AW \geqslant 4 \times t_{c(XTIM)}$

备注

限制条件不包括外部硬件等待状态。

这些要求导致以下 XTIMING 寄存器配置限制：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
⩾ 1	⩾ 2	0	⩾ 1	⩾ 2	0	0，1

或者

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
⩾ 2	⩾ 1	0	⩾ 2	⩾ 1	0	0，1

使用异步 XREADY 时，有效和无效时序示例：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效(1)	0	0	0	0	0	0	0，1
无效(1)	1	0	0	1	0	0	0，1
无效(1)	1	1	0	1	1	0	0
有效	1	2	0	1	2	0	1
有效	1	2	0	1	2	0	0，1
有效	2	1	0	2	1	0Ω	0，1

(1) 没有硬件检测非法 XTIMING 配置

Copyright © 2022 Texas Instruments Incorporated

除非另外说明，否则所有 XINTF 时序适用于表 7-3 中列出的时钟配置。

表 7-3. XINTF 时钟配置

模式	SYSCLKOUT	XTIMCLK	XCLKOUT
1 示例：	150MHz	SYSCLKOUT 150MHz	SYSCLKOUT 150MHz
2 示例：	150MHz	SYSCLKOUT 150MHz	1/2 SYSCLKOUT 75MHz
3 示例：	150MHz	1/2SYSCLKOUT 75MHz	1/2 SYSCLKOUT 75MHz
4 示例：	150MHz	1/2SYSCLKOUT 75MHz	1/4 SYSCLKOUT 37.5MHz

SYSCLKOUT 和 XTIMCLK 之间的关系显示在图 7-28 中。

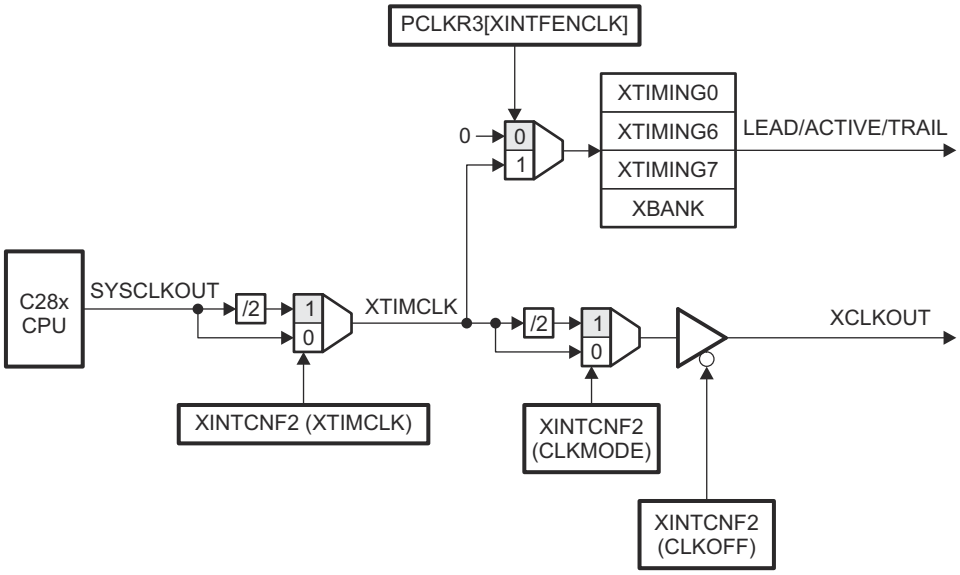


图 7-28. SYSCLKOUT 与 XTIMCLK 之间的关系

7.9.6.4 XINTF 信号与 XCLKOUT 一致

对于每个 XINTF 访问，前置、有效、后置周期的数量基于内部时钟 XTIMCLK。$\overline{\text{XRD}}$、$\overline{\text{XWE0}}$、$\overline{\text{XWE1}}$ 等选通信号和区域芯片选择（$\overline{\text{XZCS}}$）的状态变化与 XTIMCLK 的上升沿相关。外部时钟，XCLKOUT，可被配置成等于 XTIMCLK 周期或者为 XTIMCLK 周期的一半。

对于 XCLKOUT=XTIMCLK 的情况，所有 XINTF 选通时钟将相对于 XCLKOUT 的上升边沿改变状态。对于 XCLKOUT 为 XTIMCLK 一半的情况，一些选通信号将在 XCLKOUT 的上升沿或 XCLKOUT 的下降沿上改变状态。在 XINTF 时序表中，符号 XCOHL 被用于表示相对于任一种情况的参数；XCLKOUT 上升边沿（高电平）或者 XCLKOUT 下降边沿（低电平）。如果参数一直相对于 XCLKOUT 的上升边沿的话，符号 XCOH 被使用。

对于 XCLKOUT=XTIMCLK 一半的情况，基于从访问开始到信号变化发生点的 XTIMCLK 周期的数量，与变化对齐的 XCLKOUT 边沿可被确定。如果这个 XTIMCLK 周期的数量为偶数，对齐将相对于 XCLKOUT 的上升边沿。如果这个 XTIMCLK 周期的数量为奇数，那么信号将相对于 XCLKOUT 的下降边沿发生变化。示例包括如下：

- 在一个访问开始时发生变化的选通脉冲一直与 XCLKOUT 的上升边沿对齐。这是因为所有 XINTF 方位相对于 XCLKOUT 的上升边沿开始。

  示例： XZCSL 区域选低电平
  XRNWL XR/ $\overline{\text{W}}$ 低电平有效

- 如果用于访问的建立 XTIMCLK 周期为偶数，在一个有效周期开始时发生变化的选通脉冲将与 XCLKOUT 的上升边沿对齐。如果建立 XTIMCLK 周期的数量为偶数，那么对齐将相对于 XCLKOUT 的下降边沿。

  示例： XRDL $\overline{\text{XRD}}$ 低电平有效
  XWEL $\overline{\text{XWE1}}$ 或 $\overline{\text{XWE0}}$ 低电平有效

- 如果用于访问的建立和有效 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个跟踪周期开始时发生变化的选通信号将与 XCLKOUT 的上升沿对齐。如果建立和有效 XTIMCLK 周期的数量（包括硬件等待状态）为奇数，那么将与 XCLKOUT 的下降沿对齐。

  示例： XRDH $\overline{\text{XRD}}$ 高电平无效
  XWEH $\overline{\text{XWE1}}$ 或 $\overline{\text{XWE0}}$ 高电平无效

- 如果建立和有效加上跟踪 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个访问末尾发生变化的选通信号将与 XCLKOUT 的上升沿对齐。如果建立和有效加上跟踪 XTIMCLK 周期的数量（包括硬件等待状态）为奇数，那么将与 XCLKOUT 的下降沿对齐。

  示例： XZCSH 区片选高电平无效
  XRNWH XR/ $\overline{\text{W}}$ 高电平无效

Copyright © 2022 Texas Instruments Incorporated

7.9.6.5 外部接口读取时序

7.9.6.5.1 外部存储器接口读取时序要求

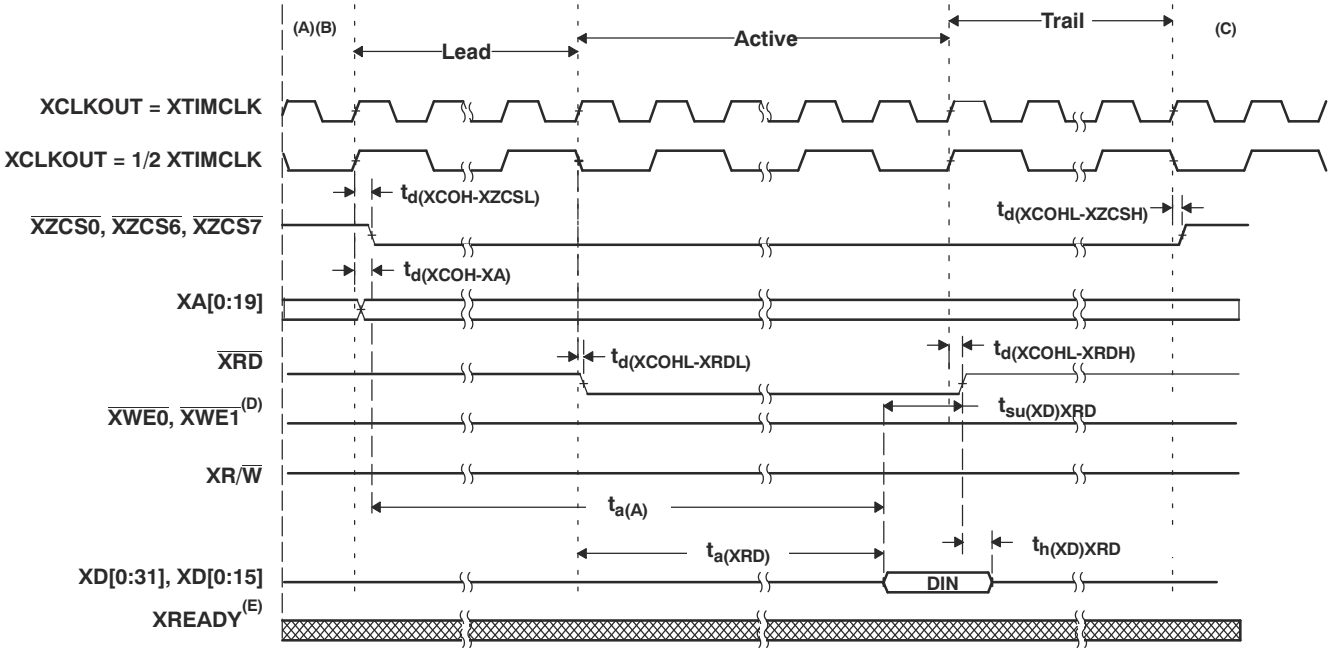
		最小值	最大值	单位
$t_{a(A)}$	访问时间，从有效地址读取数据的时间		(LR + AR) – 16 (1)	ns
$t_{a(XRD)}$	访问时间，从 $\overline{XRD}$ 低电平有效读取有效数据的时间		AR – 14 (1)	ns
$t_{su(XD)XRD}$	建立时间，在 $\overline{XRD}$ 选通脉冲高电平无效之前，读取有效数据的时间	14		ns
$t_{h(XD)XRD}$	保持时间，$\overline{XRD}$ 高电平无效之后读取数据有效的时间	0		ns

(1) LR = 建立周期，读取访问。AR = 有效周期，读取访问。请参考 表 7-2。

7.9.6.5.2 外部内存接口读取开关特性

参数		最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT 高电平/低电平到芯片选择高电平无效的时间	–1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT 高电平到地址有效的时间		1.5	ns
$t_{d(XCOHL-XRDL)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XRD}$ 低电平有效的时间		0.5	ns
$t_{d(XCOHL-XRDH)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XRD}$ 高电平无效的时间	–1.5	0.5	ns
$t_{h(XA)XZCSH}$	保持时间，区域芯片选择高电平无效之后地址有效时间	(1)		ns
$t_{h(XA)XRD}$	保持时间，$\overline{XRD}$ 高电平无效后的地址有效时间	(1)		ns

(1) 在未激活周期中，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。



A. 所有 XINTF 访问（前置周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
B. 在对准周期期间，所有信号将都被转换为它们的未激活状态。
C. XA[0:19] 在非活动周期保持总线上的最后一个地址，包括校准周期，除 XAO 之外，它一直保持高电平状态。
D. $\overline{\text{XWE1}}$ 用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。
E. 因为 USEREADY=0，外部 XREADY 输入信号被忽略。

图 7-29. 示例读取访问

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	≥ 0	≥ 0	0	0	N/A(1)	N/A(1)	N/A(1)	N/A(1)

(1) 这个例子中的 N/A 表示“不适用”（或“无关”）

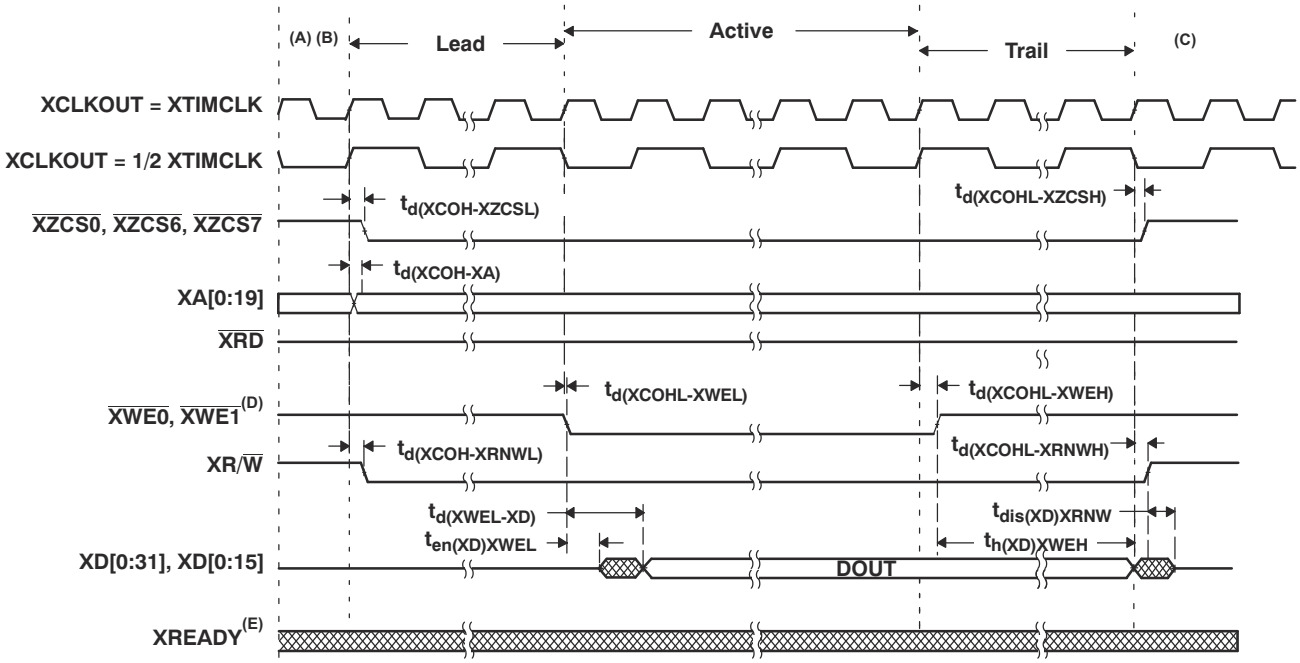
Copyright © 2022 Texas Instruments Incorporated

7.9.6.6 外部接口写入时序

7.9.6.6.1 外部存储器接口写入开关特性

参数		最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT 高电平/低电平到芯片选择高电平无效的时间	–1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT 高电平到地址有效的时间		1.5	ns
$t_{d(XCOHL-XWEL)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XWEO}$，$\overline{XWE1}$ (3)低电平的时间		2	ns
$t_{d(XCOHL-XWEH)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XWEO}$，$\overline{XWE1}$ 高电平的时间		2	ns
$t_{d(XCOH-XRNWL)}$	延迟时间，XCLKOUT 高电平到 XR/$\overline{W}$ 低电平的时间		1	ns
$t_{d(XCOHL-XRNWH)}$	延迟时间，XCLKOUT 高电平/低电平到 XR/$\overline{W}$ 高电平的时间	–1	0.5	ns
$t_{en(XD)XWEL}$	使能时间，从 $\overline{XWE}$，$\overline{XWE1}$ 低电平驱动数据总线的时间	0		ns
$t_{d(XWEL-XD)}$	延迟时间，$\overline{XWE0}$，$\overline{XWE1}$ 低电平有效后的数据有效时间		1	ns
$t_{h(XA)XZCSH}$	保持时间，区域芯片选择高电平无效之后地址有效时间	(1)		ns
$t_{h(XD)XWE}$	保持时间，$\overline{XWE0}$，$\overline{XWE1}$ 高电平无效之后写入数据有效时间	TW – 2 (2)		ns
$t_{dis(XD)XRNW}$	XR/$\overline{W}$ 高电平无效之后 DSP 释放数据总线的最长时间		4	ns

(1) 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。
(2) TW = 跟踪周期，写入访问。请参考 表 7-2。
(3) $\overline{XWE1}$ 只用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。



A. 所有 XINTF 访问（前置周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
B. 在对准周期期间，所有信号将都被转换为它们的未激活状态。
C. XA[0:19] 在非活动周期保持总线上的最后一个地址，包括校准周期，除 XAO 之外，它一直保持高电平状态。
D. $\overline{\text{XWE1}}$ 用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。
E. 因为 USEREADY=0，外部 XREADY 输入信号被忽略。

图 7-30. 示例写入访问

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A(1)	N/A(1)	N/A(1)	0	0	⩾ 1	⩾ 0	⩾ 0	N/A(1)

(1) 这个例子中 N/A 表示“不适用”（或“无关”）

Copyright © 2022 Texas Instruments Incorporated

7.9.6.7 带有一个外部等待状态的外部接口读取准备就绪时序

7.9.6.7.1 外部接口读取开关特性（读取准备就绪，1 个等待状态）

参数		最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT 高电平/低电平到芯片选择高电平无效的时间	–1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT 高电平到地址有效的时间		1.5	ns
$t_{d(XCOHL-XRDL)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XRD}$ 低电平有效的时间		0.5	ns
$t_{d(XCOHL-XRDH)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XRD}$ 高电平无效的时间	– 1.5	0.5	ns
$t_{h(XA)XZCSH}$	保持时间，区域芯片选择高电平无效之后地址有效时间	(1)		ns
$t_{h(XA)XRD}$	保持时间，$\overline{XRD}$ 高电平无效后的地址有效时间	(1)		ns

(1) 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。。这个包括对准周期。

7.9.6.7.2 外部接口读取时序要求（读取准备就绪，1 个等待状态）

		最小值	最大值	单位
$t_{a(A)}$	访问时间，从有效地址读取数据的时间		(LR + AR) – 16 (1)	ns
$t_{a(XRD)}$	访问时间，从 $\overline{XRD}$ 低电平有效读取有效数据的时间		AR – 14 (1)	ns
$t_{su(XD)XRD}$	建立时间，在 $\overline{XRD}$ 选通脉冲高电平无效之前，读取有效数据的时间	14		ns
$t_{h(XD)XRD}$	保持时间，$\overline{XRD}$ 高电平无效之后读取数据有效的时间	0		ns

(1) LR = 建立周期，读取访问。AR = 有效周期，读取访问。请参考 表 7-2。

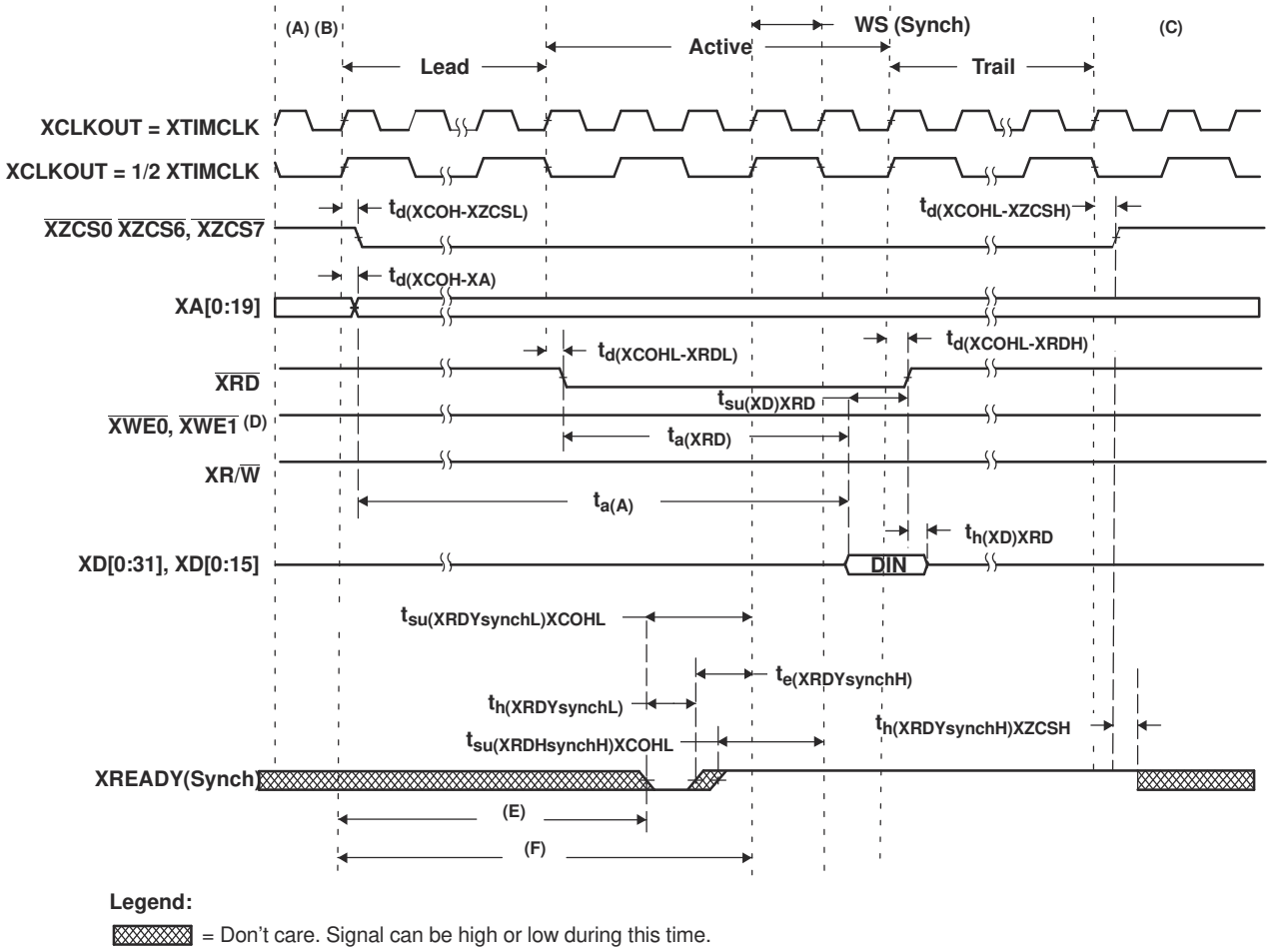
7.9.6.7.3 同步 XREADY 时序要求（读取准备就绪，1 个等待状态）

		最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（同步）低电平的时间(1)	12		ns
$t_{h(XRDYsynchL)}$	保持时间，XREADY（同步）低电平(1)	6		ns
$t_{e(XRDYsynchH)}$	采样 XCLKOUT 边沿之前，XREADY（同步）能够变为高电平的最早时间(1)		3	ns
$t_{su(XRDYsynchH)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（同步）高电平的时间(1)	12		ns
$t_{h(XRDYsynchH)XZCSH}$	保持时间，区域芯片选择高电平之后 XREADY（同步）保持高电平的时间(1)	0		ns

(1) 第一次 XREADY（异步）采样相对于 E 的关系如图 7-31 所示：
E = (XRDLEAD + XRDACTIVE) $t_{c(XTIM)}$
首次采样时，如果 XREADY（同步）为高电平，则访问将结束。如果发现 XREADY（同步）为低电平，它将在每个 $t_{c(XTIM)}$内被重新采样直到它为高电平。
对于每次采样 (n)，相对于访问开始的建立时间可以按如下方式计算：
F = (XRDLEAD + XRDACTIVE +n − 1) $t_{c(XTIM)}$ − $t_{su(XRDYsynchL)XCOHL}$
，其中 n 是样本数量：n = 1、2、3，以此类推。

7.9.6.7.4 异步 XREADY 时序要求（读取准备就绪，1 个等待状态）

		最小值	最大值	单位
$t_{su(XRDYAsynchL)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（异步）低电平的时间	11		ns
$t_{h(XRDYAsynchL)}$	保持时间，XREADY（异步）低电平的时间	6		ns
$t_{e(XRDYAsynchH)}$	采样 XCLKOUT 边沿之前，XREADY（异步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYAsynchH)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（异步）高电平的时间	11		ns
$t_{h(XRDYasynchH)XZCSH}$	保持时间，区域芯片选择高电平之后 XREADY（异步）保持高电平的时间	0		ns



Legend:

▨ = Don't care. Signal can be high or low during this time.

A. 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当*需要时*，器件将在一个满足这个要求的访问之前插入一个对准周期。

B. 在对准周期期间，所有信号将都被转换为它们的未激活状态。

C. 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。

D. $\overline{XWE1}$ 仅在 32 位数据模式下有效。在 16 位模式中，该信号是 XAO。

E. 对于每次采样，从访问开始的建立时间 (E) 可以按如下方式计算：D = (XRDLEAD + XRDACTIVE +n - 1) $t_{c(XTIM)}$ – $t_{su(XRDYsynchL)XCOHL}$

F. 第一个样本的基准相对于此点的关系如下：F = (XRDLEAD + XRDACTIVE) $t_{c(XTIM)}$，其中 n 是样本数量：n = 1、2、3，以此类推。

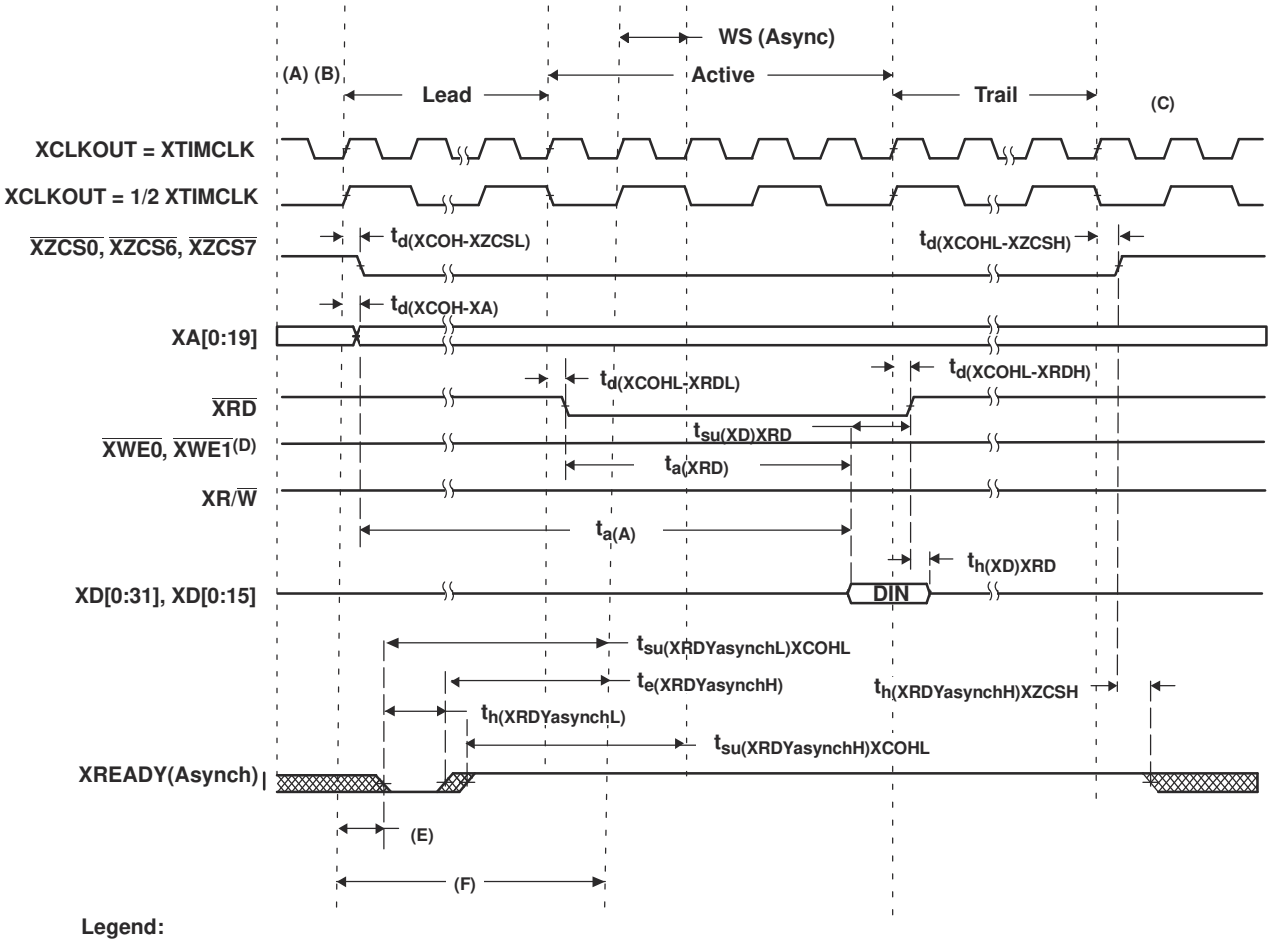
图 7-31. 使用同步 XREADY 访问读取的样本

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0 Ω	N/A(1)	N/A(1)	N/A(1)	0 = XREADY（同步）

(1) 对于这个样本，N/A = "无关"

Copyright © 2022 Texas Instruments Incorporated



Legend:

= Don't care. Signal can be high or low during this time.

A. 所有 XINTF 访问（建立周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。

B. 在对准周期期间，所有信号将被转换为它们的未激活状态。

C. 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。

D. $\overline{\text{XWE1}}$ 仅在 32 位数据模式下有效。在 16 位模式中，该信号是 XAO。

E. 对于每次采样，从访问开始的建立时间可以按如下方式计算：E = (XRDLEAD + XRDACTIVE -3 +n) $t_{c(XTIM)}$ – $t_{su(XRDYasynchL)XCOHL}$，其中 n 是样本数量：n = 1、2、3，以此类推。

F. 第一个样本的基准相对于此点的关系如下：F = (XRDLEAD + XRDACTIVE – 2) $t_{c(XTIM)}$

图 7-32. 使用异步 XREADY 访问读取的样本

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥ 1	3	≥ 1	1	0 Ω	N/A(1)	N/A(1)	N/A(1)	1 = XREADY（异步）

(1) 在这个示例中，N/A = "无关"

7.9.6.8 带有一个外部等待状态的外部接口写入准备就绪时序

7.9.6.8.1 外部接口写入开关特性（写入准备就绪，1 个等待状态）

参数		最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT 高电平到区域芯片选择低电平有效的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT 高电平/低电平到芯片选择高电平无效的时间	– 1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT 高电平到地址有效的时间		1.5	ns
$t_{d(XCOHL-XWEL)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XWE0}$，$\overline{XWE1}$ 低电平的时间(3)		2	ns
$t_{d(XCOHL-XWEH)}$	延迟时间，XCLKOUT 高电平/低电平到 $\overline{XWEO}$，$\overline{XWE1}$ 高电平的时间(3)		2	ns
$t_{d(XCOH-XRNWL)}$	延迟时间，XCLKOUT 高电平到 XR/$\overline{W}$ 低电平的时间		1	ns
$t_{d(XCOHL-XRNWH)}$	延迟时间，XCLKOUT 高电平/低电平到 XR/$\overline{W}$ 高电平的时间	– 1	0.5	ns
$t_{en(XD)XWEL}$	使能时间，从 $\overline{XWE0}$，$\overline{XWE1}$ 低电平驱动数据总线的时间(3)	0		ns
$t_{d(XWEL-XD)}$	延迟时间，$\overline{XWE0}$，$\overline{XWE1}$ 低电平有效后的数据有效时间(3)		1	ns
$t_{h(XA)XZCSH}$	保持时间，区域芯片选择高电平无效之后地址有效时间	(1)		ns
$t_{h(XD)XWE}$	保持时间，$\overline{XWE0}$，$\overline{XWE1}$ 高电平无效之后写入数据有效时间(3)	TW – 2 (2)		ns
$t_{dis(XD)XRNW}$	XR/$\overline{W}$ 高电平无效之后 DSP 释放数据总线的最长时间		4	ns

(1) 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。
(2) TW = 后置周期，写入访问（请见表 7-2）
(3) $\overline{XWE1}$ 只用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。

7.9.6.8.2 同步 XREADY 时序要求（写入准备就绪，1 个等待状态）

		最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（同步）低电平的时间(1)	12		ns
$t_{h(XRDYsynchL)}$	保持时间，XREADY（同步）低电平(1)	6		ns
$t_{e(XRDYsynchH)}$	采样 XCLKOUT 边沿之前，XREADY（同步）能够变为高电平的最早时间(1)		3	ns
$t_{su(XRDYsynchH)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（同步）高电平的时间(1)	12		ns
$t_{h(XRDYsynchH)XZCSH}$	保持时间，区域芯片选择高电平之后 XREADY（同步）保持高电平的时间(1)	0		ns

(1) 第一次 XREADY（异步）采样相对于 E 的关系如图 7-33 所示：
E =(XWRLEAD + XWRACTIVE) $t_{c(XTIM)}$
首次采样时，如果 XREADY（同步）为高电平，则访问将完成。如果 XREADY（异步）为低电平，它会每隔 $t_{c(XTIM)}$ 再次采样，直到它变为高电平。
对于每次采样，从访问开始的建立时间可以按如下方式计算：
F = (XWRLEAD + XWRACTIVE +n – 1) $t_{c(XTIM)}$ – $t_{su(XRDYsynchL)XCOHL}$
，其中 n 是样本数量：n = 1、2、3，以此类推。

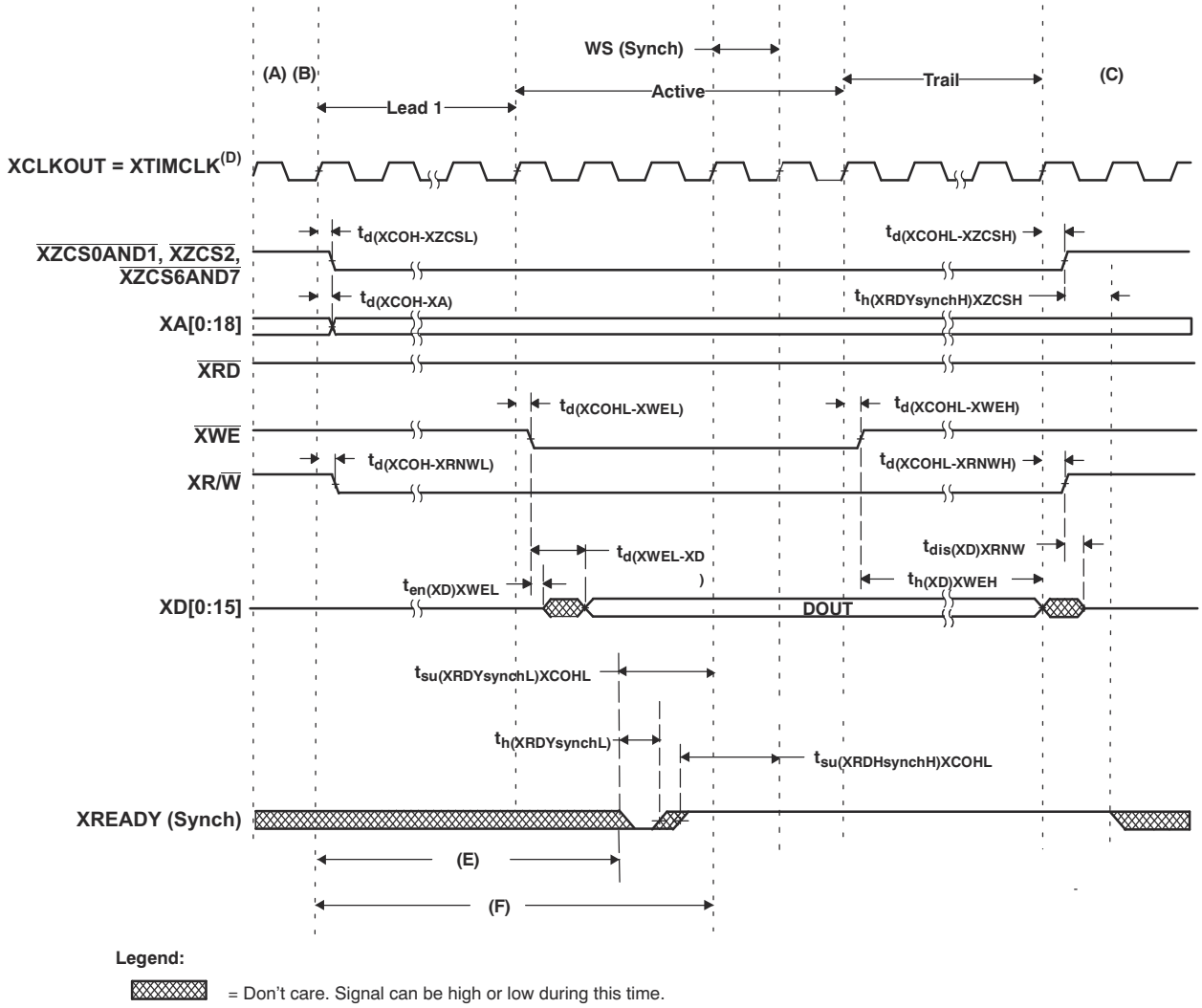
7.9.6.8.3 异步 XREADY 时序要求（写入准备就绪，1 个等待状态）

		最小值	最大值	单位
$t_{su(XRDYasynchL)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（异步）低电平的时间(1)	11		ns
$t_{h(XRDYasynchL)}$	保持时间，XREADY（异步）低电平的时间(1)	6		ns
$t_{e(XRDYasynchH)}$	采样 XCLKOUT 边沿之前，XREADY（异步）能够变为高电平的最早时间(1)		3	ns
$t_{su(XRDYasynchH)XCOHL}$	建立时间，XCLKOUT 高电平/低电平之前 XREADY（异步）高电平的时间(1)	11		ns
$t_{h(XRDYasynchH)XZCSH}$	保持时间，区域芯片选择高电平之后 XREADY（异步）保持高电平的时间(1)	0		ns

(1) 第一次 XREADY（异步）采样相对于 E 的关系如图 7-33 所示：
E = (XWRLEAD + XWRACTIVE – 2) $t_{c(XTIM)}$。在第一次取样时，如果 XREADY（异步）是高电平，则访问将完成。如果 XREADY（异步）是低电平，它在每个 $t_{c(XTIM)}$内再次采样，直到它是高电平。
对于每次采样，从访问开始的建立时间可以按如下方式计算：

Copyright © 2022 Texas Instruments Incorporated

F = (XWRLEAD + XWRACTIVE – 3 + n) $t_{c(XTIM)}$ – $t_{su(XRDYasynchL)XCOHL}$
，其中 n 是样本数量：n = 1、2、3，以此类推。



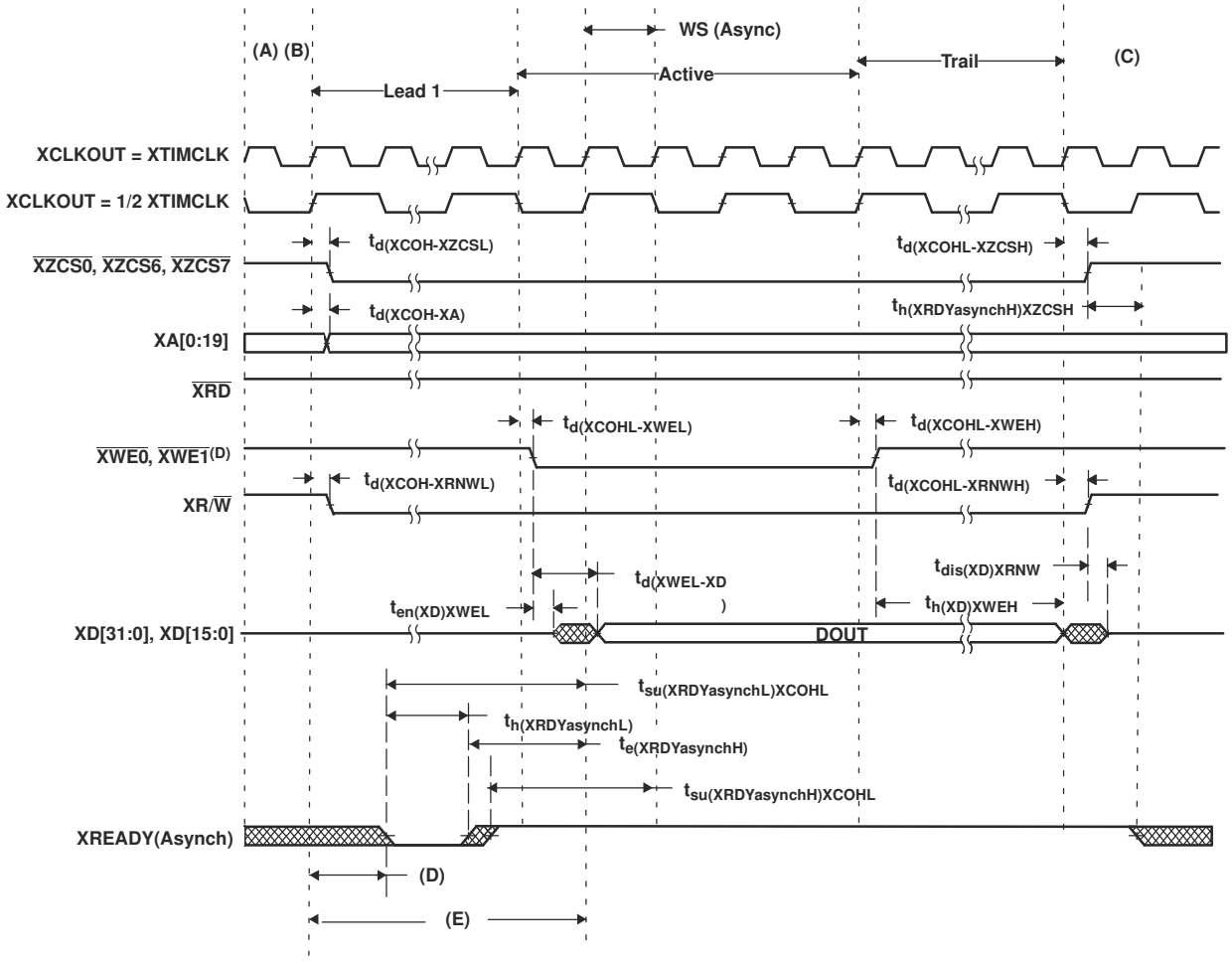
A. 所有 XINTF 访问（前置周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
B. 在对准周期期间，所有信号将被转换为它们的未激活状态。
C. 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。
D. $\overline{XWE1}$ 只用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。
E. 对于每个样本，从访问开始的建立时间可按如下方式计算：E = (XWRLEAD + XWRACTIVE + n – 1) $t_{c(XTIM)}$ – $t_{su(XRDYsynchL)XCOH}$，其中 n 为样本数量：n = 1、2、3，以此类推。
F. 第一个样本的基准相对于此点的关系如下：F = (XWRLEAD + XWRACTIVE) $t_{c(XTIM)}$

图 7-33. 使用同步 XREADY 访问写入

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A(1)	N/A(1)	N/A(1)	1	0 Ω	≥ 1	3	≥ 1	0 = XREADY（同步）

(1) 对于这个样本，N/A = “无关”



Legend:

▨ = Don't care. Signal can be high or low during this time.

A. 所有 XINTF 访问（前置周期）在 XCLKOUT 的上升沿上开始。当需要时，器件将在一个满足这个要求的访问之前插入一个对准周期。
B. 在对准周期期间，所有信号将都被转换为它们的未激活状态。
C. 在未激活周期期间，XINTF 地址总线将一直保持总线上产生的最后一个地址，XA0 除外，它仍为高电平。这个包括对齐周期。
D. $\overline{XWE1}$ 只用于 32 位数据总线模式。在 16 位模式中，该信号是 XAO。
E. 对于每次采样，从访问开始的建立时间可以按如下方式计算：E = (XWRLEAD + XWRACTIVE -3 + n) $t_{c(XTIM)}$ – $t_{su(XRDYasynchL)XCOHL}$，其中 n 是样本数量：n = 1、2、3，以此类推。
F. 第一个样本的基准相对于此点的关系如下：F = (XWRLEAD + XWRACTIVE – 2) $t_{c(XTIM)}$

图 7-34. 使用异步 XREADY 访问写入

用于此示例的 XTIMING 寄存器参数：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A(1)	N/A(1)	N/A(1)	1	0 Ω	≥ 1	3	≥ 1	1 = XREADY（异步）

(1) 在这个示例中，N/A = "无关"

Copyright © 2022 Texas Instruments Incorporated

7.9.6.9 $\overline{\text{XHOLD}}$ 和 $\overline{\text{XHOLDA}}$ 时序

如果在 $\overline{\text{XHOLD}}$ 和 $\overline{\text{XHOLDA}}$ 同时为低电平时（授权外部总线访问）HOLD 模式位被设定，$\overline{\text{XHOLDA}}$ 信号被强制为高电平（在当前周期的末尾）并且外部接口不再为高阻抗模式。

复位 ($\overline{\text{XRS}}$) 时，HOLD 模式位设为 0。如果 $\overline{\text{XHOLD}}$ 信号在系统复位时为低电平有效，总线和所有信号选通必须为高阻抗模式，并且 $\overline{\text{XHOLDA}}$ 信号也被驱动为低电平有效。

当 HOLD 模式被启用并且 $\overline{\text{XHOLDA}}$ 为低电平有效（外部总线置为有效），CPU 仍然可以从内部存储器执行代码。如果对外部接口进行访问，在 $\overline{\text{XHOLD}}$ 信号被去除前，CPU 暂停。

一个内部 DMA 请求，当被批准时，将以下信号置为高阻抗模式：

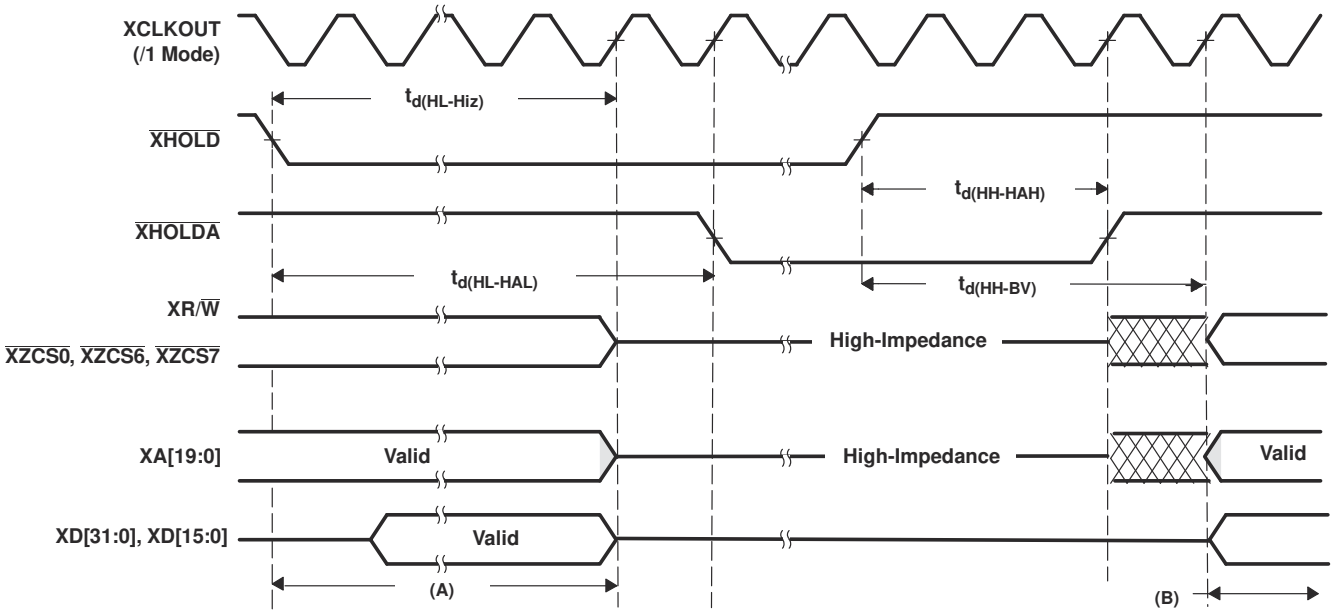
XA[19:0]	$\overline{\text{XZCS0}}$
XD[31:0], XD[15:0]	$\overline{\text{XZCS6}}$
$\overline{\text{XWE0}}$, $\overline{\text{XWE1}}$, $\overline{\text{XRD}}$	$\overline{\text{XZCS7}}$
XR/ $\overline{\text{W}}$	

在这些信号事件期间，所有在这个组中未列出的其它信号保持在它们的缺省值或者功能运行模式。

7.9.6.9.1 $\overline{\text{XHOLD}}$/ $\overline{\text{XHOLDA}}$ 时序要求 (XCLKOUT = XTIMCLK)

		最小值	最大值	单位
$t_{d(HL-HiZ)}$	$\overline{\text{XHOLD}}$ 低电平至所有地址、数据和控制上变为高阻态的延迟时间(1) (2)		$4_{c(XTIM)}$ + 30t	ns
$t_{d(HL-HAL)}$	$\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的延迟时间(1) (2)		$5t_{c(XTIM)}$ + 30	ns
$t_{d(HH-HAH)}$	$\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的延迟时间(1) (2)		$3t_{c(XTIM)}$ + 30	ns
$t_{d(HH-BV)}$	$\overline{\text{XHOLD}}$ 高电平至总线有效的延迟时间(1) (2)		$4_{c(XTIM)}$ + 30t	ns
$t_{d(HL-HAL)}$	$\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的延迟时间(1) (2)		$4t_{c(XTIM)}$ + $2t_{c(XCO)}$ + 30	ns

(1) 当在 $\overline{\text{XHOLD}}$ 上检测到一个低电平信号时，所有等待的 XINTF 访问将在总线被置为一个高阻抗状态前完成。
(2) $\overline{\text{XHOLD}}$ 的状态被锁存在 XTIMCLK 的上升边沿上。



A. 所有等待中的 XINTF 访问被完成。
B. 正常 XINTF 运行重新开始。

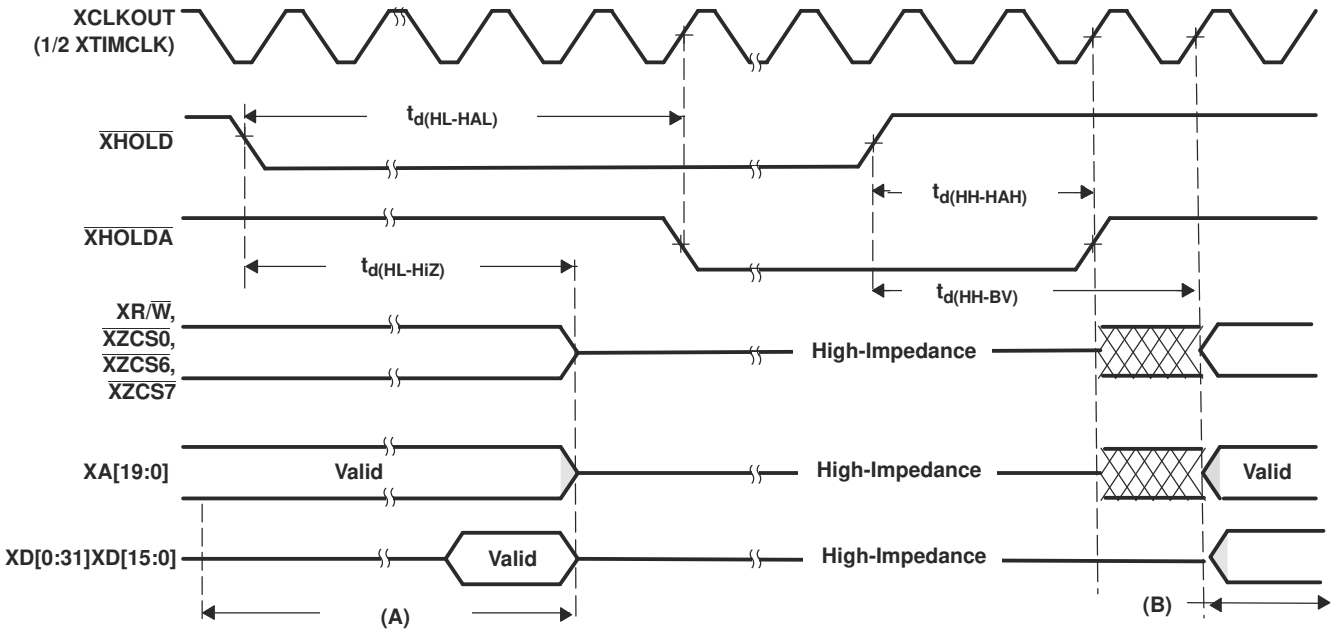
图 7-35. 外部接口保持波形

Copyright © 2022 Texas Instruments Incorporated

7.9.6.9.2 $\overline{\text{XHOLD}}$/$\overline{\text{XHOLDA}}$ 时序要求 (XCLKOUT = 1/2 XTIMCLK)

		最小值	最大值	单位
$t_{d(HL-HiZ)}$	$\overline{\text{XHOLD}}$ 低电平至所有地址、数据和控制上变为高阻态的延迟时间(1) (2) (3)		$4t_{c(XTIM)} + t_{c(XCO)} + 30$	ns
$t_{d(HL-HAL)}$	$\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的延迟时间(1) (2) (3)		$4t_{c(XTIM)} + 2t_{c(XCO)} + 30$	ns
$t_{d(HH-HAH)}$	$\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的延迟时间(1) (2) (3)		$4_{c(XTIM)} + 30t$	ns
$t_{d(HH-BV)}$	$\overline{\text{XHOLD}}$ 高电平至总线有效的延迟时间(1) (2) (3)		$6t_{c(XTIM)} + 30$	ns

(1) 当在 $\overline{\text{XHOLD}}$ 上检测到一个低电平信号时，所有等待的 XINTF 访问将在总线被置为一个高阻抗状态前完成。
(2) $\overline{\text{XHOLD}}$ 的状态被锁存在 XTIMCLK 的上升边沿上。
(3) 在 $\overline{\text{XHOLD}}$ 被检测为高电平或者低电平后，所有总线转换和 $\overline{\text{XHOLDA}}$ 转换将相对于 XCLKOUT 的上升边沿发生。因此，对于这个 XCLKOUT=1/2 XTIMCLK 的模式，转换最多可以早于最大额定值 1 XTIMCLK 周期发生。



A. 所有等待中的 XINTF 访问被完成。
B. 正常 XINTF 运行重新开始。

图 7-36. $\overline{\text{XHOLD}}$/ $\overline{\text{XHOLDA}}$ 时序要求 (XCLKOUT = 1/2 XTIMCLK)

7.9.7 闪存定时

7.9.7.1 A 和 S 温度材料的闪存耐久性

		擦除/编程温度	最小值	典型值	最大值	单位
N_f	阵列的闪存耐久性（写入/擦除周期）(1)	0°C 至 85°C（环境温度）	20000	50000		周期
N_{OTP}	阵列的 OTP 耐久性（写入周期）(1)	0°C 至 85°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

7.9.7.2 Q 温度材料的闪存耐久性

		擦除/编程温度	最小值	典型值	最大值	单位
N_f	阵列的闪存耐久性（写入/擦除周期）(1)	-40°C 至 125°C（环境温度）	20000	50000		周期
N_{OTP}	阵列的 OTP 耐久性（写入周期）(1)	-40°C 至 125°C（环境温度）			1	写入

(1) 所示温度范围之外的写入/擦除操作并未说明，有可能影响耐受数。

7.9.7.3 150MHz SYSCLKOUT 上的闪存参数：

参数		测试条件	最小值	典型值	最大值	单位
编程时间(3)	16 位字			50		μs
	32K 扇区			1000	2000(2)	ms
	16K 扇区			500	2000(2)	ms
擦除时间(1)	32K 扇区	Q 级		2	12(2)	s
	16K 扇区			2	12(2)	
擦除时间(1)	32K 扇区	A、S 级		2	15(2)	s
	16K 扇区			2	15(2)	
$I_{DD3VFLP}$ (4)	擦除/编程周期期间的 V_{DD3VFL} 流耗	擦除		75		mA
		编程		35		mA
I_{DDP} (4)	擦除/编程周期期间的 V_{DD} 流耗			180		mA
I_{DDIOP} (4)	擦除/编程周期期间的 V_{DDIO} 流耗			20		mA

(1) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。
(2) 所提到的最大闪存参数对应于前 100 个编程和擦除周期。
(3) 编程时间是最大器件频率下的值。此表中指示的编程时间仅适用于器件 RAM 中的所有必需代码/数据都可用并准备好进行编程的情况。编程时间包括闪存状态机的开销，但不包括将以下项传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要进行编程的闪存数据

(4) 在室温下看到的典型参数包含函数调用开销，且关闭所有外设。在整个闪存编程过程中保持电源稳定很重要。可想而知，闪存编程期间的器件电流消耗可能高于正常工作条件。如数据表“建议工作条件”中所述，使用的电源应始终确保 V_{MIN} 位于电源轨上。擦除/编程过程中发生任何欠压保护或电源中断，都可能会损坏密码位置并永久锁定器件。不建议通过 USB 端口为目标板供电（在闪存编程期间），因为该端口可能无法响应编程过程中设置的电源需求。

Copyright © 2022 Texas Instruments Incorporated

7.9.7.4 闪存 / OTP 访问时序

参数		最小值	最大值	单位
$t_{a(fp)}$	页式闪存访问时间	37		ns
$t_{a(fr)}$	随机闪存访问时间	37		ns
$t_{a(OTP)}$	OTP 访问时间	60		ns

7.9.7.5 闪存数据保持持续时间

参数		测试条件	最小值	最大值	单位
$t_{retention}$	数据保持持续时间	T_J=55°C	15		年

表 7-4. 不同频率上所需最小的闪存 / OTP 等待状态

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	页等待状态	随机等待状态(1)	OTP 等待状态
150	6.67	5	5	8
120	8.33	4	4	7
100	10	3	3	5
75	13.33	2	2	4
50	20	1	1	2
30	33.33	1	1	1
25	40	1	1	1
15	66.67	1	1	1
4	250	1	1	1

(1) 页和随机等待状态必须 ≥ 1。

计算表 7-4 中闪存页等待状态和随机等待状态的等式如下：

$$\text{Flash Page Wait State} = \left[\left(\frac{t_{a(f\cdot p)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer or 1, whichever is larger}$$

$$\text{Flash Random Wait State} = \left[\left(\frac{t_{a(f\cdot r)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer or 1, whichever is larger}$$

计算表 7-4 中 OTP 等待状态的等式如下：

$$\text{OTP Wait State} = \left[\left(\frac{t_{a(OTP)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer or 1, whichever is larger}$$

7.10 片载模数转换器

7.10.1 ADC 电气特性（在推荐的工作条件下测得）

参数[(1) (2)]		最小值	典型值	最大值	单位
直流规格 [(3)]					
分辨率		12			位
ADC 时钟		0.001		25	MHz
精度					
INL（积分非线性）	1-12.5MHz ADC 时钟 (6.25MSPS)			±1.5	LSB
	12.5-25MHz ADC 时钟 (12.5MSPS)			±2	最低有效位 (LSB)
DNL（微分非线性）[(4)]				±1	LSB
失调误差[(5) (3)]		-15		15	最低有效位 (LSB)
内部基准总增益误差[(6) (3)]		–30		30	最低有效位 (LSB)
带有内部基准的总增益误差[(3)]		–30		30	LSB
通道间偏移变化			±4		LSB
通道间增益变化			±4		LSB
模拟输入					
模拟输入电压（ADCINx 至 ADCLO）[(7)]		0		3	V
ADCLO		-5	0	5	mV
输入电容			10		pF
输入漏电流				±5	μA
内部电压基准 [(6)]					
$V_{ADCREFP}$ - 基于内部基准的引脚上的 ADCREFP 输出电压			1.275		V
$V_{ADCREFM}$ - 基于内部基准的引脚上的 ADCREFM 输出电压			0.525		V
电压差异，ADCREFP-ADCREFM			0.75		V
温度系数			50		PPM/°C
外部电压基准 [(6) (8)]					
$V_{ADCREFIN}$ - 在推荐的 ADCREFIN 引脚 0.2% 或者更好的精确基准上的外部基准电压输入	ADCREFSEL[15:14]=11b		1.024		V
	ADCREFSEL[15:14]=10b		1.500		V
	ADCREFSEL[15:14]=01b		2.048		V
AC 技术规格					
SINAD (100kHz) 信噪比+失真			67.5		dB
SNR (100kHz) 信噪比			68		dB
THD (100kHz) 总谐波失真			-79		dB
ENOB (100kHz) 有效位数			10.9		位
SFDR (100kHz) 无杂散动态动态范围			83		dB

(1) 在 25 MHz ADCCLK 上测得。
(2) 这个表中的所有电压相对 V_{SSA2}。
(3) 如果 ADC 的校准例程被从引导 ROM 执行，ADC 增益误差和偏移误差参数只为额定值。更多信息请查阅 节 8.2.7.3。
(4) TI 指定 ADC 将无丢码。
(5) 1 个 LSB 有 3.0/4096=0.732 mV 的加权值。
(6) 一个单一内部/外部带隙基准为 ADCREFP 和 ADCREFM 信号供源，因此，这些电压可一起跟踪。ADC 转换器使用这两个之间的差异作为它的基准。这里列出的内部基准总增益误差包括内部带隙在温度范围内的运动。针对外部基准选项的温度范围内的增益误差将取决于所使用源的温度参数。
(7) 当在一个模拟输入引脚上施加高于 V_{DDA} + 0.3V 或者低于 V_{SS} - 0.3V 的电压时，有可能暂时影响另一个引脚的转换。为了避免这种情况，模拟输入应该被保持在这些限值内。

Copyright © 2022 Texas Instruments Incorporated

(8) TI 建议使用高精度外部基准 TI 部件 REF3020/3120 或者针对 2.048V 基准的等效器件。

7.10.2 ADC 加电控制位时序

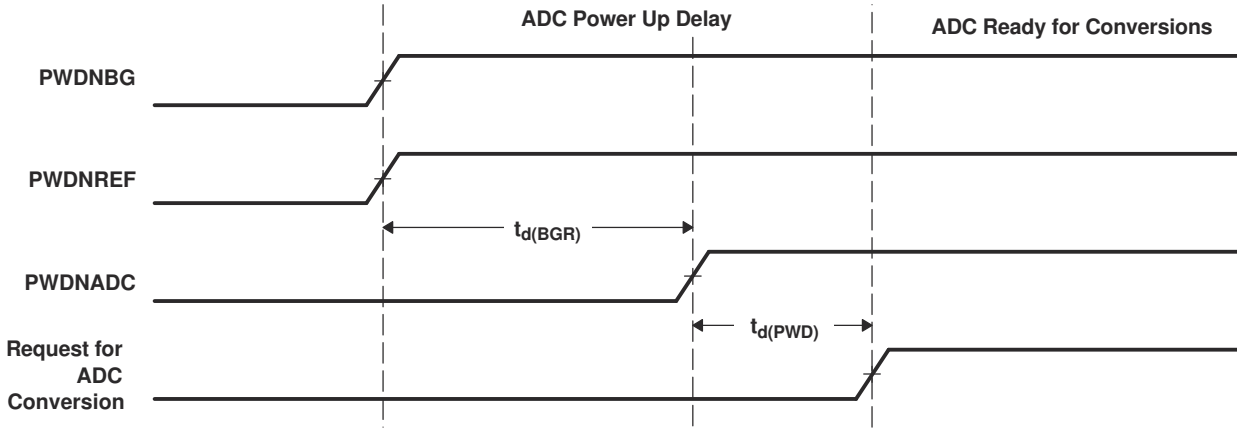


图 7-37. ADC 加电控制位时序

7.10.2.1 ADC 加电延迟

参数[1]		最小值	典型值	最大值	单位
$t_{d(BGR)}$	带隙基准稳定所需的延迟时间。ADCTRL3 寄存器的位 7 和 6 (ADCBGRFDN1/0) 在 PWDNADC 位被启用前被设定为 1。			5	ms
$t_{d(PWD)}$	断电控制稳定所需的延迟时间。带隙基准稳定所需的位延迟时间。ADCTRL3 寄存器的位 7 和 6 (ADCBGRFDN1/0) 在 PWDNADC 位被启用前被设定为 1。ADCTRL3 寄存器的位 5 (PWDNADC) 在任何 ADC 转换启动前被设定为 1。	20	50		μs
				1	ms

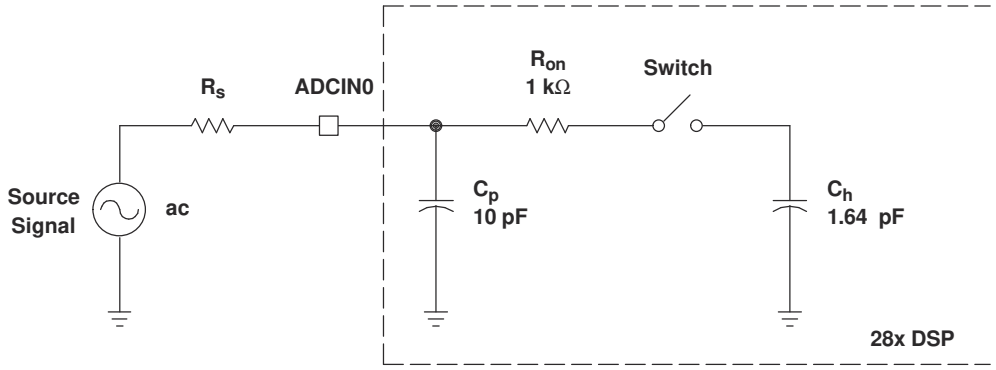
(1) 时序保持与 281x ADC 模块的兼容性。2833x/2823x ADC 也支持同时驱动所有 3 位，并在首次转换前等待 $t_{d(BGR)}$ ms。

7.10.2.2 不同 ADC 配置的典型电流消耗（在 25MHz ADCCLK 条件下）

ADC 工作模式	条件[1] [2]	V_{DDA18}	$V_{DDA3.3}$	单位
模式 A（运行模式）	• BG REF 被启用 • PWD 被禁用	30	2	mA
模式 B：	• ADC 时钟被启用 • BG 和 REF 被启用 • PWD 被启用	9	0.5	mA
模式 C：	• ADC 时钟被启用 • BG 和 REF 被禁用 • PWD 被启用	5	20	μA
模式 D：	• ADC 时钟被禁用 • BG 和 REF 被禁用 • PWD 被启用	5	15	μA

(1) 测试条件：
SYSCLKOUT= 150MHz
ADC 模块时钟 = 25MHz
ADC 在模式 A 中执行一个所有 16 通道的连续转换

(2) V_{DDA18} 包括进入 V_{DD1A18} 和 V_{DD2A18} 的电流。$V_{DDA3.3}$ 包括进入 V_{DDA2} 和 V_{DDAIO} 的电流。



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}):	1 kΩ
Sampling Capacitor (C_h):	1.64 pF
Parasitic Capacitance (C_p):	10 pF
Source Resistance (R_s):	50 Ω

图 7-38. ADC 模拟输入阻抗模型

7.10.3 定义

基准电压

片载 ADC 有一个内置基准，这个基准为 ADC 提供了基准电压。

模拟输入

片载 ADC 由 16 个模拟输入组成，这些通道或者同时采样，或者每次两个通道采样。 这些输入为软件可选。

转换器

片载 ADC 使用一个 12 位四级管线架构，此架构可在低功耗时实现一个高采样率。

转换时间

转换可以在两个不同的转换模式中执行：

- 顺序采样模式 (SMODE = 0)
- 同步采样模式 (SMODE= 1)

Copyright © 2022 Texas Instruments Incorporated

7.10.4 顺序采样模式（单通道）(SMODE = 0)

在顺序采样模式下，ADC 能够持续在任一通道（Ax 至 Bx）上转换输入信号。ADC 能够在来自 ePWM，软件触发器，或者来自一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 0，ADC 将在每个采样/保持脉冲上的所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的每个下降边沿上被采样。采样/保持脉冲宽度可被设定为 1 个 ADC 时钟宽（最小值）或者 16 个 ADC 时钟宽（最大值）。

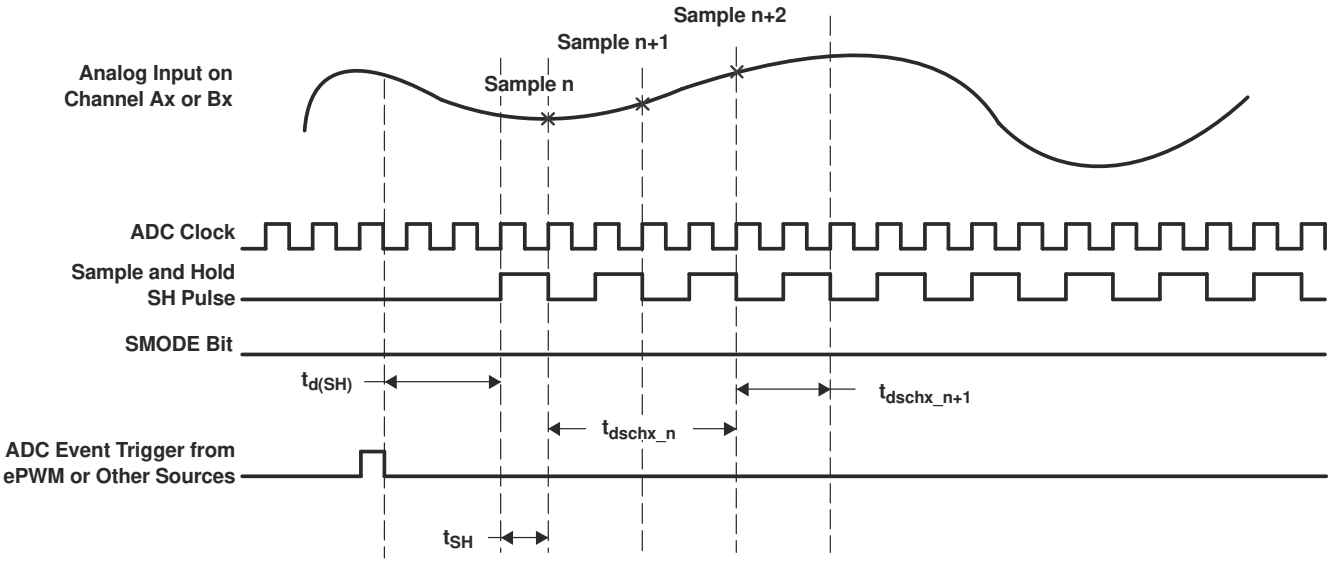


图 7-39. 顺序采样模式（单通道）时序

7.10.4.1 顺序采样模式时序

		SAMPLE（样本）n	SAMPLE n + 1	在 25MHz ADC 时钟、$t_{c(ADCCLK)}$ = 40ns 条件下	注释
$t_{d(SH)}$	从事件触发器到采样的延迟时间	$2.5t_{c(ADCCLK)}$			
t_{SH}	采样/保持宽度/采集宽度	(1 + Acqps) * $t_{c(ADCCLK)}$		Acqps = 0 时为 40ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_{d(schx_n)}$	结果寄存器出现第一个结果的延迟时间	$4t_{c(ADCCLK)}$		160ns	
$t_{d(schx_n+1)}$	结果寄存器中出现连续结果的延迟时间		(2 + Acqps) * $t_{c(ADCCLK)}$	80ns	

7.10.5 同步采样模式（双通道）(SMODE=1)

在同步模式中，ADC 可在任何一对通道（A0/B0 至 A7/B7）持续转换输入信号。ADC 能够在来自 ePWM，软件触发器，或者来自一个外部 ADCSOC 信号的事件触发上启动转换。如果 SMODE 位为 1，ADC 将在每个采样/保持脉冲上的两个所选通道上进行转换。下面对转换时间和结果寄存器更新的延迟进行解释说明。ADC 中断标志在结果寄存器更新之后的几个 SYSCLKOUT 周期内被设定。所选通道将在采样/保持脉冲的下降边沿上被同时采样。采样/保持脉冲宽度可被设定为 1 个 ADC 时钟宽（最小值）或者 16 个 ADC 时钟宽（最大值。）

备注

在同步模式中，ADCIN 通道对选择必须为 A0/B0、A1/B1、...、A7/B7，并且不能进行任何其他组合（例如 A1/B3，等等）。

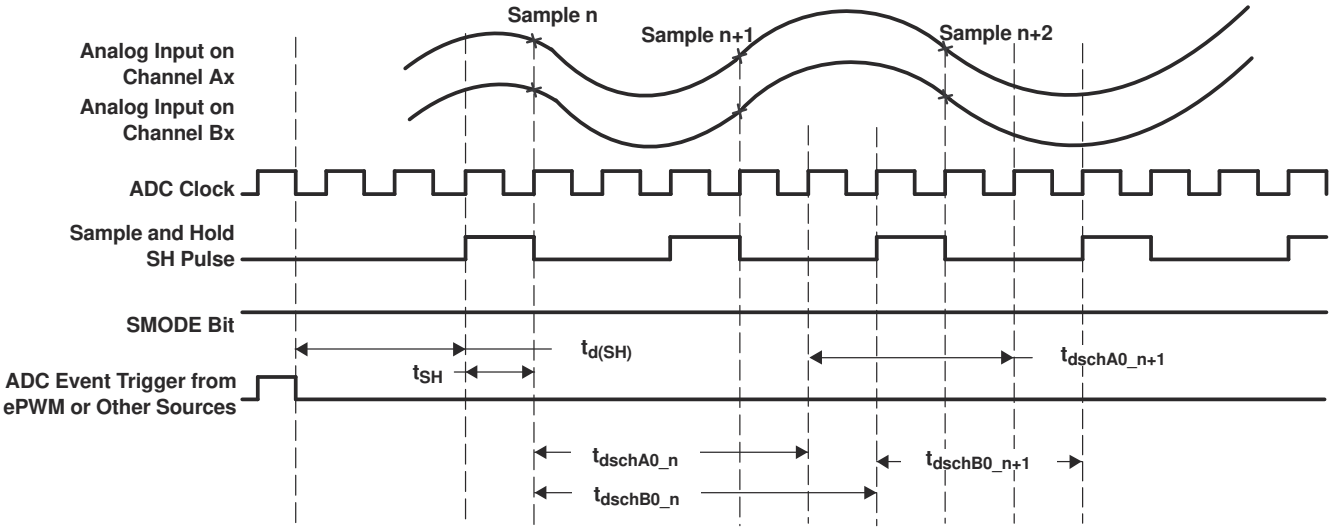


图 7-40. 同步采样模式时序

7.10.5.1 同步采样模式时序

		SAMPLE n	SAMPLE n + 1	在 25MHz ADC 时钟、$t_{c(ADCCLK)}$ = 40ns 条件下	注释
$t_{d(SH)}$	从事件触发器到采样的延迟时间	$2.5t_{c(ADCCLK)}$			
t_{SH}	采样/保持宽度/采集宽度	(1 + Acqps) * $t_{c(ADCCLK)}$		Acqps = 0 时为 40ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_{d(schA0_n)}$	结果寄存器出现第一个结果的延迟时间	$4t_{c(ADCCLK)}$		160ns	
$t_{d(schB0_n)}$	结果寄存器出现第一个结果的延迟时间	$5t_{c(ADCCLK)}$		200ns	
$t_{d(schA0_n+1)}$	结果寄存器中出现连续结果的延迟时间		(3 + Acqps) * $t_{c(ADCCLK)}$	120ns	
$t_{d(schB0_n+1)}$	结果寄存器中出现连续结果的延迟时间		(3 + Acqps) * $t_{c(ADCCLK)}$	120ns	

Copyright © 2022 Texas Instruments Incorporated

7.10.6 详细说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现一半 LSB。满刻度点被定义为超过最后一次代码转换的级别一半 LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 ADC 显示分开距离恰好为 1 个 LSB 的代码转换。DNL 是从这个理想值的偏离。一个少于 ±1 LSB 的微分非线性误差可确保无丢码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 LSB 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 LSB 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比 + 失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 dc）的均方根总和的比。SINAD 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用下面的公式，$N = \frac{(SINAD - 1.76)}{6.02}$ 有可能获得一个用 N（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 SINAD 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无伪波动态范围 (SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

7.11 F2833x 器件和 F2823x 器件之间的迁移

这两个器件之间的主要区别是在 F2823x 器件中没有浮点单元（FPU）。本节介绍了如何为每个器件建立一个应用：

- 对于 F2833x 器件：
  - 服务版本 9 更高版本 的 Code Composer Studio 3.3 被要求用于 C28x+ 浮点器件的调试支持。
  - 使用 -V28 -- float_support = fpu32 的编译器选项。-- float_support 选项可在 V5.0.2 或更高版本的编译器中找到。在 Code Composer Studio 中，-- float_support 选项位于编译器选项中的高级标签页上 (Project → Build_Options → Compiler → Advanced tab)。
  - 包括用于本地 32 位浮点的编译器的运行时间支持库。例如，rts2800_fpu32.lib 用于 C 代码 或 rts2800_fpu32_eh.lib 用于 C++ 代码。
  - 考虑使用 C28x FPU Fast RTS Library（用于 C2000 MCU 的 C2000Ware 的一部分）来应用 sin、cos、div、sqrt 和 atan 等高性能浮点数学函数。在正常运行时支持库前，应连接快速 RTS 库。
- 对于 F2823x 器件：
  - 要么停止 --float_support 开关，要么使用 -v28 --float_support=none
  - 包括用于定点代码的适当的运行时间支持库。例如，rts2800_ml.lib 用于 C 代码 或 rts2800_ml_eh.lib 用于 C++ 代码。
  - 考虑使用 C28x IQMath 库 - 虚拟浮点引擎来通过 sin、cos、div、sqrt 和 atan 等数学函数实现性能提升。

    以这种方式建立的代码也将在 F2833x 器件上运行，但它不能使用片上浮点运算单元。

在这两种情况下，为了允许本地浮点和定点设备之间的快速的可移植性，TI 建议使用 C28x IQMath 库中所述的 IQmath 宏语言编写代码。

Copyright © 2022 Texas Instruments Incorporated

8 详细说明

8.1 简要说明

8.1.1 C28x CPU

F2833x (C28x+FPU)/F2823x (C28x) 系列是 TMS320C2000™ 实时微控制器 (MCU) 平台的一部分。这些 C28x+FPU 的控制器不仅具有与 TI 现有 C28x MCU 相同的 32 位定点架构，而且还包括一个单精度（32 位）的 IEEE 754 浮点单元 (FPU)。这是一个非常高效的 C/C++ 引擎，它使用户能够用高级语言开发其系统控制软件。这也使得能够使用 C/C++ 开发算术算法。此器件在处理 DSP 数学任务时与处理系统控制任务一样高效，而系统控制任务通常由微控制器器件处理。鉴于此器件具有高效率，无需像很多系统一样使用第二个处理器。利用 32 x 32 位 MAC 64 位处理能力，控制器能够高效地处理更高的数值分辨率问题。添加了带有关键寄存器自动环境保存的快速中断响应，使得一个器件能够用最小的延迟处理很多异步事件。此器件有一个具有流水线式存储器访问的 8 级深受保护流水线。这个流水线式操作使得此器件能够在高速执行而无需求助于昂贵的高速存储器。特别分支超前硬件大大减少了条件不连续而带来的延迟。特别存储条件操作进一步提升了性能。

F2823x 系列也是 TMS320C2000™ 实时微控制器 (MCU) 平台的成员，但它不含浮点单元 (FPU)。

8.1.2 内存总线（哈弗总线架构）

与很多 MCU 类型器件一样，内存、外设和 CPU 之间使用多个总线来移动数据。C28x 内存总线架构包括程序读取总线、数据读取总线和数据写入总线。程序读取总线包含 22 条地址线和 32 条数据线。数据读取总线和数据写入总线各由 32 条地址线和 32 条数据线组成。32 位宽数据总线可实现单周期 32 位运行。多总线结构，通常称为哈弗总线，使得 C28x 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

最高级：	数据写入	（内存总线上不能同时进行数据和程序写入。）
	程序写入	（内存总线上不能同时进行数据和程序写入。）
	数据读取	
	程序读取	（内存总线上不能同时进行程序读取和取指令。）
最低级：	取指令	（内存总线上不能同时进行程序读取和取指令。）

8.1.3 外设总线

为了在各种 TI MCU 器件系列之间实现外设迁移，2833x/2823x 器件采用一个针对外设互连的外设总线标准。外设总线桥对各个总线进行多路复用，使处理器内存总线成为包含 16 条地址线和 16 条或 32 条数据线及关联控制信号的单个总线。支持外设总线的三个版本。一个版本只支持 16 位访问（被称为外设帧 2）。另外版本支持 16 位和 32 位访问（被称为外设帧 1）。第三版本支持 DMA 访问和 16 位以及 32 位访问（被称为外设帧 3）。

8.1.4 实时 JTAG 和分析

2833x/2823x 器件使用标准的 IEEE1149.1 JTAG 接口。此外，器件支持实时运行模式，在处理器正在运行、执行代码并且处理中断时，可修改存储器内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用将被处理的时间关键中断。此器件在 CPU 的硬件内执行实时模式。这是 2833x/2823x 器件所独有的特性，无需软件监控。此外，还提供了特别分析硬件以实现硬件断点或者数据/地址观察点的设置并当一个匹配发生时生成不同的用户可选中断事件。

8.1.5 外部接口(XINTF)

这个异步接口由 20 条地址线路，32 条数据线路，和 3 个芯片选族线路组成。此芯片选择线路会映射到 3 个外部区域，即区域 0、6 和 7。3 个区域中的每个区域可被设定为不同的等待状态数量、选通信号设置和保持时序，并且每个区域可被外部设定为扩展等待状态或者没有扩展等待状态。编程设定的等待状态、芯片选择和可编程选通时序可实现到外部存储器和外设的无缝接口。

8.1.6 闪存

F28335/F28333/F28235 器件包含 256K x16 的嵌入式闪存，该闪存分成 8 个 32K x16 扇区。F28334/F28234 器件包含 128K x 16 的嵌入式闪存，被分别放置在 8 个 16K x 16 扇区中。F28332/F28232 器件包含 64K x 16 的嵌入式闪存，被分别放置在 4 个 16K x 16 扇区内。所有器件还包含一个单 1K x 16 OTP 内存，其地址范围为 0x380400-0x3807FF。用户能够在不改变其它扇区的同时单独对一个闪存扇区进行擦除、编程和验证。 然而，不能使用闪存的一个扇区或者这个 OTP 来执行对其它扇区进行擦除/编程的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存/OTP 被映射到程序和数据空间；因此，它可被用于执行代码或者存储数据信息。请注意地址 0x33FFF0-0x33FFF5 为数据变量保留且不应包含程序代码。

备注

闪存和 OTP 写入状态可由应用配置。这使得运行在较低频率上的应用能够将闪存配置为使用较少的等待状态。

可通过在闪存选项寄存器中启用闪存流水线操作模式来提升闪存的效能。这个模式被启用时，线性代码执行的效能将远远快于只由等待状态配置所表示的原始性能。使用闪存流水线模式时确切的性能增加依应用而定。

有关闪存选项、闪存等待状态和 OTP 等待状态寄存器的更多信息，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。

8.1.7 M0，M1 SARAM

所有 2833x/2823x 器件均包含两个单周期访问存储器块，每个大小为 1K×16。复位时，堆栈指针指向块 M1 的开始位置。M0 和 M1 块，与所有其它 C28x 器件上的内存块一样，被映射到程序和数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者用于数据变量。分区在连接器内执行。C28x 器件提供了一个到编程器的统一内存映射。这使得用高级语言编程变得更加容易。

8.1.8 L0, L1, L2, L3, L4, L5, L6, L7, H0, H1, H2, H3, H4, H5SARAM

F28335/F28333/F28235 和 F28334/F2823 都包含了 32K×16 的单周期访问 RAM，每个 RAM 分为 8 个区块（L0 – L7 且每块 4K）。F28332/F28232 包含 24K×16 单一访问 RAM,每个分为 6 个区块（L0-L5 且每块 4K）。每个块可被独立访问以大大减少 CPU 管线延迟。每个块被映射到程序和数据空间。L4，L5，L6，L7 可由 DMA 访问。

Copyright © 2022 Texas Instruments Incorporated

8.1.9 引导 ROM

引导 ROM 由厂家使用引导载入软件进行设定。提供的引导模式信号告诉引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从外部连接下载新软件或者选择在内部闪存/ROM 中编辑的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 8-1. 引导模式选择

模式	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	模式[(1)]
F	1	1	1	1	跳转到闪存
E	1	1	1	0Ω	SCI-A 引导
D	1	1	0	1	SPI-A 引导
C	1	1	0	0	I2C-A 启动
B	1	0	1	1	eCAN-A 启动
A	1	0	1	0Ω	McBSP-A 引导
9	1	0	0	1	跳转到 XINTF x16
8	1	0	0	0	跳转到 XINTF x32
7	0	1	1	1	跳转到 OTP
6	0	1	1	0Ω	并行 GPIO I/O 引导
5	0	1	0	1	并行 XINTF 引导
4	0	1	0	0	跳转至 SARAM
3	0	0	1	1	分支到检查引导模式
2	0	0	1	0Ω	分支到闪存，跳过 ADC 校准
1	0	0	0	1	分支到 SARAM，跳过 ADC 校准
0	0	0	0	0	分支到 SCI，跳过 ADC 校准

(1) 所有的 4 个 GPIO 引脚都有内部上拉电阻器。

备注

模式 0，1，2 表 8-1 只用于 TI 调试。应用程序中跳过 ADC 校准功能将导致 ADC 在规定的技术规格之外运行

8.1.9.1 引导加载器使用的外设引脚

表 8-2 显示了每一个外设引导加载器所使用的 GPIO 引脚。请参阅 GPIO 多路复用器表以检查这些引脚是否与您希望在应用中使用的任一外设冲突。

表 8-2. 外设引导加载引脚

引导加载器	外设加载器引脚
SCI-A	SCIRXDA (GPIO28) SCITXDA (GPIO29)
SPI-A	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)
McBSP	MDXA (GPIO20) MDRA (GPIO21) MCLKXA (GPIO22) MFSXA (GPIO23) MCLKRA (GPIO7) MFSRA (GPIO5)

8.1.10 安全性

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个 128 位密码（针对 16 个等待状态的硬编码），此密码由用户编辑入闪存。一个代码安全模块 (CSM) 用于保护闪存 / OTP 和 L0/L1/L2/L3 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正确的 128 位 KEY（密钥）值。

除了 CSM，仿真代码安全逻辑电路 (ECSL) 也已经被实现来防止未经授权的用户安全代码。在 JTAG 调试探针连接期间，任何对于闪存、用户 OTP、L0、L1、L2 或 L3 存储器的代码或者数据访问都将触发 ECSL 并断开仿真连接。为了实现安全代码仿真，同时保持 CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的低 64 位的值相符合。请注意仍须执行闪存内所有 128 位密码的假读取。如果密码位置的低 64 位为全 1（未被编辑），那么无须符合 KEY 值。

当使用闪存内编程的密码位置（即安全位置）开始调试器件时，JTAG 调试探针需要一些时间来控制 CPU。在此期间，CPU 将开始运行，并可能执行一个访问 受保护 ECSL 区的指令。如果这一情况发生，ECSL 将跳闸，导致 JTAG 调试探针连接断开。这个问题有两个解决方案：

1. 首先是使用复位等待仿真模式，该模式会将器件保持在复位状态，直到 JTAG 调试探针获得控制权。JTAG 调试探针必须支持此模式才能使用此选项。
2. 第二种选择是使用“分支至检查引导模式”引导选项。这将进入一个环路，并不断轮询引导模式选择引脚。通过将 PC 重新映射到另一个地址，或通过将引导模式选择引脚更改为所需的引导模式，用户可以选择此引导模式，然后在连接 JTAG 调试探针时退出该模式。

备注

- 对代码安全密码进行编程时，0x33FF80 至 0x33FFF5 之间的所有地址均无法用作程序代码或数据。这些位置必须编程为 0x0000。
- 如果未使用代码安全特性，地址 0x33FF80 至 0x33FFEF 可用于代码或数据。地址 0x33FFF0 至 0x33FFF5 为数据保留，不应包含程序代码。

128 位密码（位于 0x33FFF8 至 0x33FFFF）不能编程为 0。否则将永久锁定器件。

Copyright © 2022 Texas Instruments Incorporated

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关内存（ROM 或者闪存）中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件提供保证，确保符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

8.1.11 外设中断扩展 (PIE) 块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。在 2833x/2823x 上，外设使用 96 个可能的中断中的 58 个。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断线（INT1 或者 INT12）中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动抽取。获取这个矢量以及保存关键 CPU 寄存器将需要 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用或禁用。

8.1.12 外部中断 (XINT1-XINT7，XNMI)

此器件支持 8 个被屏蔽的外部中断 (XINT1 – XINT7, XNMI)。XNMI 可被连接至 INT13 或者 CPU 的 NMI 中断。这些中断中的每一个可被选择用于负边沿、正边沿或者正负边沿触发，并且可被启用或禁用（包括 XNMI 在内）。XINT1、XINT2 和 XNMI 还包含一个 16 位自由运行的加法计数器，当检测到有效的中断边沿时，该计数器复位为 0。这个计数器可被用于为中断精确计时。与 281x 器件不同，没有用于外部中断的专用引脚。XINT1，XINT2 和 XINT 中断可接受来自 GPIO0-GPIO31 引脚的输入。XINT3 – XINT7 中断可接受来自 GPIO32-GPIO63 引脚的输入。

8.1.13 振荡器和锁相环 (PLL)

该器件可由一个外部振荡器计时或者由一个连接到片载振荡器电路的晶振计时。提供的 PLL 支持高达 10 个输入时钟缩放比。PLL 比率可用软件中在器件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。有关时序的详细信息，请参阅节 7.9.4.4。PLL 块可被设定为旁路模式。

8.1.14 看门狗

C 支持一个安全装置定时器。用户软件必须在一个特定的时间范围内定期复位 CPU 安全装置计数器；否则，CPU 安全装置将生产一个到处理器的复位。如果需要，可禁用安全装置。

8.1.15 外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用或禁用以减少功耗。此外，串行端口（I2C 和 eCAN 除外）和 ADC 块的系统时钟可相对于 CPU 时钟进行缩放。这样可去除外设时序到逐渐增加的 CPU 时钟速度的耦合。

8.1.16 低功耗模式

此器件是完全静态 CMOS 器件。提供三个低功耗模式：

- 空闲： 将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间需要运行的外设保持运行状态。来自激活外设或者安全装置定时器的已启用的中断将把处理器从 IDLE 模式中唤醒。
- 待机： 关闭到 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。
- 停机： 关断内部振荡器基本上，这个模式关断器件并将器件置于尽可能低的功耗模式中。一个复位或者外部信号能将器件从这个模式中唤醒。

Copyright © 2022 Texas Instruments Incorporated

8.1.17 外设帧 0，1，2，3 (PFn)

此器件将外设分成四个部分。外设映射如下：

PF0：	PIE：	PIE 中断启用和控制寄存器加上 PIE 矢量表
	闪存：	闪存等待状态寄存器
	XINTF：	外部接口寄存器
	DMA	DMA 寄存器
	计时器：	CPU - 计时器 0，1，2 寄存器
	CSM：	代码安全模块 KEY 寄存器
	ADC：	ADC 结果寄存器（双映射）
PF1：	eCAN：	eCAN 邮箱和控制寄存器
	GPIO：	GPIO MUX 配置和控制寄存器
	ePWM：	增强型脉冲宽度调制器模块和寄存器（双映射）
	eCAP：	增强型捕捉模块和寄存器
	eQEP:	增强型正交解码器脉冲模块和寄存器
PF2：	SYS：	系统控制寄存器
	SCI：	串行通信接口 (SCI) 控制和 RX/TX 寄存器
	SPI：	串行端口接口 (SPI) 和 RX/TX 寄存器
	ADC：	ADC 状态、控制和结果寄存器
	IC2：	内部电路模块和寄存器
	XINT	外部中断寄存器
PF3：	McBSP	多通道缓冲串行端口寄存器
	ePWM：	增强型脉冲宽度调制器模块和寄存器（双映射）

8.1.18 通用输入/输出 (GPIO) 复用器

大多数的外设信号与 GPIO 信号进行多路复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时，GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪音毛刺脉冲。GPIO 信号也可被用于使器件脱离特定低功耗模式。

8.1.19 32 位 CPU 计时器 (0，1，2)

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，这些计时器带有可预先设定的周期和 16 位时钟预分频。此计时器有一个 32 位倒数寄存器，此寄存器在计数器达到 0 时生成一个中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。CPU - 计时器 2 为实时 OS (RTOS)/BIOS 应用而被保留。该计时器连接至 CPU 的 INT14。如果不使用 DSP/BIOS 和 SYS/BIOS，CPU 计时器 2 也可用于普通用途。CPU 计时器 1 为通用计时器并被连接至 CPU 的 INT13。CPU 计时器 0 也为通用计时器并被连接至 PIE 块。

8.1.20 控制外设

2833x/2823x 器件支持以下用于嵌入式控制和通信的外设：

ePWM： 增强型 PWM 外设支持针对前缘和后缘边沿、被锁存的和逐周期触发机制的独立的和互补的 PWM 生成，可调节死区生成。某些 PWM 引脚支持 HRPWM 特性。ePWM 寄存器由 DMA 支持，以便减少处理该外设的开销。

eCAP： 这个增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。
此外设还可配置为生成辅助 PWM 信号。

eQEP： 增强型 QEP 外设使用一个 32 位位置计数器，使用捕捉单元和一个 32 位单元计时器分别支持低速测量和高速测量。
这个外设具有一个看门狗计时器来检测电机停转，并通过输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。

ADC： ADC 块是一个 12 位、单端、16 通道转换器。它包含两个用于同步采样的采样保持单元。ADC 寄存器被 DMA 支持以便减少处理该外设的开销。

8.1.21 串行端口外设

此器件支持下列的串行通信外设：

eCAN： 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳并符合 ISO 11898-1 (CAN 2.0B) 标准。

McBSP： 多通道缓冲串行端口 (McBSP) 连接到 E1/T1 线路、调制解调器应用的语音质量编解码器，或高质量立体声音频 DAC 器件。McBSP 接收和发送寄存器由 DMA 支持以大大减少处理这个外设所用的开销。如果需要，每一个 McBSP 模块可被配置为一个 SPI。

SPI： SPI 是一个高速同步串行 I/O 端口，此端口允许已经过长度编程（1 至 16 位）的串行位流以可编程的位传输速率移入和移出器件。通常，SPI 用于 MCU 和外部外设或者其他处理器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。在 2833x/2823x 上，SPI 包含一个 16 级接收和发送 FIFO 来减少中断服务开销。

SCI： 串行通信接口是一种双线制异步串行端口，通常称为 UART。SCI 包含一个用于减少中断处理开销的 16 级接收和发送 FIFO。

I2C： 内部集成电路 (I2C) 模块在 MCU 与符合 Philips Semiconductors 内部集成电路总线（I2C 总线）规范版本 2.1 并通过 I2C 总线连接的其他器件之间提供一个接口。该双线制串行总线上连接的外部元件可以通过 I2C 模块向 MCU 发送/从 MCU 接收多达 8 位数据。在 2833x/2823x 上，I2C 包含一个 16 级接收和发送 FIFO 来减少中断服务开销。

Copyright © 2022 Texas Instruments Incorporated

8.2 外设

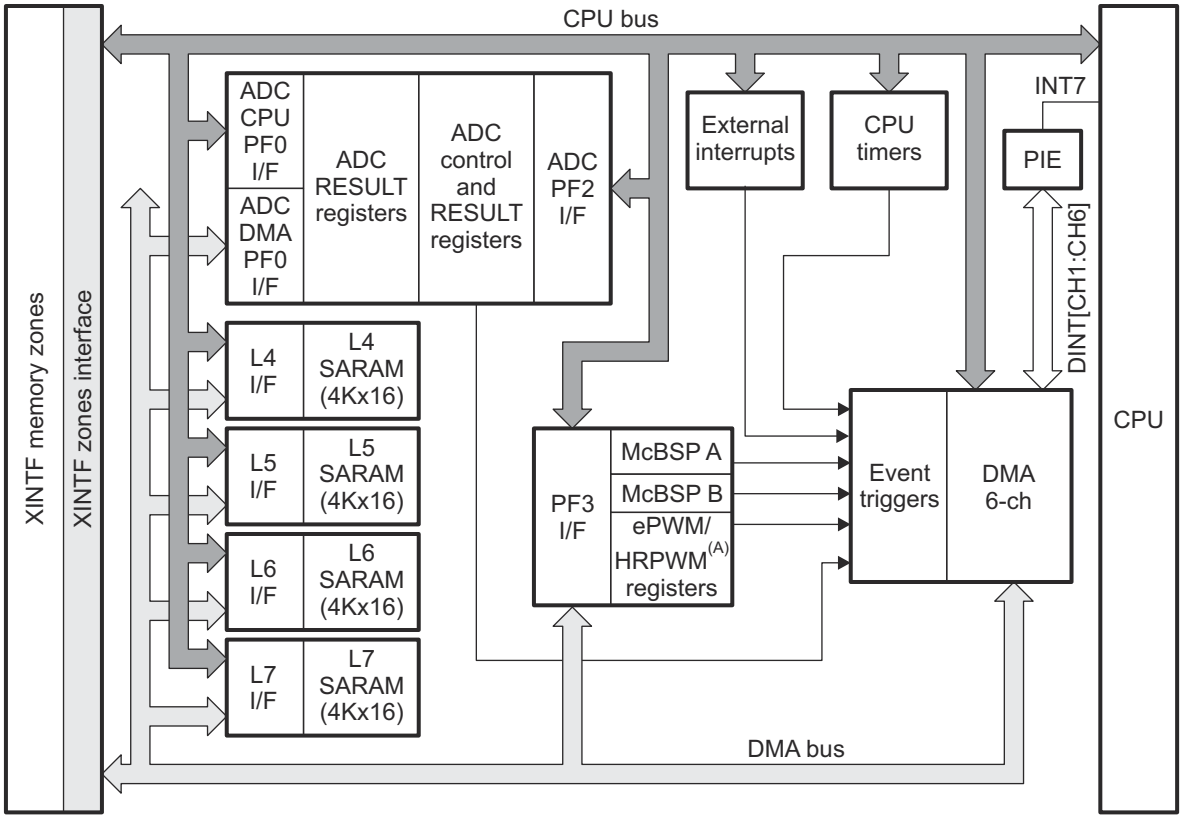
2833x 和 2823x 器件的集成外设在以下各个子部分进行了说明：

- 6 通道直接内存存取 (DMA)
- 三个 32 位 CPU 计时器
- 多达 6 个增强型 PWM 模块（ePWM1、ePWM2、ePWM3、ePWM4、ePWM5、ePWM6）
- 高达 6 个增强型捕获模块 (eCAP1，eCAP2，eCAP3，eCAP4，eCAP5，eCAP6)
- 多达 2 个增强型 QEP 模块（eQEP1、eQEP2）
- 增强型模数转换器 (ADC) 模块
- 多达 2 个增强型控制器局域网 (eCAN) 模块 (eCAN-A，eCAN-B)
- 多达 3 个串行通信接口模块(SCI-A，SCI-B，SCI-C)
- 1 个串行外设接口 (SPI) 模块（SPI-A）
- 内部集成电路 (I2C) 模块
- 高达两个多通道缓冲串口 (McBSP-A，McBSP-B) 模块
- 数字 I/O 和共用引脚功能
- 外部接口 (XINTF)

8.2.1 DMA 概述

特性:

- 6 个具有独立 PIE 中断的通道
- 触发源：
  - ePWM SOCA/SOCB
  - ADC 序列发生器 1 和序列发生器 2
  - McBSP-A 和 McBSP-B 传输和接收逻辑
  - XINT1-7 和 XINT13
  - CPU 计时器
  - 软件
- 数据源和目标：
  - L4 – L7 16K × 16 SARAM
  - 所有 XINTF 区域
  - ADC 内存总线映射结果寄存器
  - McBSP-A 和 McBSP-B 发送和接收缓冲区
  - ePWM 寄存器
- 字大小：16 位或 32 位（McBSP 限制到 16 位）
- 数据率：4 个周期/字（McBSP 读取时为 5 个周期/字）



A. ePWM 和 HRPWM 寄存器必须重新映射到 PF3（通过 MAPCNF 寄存器的位 0）之后才可以由 DMA 访问。在芯片版本 0 中，ePWM 或 HRPWM 是不能连接到 DMA 的。

图 8-1. DMA 功能方框图

Copyright © 2022 Texas Instruments Incorporated

8.2.2 32 位 CPU 计时器 0，CPU 计时器 1，CPU 计时器 2

在 器件上有 3 个 32 位 CPU 计时器 (CPU 计时器 0，CPU 计时器 1，CPU 计时器 2)。

CPU 计时器 2 为 DSP/BIOS 或 SYS/BIOS 保留。可以在用户应用程序中使用 CPU 计时器 0 和计时器 1。这些计时器与 ePWM 模块中的计时器不同。

备注

如果应用不使用 DSP/BIOS 和 SYS/BIOS，那么 CPU 计时器 2 可用在应用中。

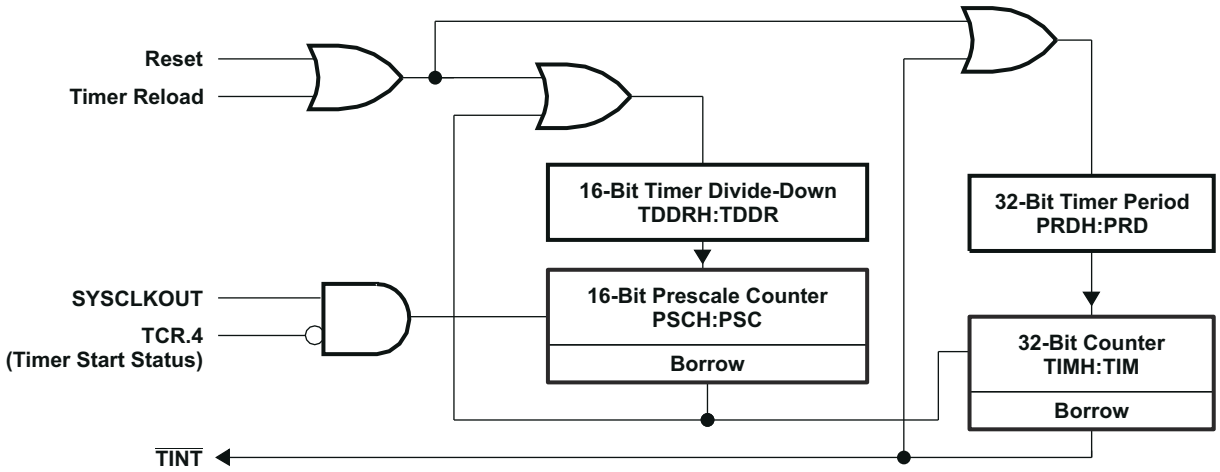
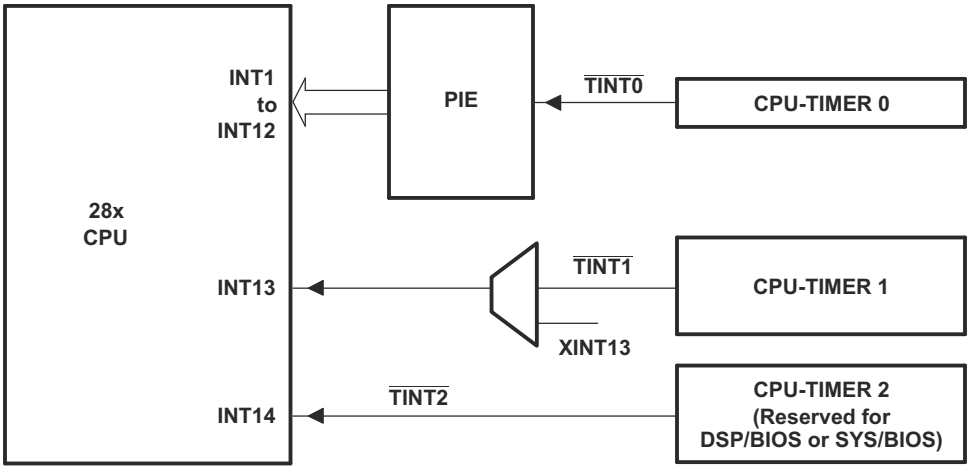


图 8-2. CPU 计时器

计时器中断信号 ($\overline{TINT0}$、$\overline{TINT1}$、$\overline{TINT2}$) 的连接如图 8-3 所示。



A. 计时器寄存器连接到 28x 处理器的存储器总线。
B. 计时器的时序与处理器时钟的 SYSCLKOUT 同步。

图 8-3. CPU 计时器中断信号和输出信号

计时器的一般操作如下：32 位计数器寄存器“TIMH:TIM”会加载周期寄存器“PRDH:PRD”中的值。计数器寄存器按 C28 x 的 SYSCLKOUT 频率递减。当计数器到达 0 时，一个计时器中断输出信号生成一个中断脉冲。表 8-3 中列出的寄存器用于配置计时器。更多信息，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。

表 8-3. CPU 计时器 0，1，2 配置和控制寄存器

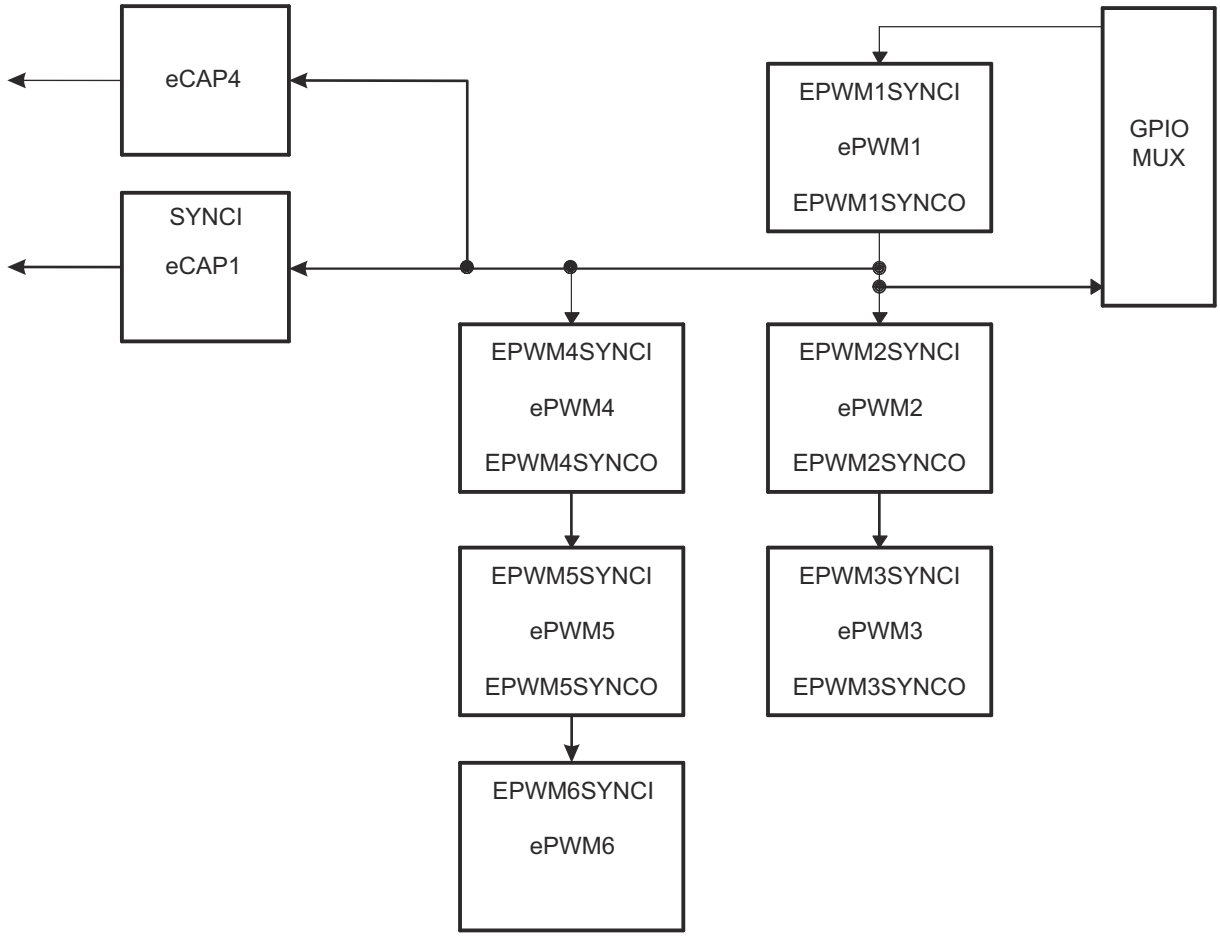
名称	地址	大小 (x16)	说明
TIMER0TIM	0x0C00	1	CPU 计时器 0，计数器寄存器
TIMER0TIMH	0x0C01	1	CPU 计时器 0，计数器寄存器高电平
TIMER0PRD	0x0C02	1	CPU 计时器 0，周期寄存器
TIMER0PRDH	0x0C03	1	CPU 计时器 0，周期寄存器高电平
TIMER0TCR	0x0C04	1	CPU 计时器 0，控制寄存器
保留	0x0C05	1	
TIMER0TPR	0x0C06	1	CPU 计时器 0，预分频寄存器
TIMER0TPRH	0x0C07	1	CPU 计时器 0，预分频寄存器高电平
TIMER1TIM	0x0C08	1	CPU 计时器 1，计数器寄存器
TIMER1TIMH	0x0C09	1	CPU 计时器 1，计数器寄存器高电平
TIMER1PRD	0x0C0A	1	CPU 计时器 1，周期寄存器
TIMER1PRDH	0x0C0B	1	CPU 计时器 1，周期寄存器高电平
TIMER1TCR	0x0C0C	1	CPU 计时器 1，控制寄存器
保留	0x0C0D	1	
TIMER1TPR	0x0C0E	1	CPU 计时器 1，预分频寄存器
TIMER1TPRH	0x0C0F	1	CPU 计时器 1，预分频寄存器高电平
TIMER2TIM	0x0C10	1	CPU 计时器 2，计数器寄存器
TIMER2TIMH	0x0C11	1	CPU 计时器 2，计数器寄存器高电平
TIMER2PRD	0x0C12	1	CPU 计时器 2，周期寄存器
TIMER2PRDH	0x0C13	1	CPU 计时器 2，周期寄存器高电平
TIMER2TCR	0x0C14	1	CPU 计时器 2，控制寄存器
保留	0x0C15	1	
TIMER2TPR	0x0C16	1	CPU 计时器 2，预分频寄存器
TIMER2TPRH	0x0C17	1	CPU 计时器 2，预分频寄存器高电平
保留	x0 C18-0x0 0C3F	40	

Copyright © 2022 Texas Instruments Incorporated

8.2.3 增强型 PWM 模块

2833x/2823x 器件包括多达 6 个增强型 PWM (ePWM) 模块（ePWM1 至 ePWM6）。图 8-4 显示了时基计数器同步方案 3。图 8-5 显示了与 ePWM 的信号互连情况。

表 8-4 显示了 每个模块的完整 ePWM 寄存器组和表 8-5 显示了重新映射的寄存器配置。



A. 默认情况下，ePWM 和 HRPWM 寄存器会映射到外设帧 1 (PF1)。表 8-4 显示了该配置。若要将寄存器重新映射至外设帧 3 (PF3) 来启用 DMA 访问，MAPCNF 寄存器（地址 0x702E）的位 0 (MAPEPWM) 必须设为 1。表 8-5 显示重新映射的配置。

图 8-4. 时基计数器同步方案 3

表 8-4. ePWM 控制和状态寄存器（PF1 中的默认配置）

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小 (x16)/ #SHADOW	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	0x6902	0x6942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1/1	时基周期寄存器设置
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	0x6908	0x6948	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1/1	计数器比较 A 寄存器组
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1/1	计数器比较 B 寄存器组
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1/0	触发区选择寄存器(1)
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1/0	跳匣区域控制寄存器(1)
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1/0	跳匣区域启用中断寄存器(1)
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1/0	触发区标志寄存器
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1/0	跳匣区域清除寄存器(1)
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1/0	跳匣区域强制寄存器(1)
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1/0	事件触发选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1/0	事件触发预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1/0	事件触发标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1/0	事件触发清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1/0	事件触发强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920	0x6960	1/0	HRPWM 配置寄存器(1)

(1) 寄存器受 EALLOW 保护。

Copyright © 2022 Texas Instruments Incorporated

表 8-5. ePWM 控制和状态寄存器（PF3 中的重新映射配置 - 可通过 DMA 访问）

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小 (x16)/ #SHADOW	说明
TBCTL	0x5800	0x5840	0x5880	0x58C0	0x5900	0x5940	1/0	时基控制寄存器
TBSTS	0x5801	0x5841	0x5881	0x58C1	0x5901	0x5941	1/0	时基状态寄存器
TBPHSHR	0x5802	0x5842	0x5882	0x58C2	0x5902	0x5942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x5803	0x5843	0x5883	0x58C3	0x5903	0x5943	1/0	时基相位寄存器
TBCTR	0x5804	0x5844	0x5884	0x58C4	0x5904	0x5944	1/0	时基计数器寄存器
TBPRD	0x5805	0x5845	0x5885	0x58C5	0x5905	0x5945	1/1	时基周期寄存器设置
CMPCTL	0x5807	0x5847	0x5887	0x58C7	0x5907	0x5947	1/0	计数器比较控制寄存器
CMPAHR	0x5808	0x5848	0x5888	0x58C8	0x5908	0x5948	1/1	时基比较 A HRPWM 寄存器
CMPA	0x5809	0x5849	0x5889	0x58C9	0x5909	0x5949	1/1	计数器比较 A 寄存器组
CMPB	0x580A	0x584A	0x588A	0x58CA	0x590A	0x594A	1/1	计数器比较 B 寄存器组
AQCTLA	0x580B	0x584B	0x588B	0x58CB	0x590B	0x594B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x580C	0x584C	0x588C	0x58CC	0x590C	0x594C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x580D	0x584D	0x588D	0x58CD	0x590D	0x594D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x580E	0x584E	0x588E	0x58CE	0x590E	0x594E	1/1	操作限定器连续 S/W 强制寄存器组
DBCTL	0x580F	0x584F	0x588F	0x58CF	0x590F	0x594F	1/1	死区生成器控制寄存器
DBRED	0x5810	0x5850	0x5890	0x58D0	0x5910	0x5950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x5811	0x5851	0x5891	0x58D1	0x5911	0x5951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x5812	0x5852	0x5892	0x58D2	0x5912	0x5952	1/0	触发区选择寄存器(1)
TZCTL	0x5814	0x5854	0x5894	0x58D4	0x5914	0x5954	1/0	跳匣区域控制寄存器(1)
TZEINT	0x5815	0x5855	0x5895	0x58D5	0x5915	0x5955	1/0	跳匣区域启用中断寄存器(1)
TZFLG	0x5816	0x5856	0x5896	0x58D6	0x5916	0x5956	1/0	触发区标志寄存器
TZCLR	0x5817	0x5857	0x5897	0x58D7	0x5917	0x5957	1/0	跳匣区域清除寄存器(1)
TZFRC	0x5818	0x5858	0x5898	0x58D8	0x5918	0x5958	1/0	跳匣区域强制寄存器(1)
ETSEL	0x5819	0x5859	0x5899	0x58D9	0x5919	0x5959	1/0	事件触发选择寄存器
ETPS	0x581A	0x585A	0x589A	0x58DA	0x591A	0x595A	1/0	事件触发预分频寄存器
ETFLG	0x581B	0x585B	0x589B	0x58DB	0x591B	0x595B	1/0	事件触发标志寄存器
ETCLR	0x581C	0x585C	0x589C	0x58DC	0x591C	0x595C	1/0	事件触发清除寄存器
ETFRC	0x581D	0x585D	0x589D	0x58DD	0x591D	0x595D	1/0	事件触发强制寄存器
PCCTL	0x581E	0x585E	0x589E	0x58DE	0x591E	0x595E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x5820	0x5860	0x58A0	058E0	0x5920	0x5960	1/0	HRPWM 配置寄存器(1)

(1) 寄存器受 EALLOW 保护。

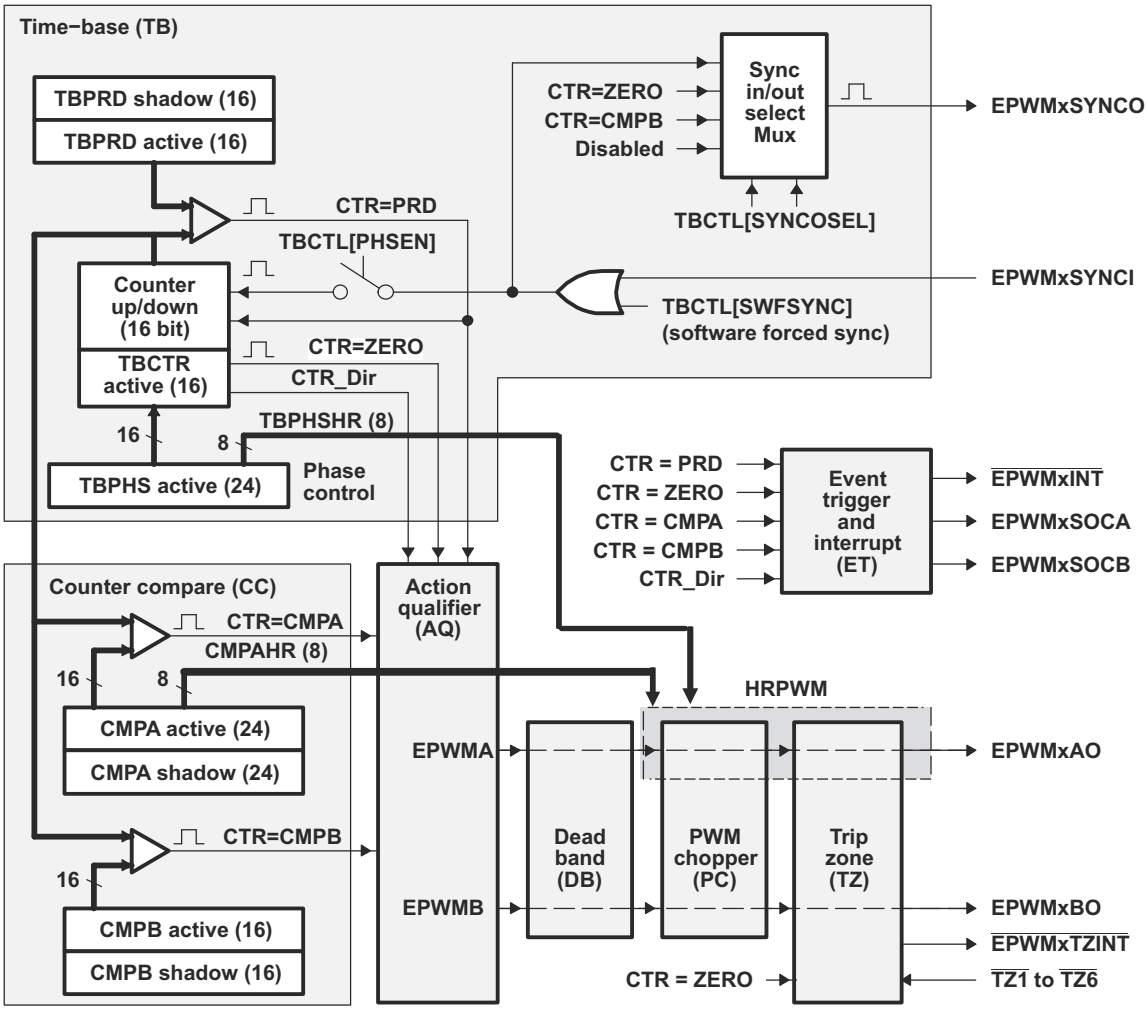


图 8-5. ePWM 子模块显示关键内部信号互连

8.2.4 高分辨率 PWM (HRPWM)

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率大大好于使用传统导出数字 PWM 方法所能实现的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 通常在有效 PWM 分辨率降到低于大约 9 或 10 位时使用。当使用 100MHz 的 CPU/系统时钟时，PWM 频率大于大约 200kHz 时会发生这种情况。
- 这个功能可用在占空比和相移控制方法中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展，实现更加精细的时间粒度控制或边沿定位。
- HRPWM 功能，只在 ePWM 模块的 A 信号路径上提供（也就是说，在 EPWMxA 输出上提供）。EPWMxB 输出具有传统 PWM 功能。

Copyright © 2022 Texas Instruments Incorporated

8.2.5 增强型 CAP 模块

2833x/2823x 器件包括多达 6 个增强型捕捉 (eCAP) 模块（eCAP1 至 eCAP6）。图 8-6 显示了一个模块的功能方框图。

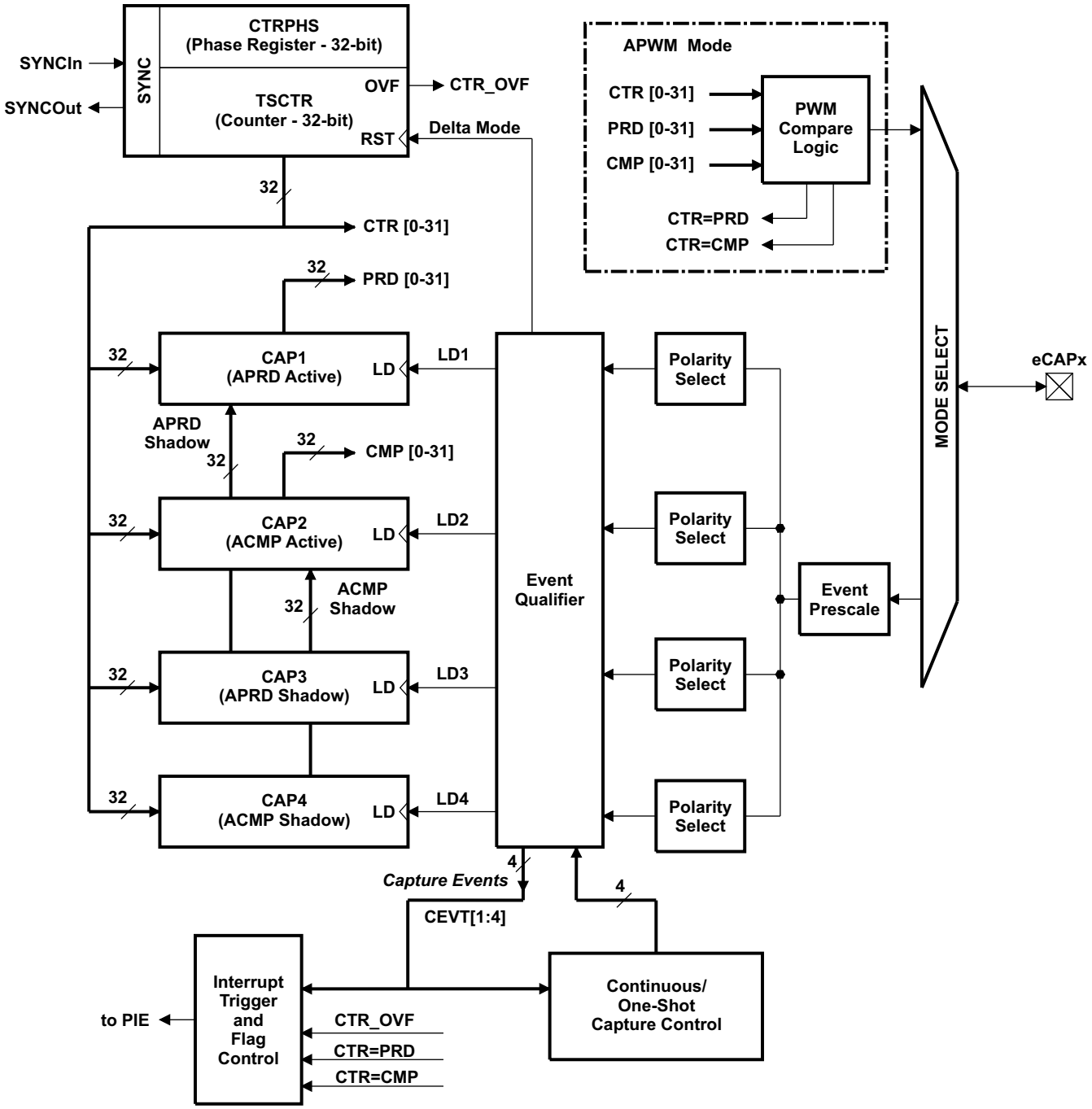


图 8-6. eCAP 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位 (ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK, ECAP6ENCLK) 被单独用来关闭 eCAP 模块（针对低功耗运行）。复位后，ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK, and ECAP6ENCLK 被设为低电平，表明外设时钟关闭。

表 8-6. eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	大小 (x16)	说明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	0x6A80	0x6AA0	2	时间戳计数器
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	0x6A82	0x6AA2	2	计数器相位偏移值寄存器
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	0x6A84	0x6AA4	2	捕捉 1 寄存器
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	0x6A86	0x6AA6	2	捕捉 2 寄存器
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	0x6A88	0x6AA8	2	捕捉 3 寄存器
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	0x8A6A	0x6AAA	2	捕捉 4 寄存器
保留	0x6A0C-0x6A12	0x6A2C-0x6A32	0x6A4C-0x6A52	0x6A6C-0x6A72	0x6A8C-0x6A92	0x6AAC-0x6AB2	8	保留
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	0x6A94	0x6AB4	1	捕捉控制寄存器 1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	0x6A95	0x6AB5	1	捕捉控制寄存器 2
ECEINT	0x6A16	0x6A36	0x6A56	0x6A76	0x6A96	0x6AB6	1	捕捉中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	0x6A97	0x6AB7	1	捕捉中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	0x6A98	0x6AB8	1	捕捉中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	0x6A99	0x6AB9	1	捕捉中断强制寄存器
保留	0x6A1A-0x6A1F	0x6A3A-0x6A3F	0x6A5A-0x6A5F	0x6A7A-0x6A7F	0x6A9A-0x6A9F	0x6ABA-0x6ABF	6	保留

Copyright © 2022 Texas Instruments Incorporated

8.2.6 增强型 QEP 模块

该器件包括多达 2 个增强型正交编码器(eQEP) 模块（eQEP1、eQEP2）。图 8-7 显示了 eQEP 模块的方框图。

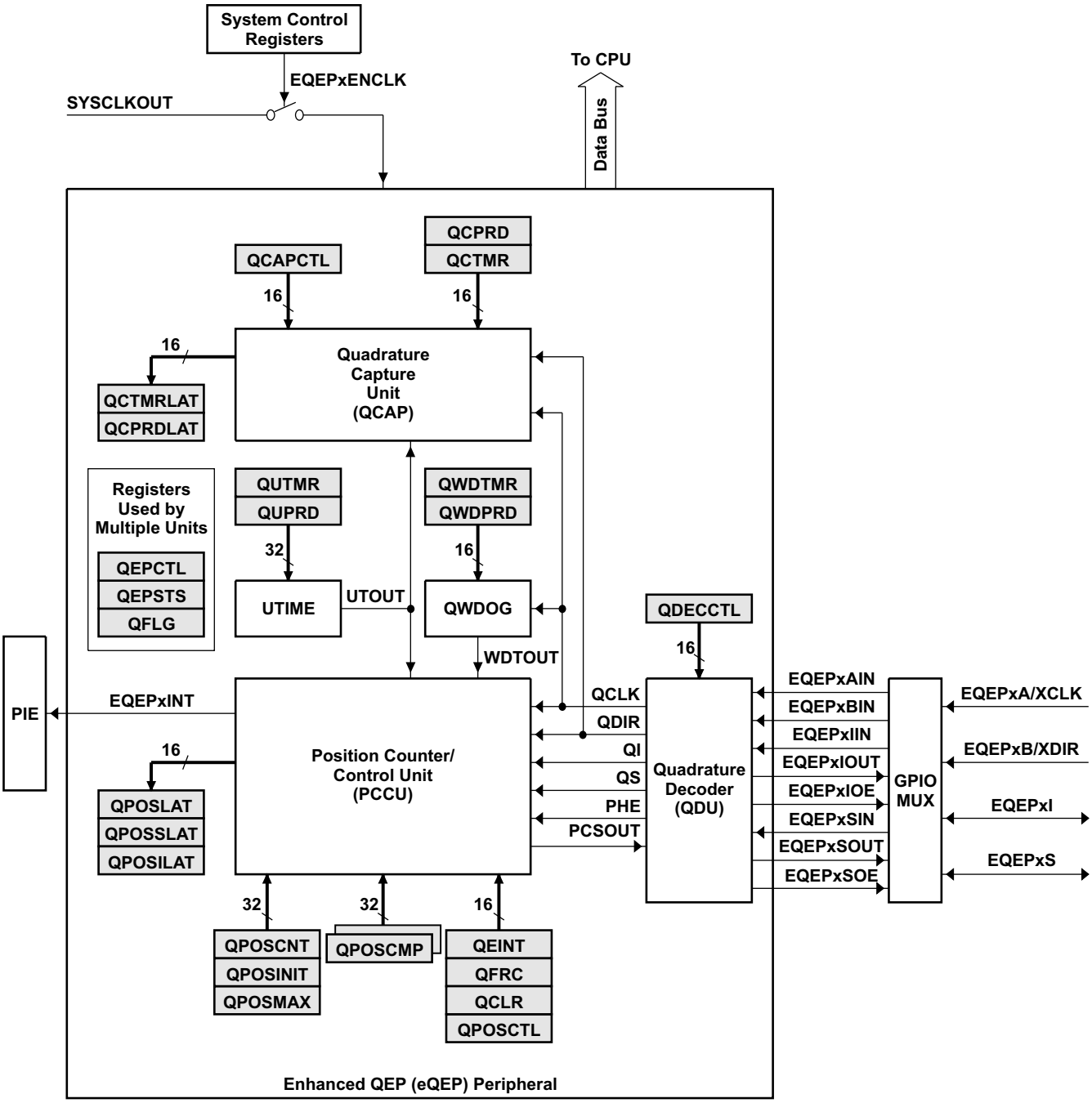


图 8-7. eQEP 功能方框图

表 8-7 对 eQEP 寄存器进行了汇总。

表 8-7. eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1 大小 (x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	0x6B44	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	0x6B46	2/1	eQEP 位置比较
QPOSILAT	0x6B08	0x6B48	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	0x6B4C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	0x6B4E	2/0	eQEP 单位计时器
QUPRD	0x6B10	0x6B50	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	0x6B52	1/0	eQEP 看门狗计时器
QWDPRD	0x6B13	0x6B53	1/0	eQEP 看门狗周期寄存器
QDECCTL	0x6B14	0x6B54	1/0	eQEP 解码器控制寄存器
QEPCTL	0x6B15	0x6B55	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	0x6B56	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	0x6B57	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	0x6B58	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	0x6B59	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	0x6B5A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	0x6B5B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	0x6B5D	1/0	eQEP 捕捉计时器
QCPRD	0x6B1E	0x6B5E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP 捕捉计时器锁存
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP 捕捉周期锁存
保留	0x6B21-0x6B3F	0x6B61-0x6B7F	31/0	

Copyright © 2022 Texas Instruments Incorporated

8.2.7 模数转换器 (ADC) 模块

图 8-8 显示了一个 ADC 模块的简化功能方框图 ADC 模块由一个带有内置采样保持 (S/H) 电路的 12 位 ADC 组成。ADC 模块的功能包括：

- 具有内置 S/H 的 12 位 ADC 内核
- 模拟输入：0.0V 至 3.0V（高于 3.0V 的电压产生满量程转换结果）。
- 快速转换率：在 25MHz ADC 时钟、12.5MSPS 条件下高达 80ns
- 16 个专用 ADC 通道。每次采样/保持都有复用的 8 通道
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器，或作为 1 个较大的 16 态序列发生器（即 2 个级联的 8 态序列发生器）。
- 用于存储转换值的 16 个结果寄存器（可分别寻址）
  - 输入模拟电压的数值源自：

$$\text{Digital Value} = 0 \quad \text{, when ADCIN} \le \text{ADCLO}$$

$$\text{Digital Value} = \text{floor}\left(4096 \times \frac{\text{ADCIN} - \text{ADCLO}}{3}\right) \quad \text{, when ADCLO} < \text{ADCIN} < 3\text{ V}$$

$$\text{Digital Value} = 4095 \quad \text{, when ADCIN} \ge 3\text{ V}$$

- 作为转换开始序列 (SOC) 源的多个触发器
  - S/W - 软件立即启动
  - ePWMM 转换开始
  - XINT2 ADC 转换开始
- 灵活的中断控制允许每个序列结束 (EOS) 或每个其它 EOS 上的中断请求。
- 序列发生器可运行于“启/停”模式，从而实现多个“时序触发器”同步转换。
- SOCA 和 SOCB 触发器可独立运行在双序列发生器模式中。
- 采样保持 (S/H) 采集时间窗口具有独立的预分频控制。

2833x/2823x 器件中的 ADC 模块已经被增强以便为 ePWM 外设提供灵活接口。ADC 接口被建立在一个快速，12 位 ADC 模块上，此模块在 25MHzADC 时钟上的快速转换率高达 80ns。ADC 模块有 16 个通道，可配置为两个独立的 8 通道模块。可将 2 个独立的 8 信道模块级联成 1 个 16 信道模块。尽管有多个输入通道和 2 个序列发生器，但 ADC 模块中只有一个转换器。图 8-8 显示了 ADC 模块的框图。

2 个 8 通道模块可自动对一系列转换定序，每个模块可以通过模拟 MUX 选择其中一个可用 8 信道。在级联模式中，自动序列发生器将作为一个单个 16 通道序列发生器使用。在每个序列发生器上，一旦转换完成，所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道，以便用户执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

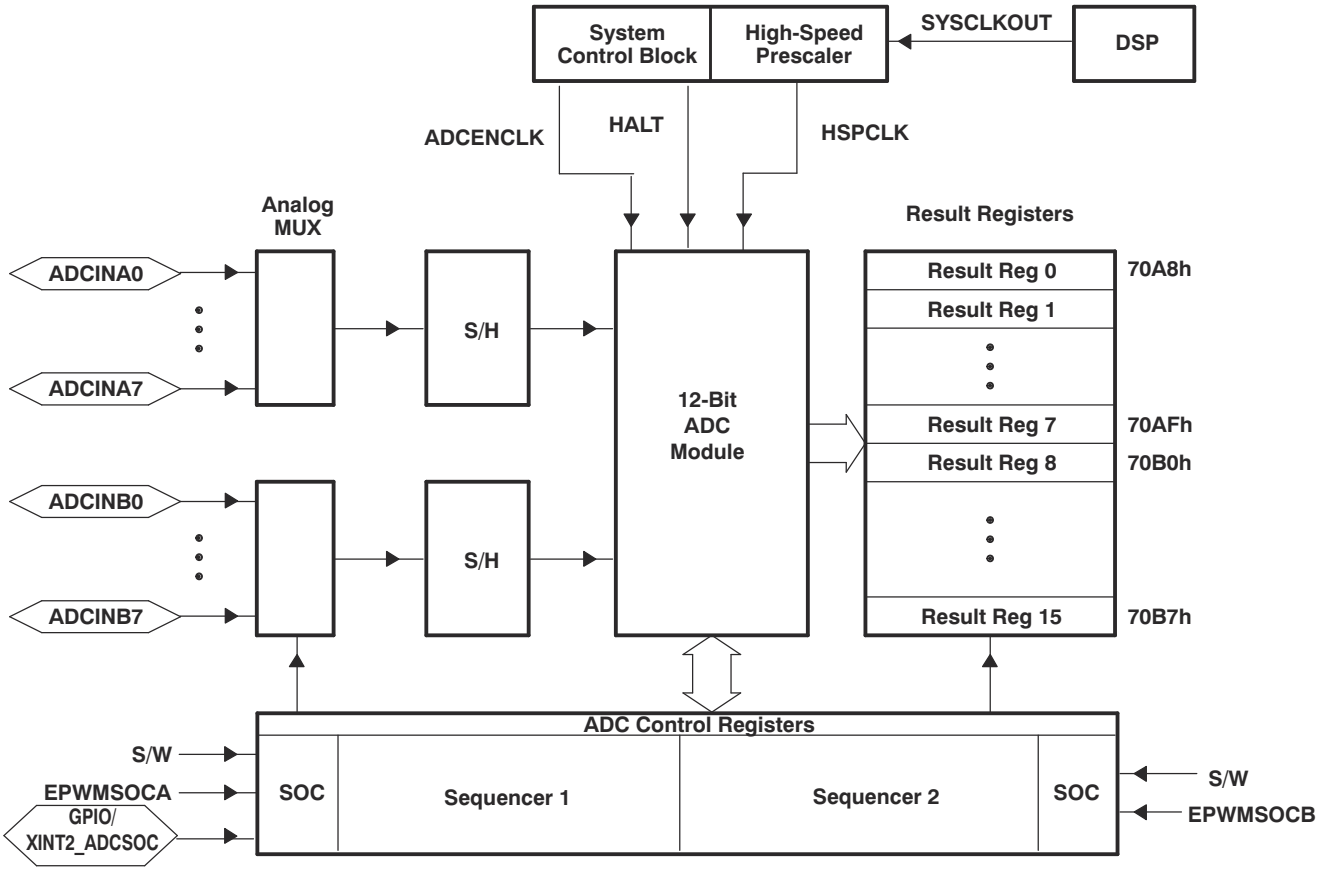


图 8-8. ADC 模块的方框图

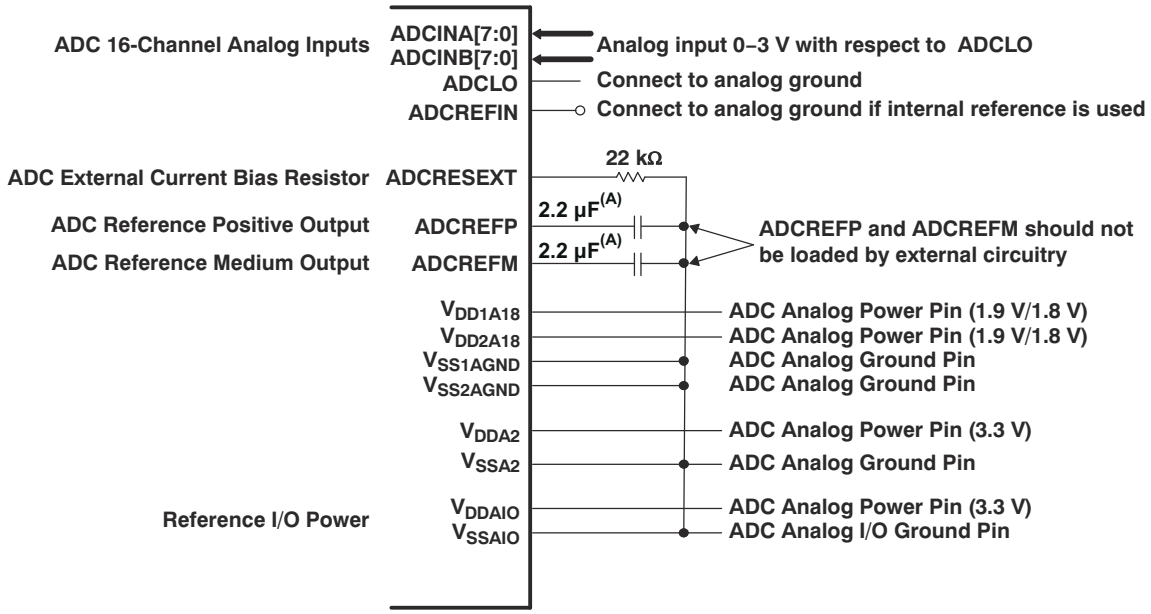
要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。另外，必须采用适当的隔离技术来将 ADC 模块电源引脚（V_{DD1A18}、V_{DD2A18}、V_{DDA2}、V_{DDAIO}）与数字电源隔开。图 8-9 显示了这些器件的 ADC 引脚连接。

备注

1. 用 SYSCLKOUT 速率对 ADC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟 (HSPCLK) 控制。
2. 基于 ADCENCLK 和 HALT 信号的 ADC 模块的运行方式如下：
   - *ADCENCLK：*复位时，这个信号为低电平。虽然复位为低电平有效 ($\overline{XRS}$)，寄存器的时钟将仍正常工作。有必要确保所有寄存器和模式进入它们的复位状态。然而，模拟模块将处于一个低功耗非激活状态。一旦复位变成高电平，那么到寄存器的时钟将被禁用。当用户将 ADCENCLK 信号设定为高电平时，那么到寄存器的时钟将被启用并且模拟模块将被启用。在 ADC 稳定并且可被使用之前，将有一个特定的时间延迟（毫秒范围内）。
   - *停机：*这个模式只影响模拟模块。它不影响寄存器。在这个模式下，ADC 模块进入低功耗模式。这个模式将停止到 CPU 的时钟，即 HSPCLK；因此，将间接的关闭 ADC 逻辑。

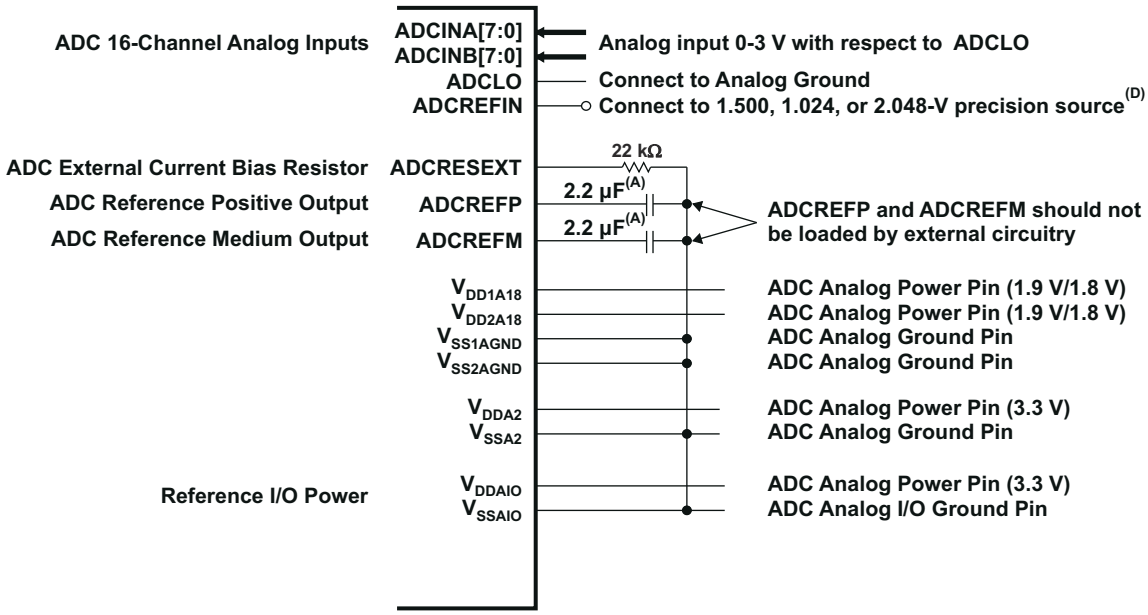
Copyright © 2022 Texas Instruments Incorporated

图 8-9 显示了针对内部基准的 ADC 引脚偏置而图 8-10 显示了针对外部基准的 ADC 引脚偏置。



A. TAIYO YUDEN LMK212BJ225MG-T 或等效器件
B. 建议在所有电源引脚上使用外部去耦合电容器。
C. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。

图 8-9. 与内部基准的 ADC 引脚连接



A. TAIYO YUDEN LMK212BJ225MG-T 或等效器件

B. 建议在所有电源引脚上使用外部去耦合电容器。

C. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低 ADC 性能。

D. 根据这个引脚上的电压，通过改变 ADC 基准选择寄存器中的位 15:14 可启用 ADCREFIN 上的外部电压。TI 建议使用 TI 组件 REF3020 或者等效组件来生成 2.048V 电压。总体增益精度将由这个电压源的精度确定。

图 8-10. 与外部基准的 ADC 引脚连接

备注

任何推荐组件的额定温度必须与最终产品的额定值相匹配。

Copyright © 2022 Texas Instruments Incorporated

8.2.7.1 如果 ADC 未被使用，ADC 连接

建议保持针对模拟电源引脚的连接，即便在 ADC 未被使用时也是如此。下面总结了如果 ADC 未在应用中使用，应该如何连接 ADC 引脚：

- V_{DD1A18}/V_{DD2A18}- 连接至 V_{DD}
- V_{DDA2}，V_{DDAIO}- 连接至 V_{DDIO}
- $V_{SS1AGND}$/$V_{SS2AGND}$，V_{SSA2}，V_{SSAIO}- 连接至 V_{SS}
- ADCLO - 连接至 V_{SS}
- ADCREFIN - 连接至 V_{SS}
- ADCREFP/ADCREFM - 连接一个 100nF 电容器至 V_{SS}
- ADCRESEXT - 连接一个 20kΩ 电阻器（非常松散的耐受）至 V_{SS}。
- ADCINAn，ADCINBn - 连接至 V_{SS}

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。

当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地 ($V_{SS1AGND}$/$V_{SS2AGND}$)

备注

只有当 ADC 的校准程序从引导 ROM 执行时，ADC 的增益误差和偏移误差参数才为额定值。更多信息请查阅 节 8.2.7.3。

8.2.7.2 ADC 寄存器

表 8-8 中所列寄存器对 ADC 操作进行配置、控制、和监视。

表 8-8. ADC 寄存器

名称	地址(1)	地址(2)	大小 (x16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器 1
ADCTRL2	0x7101		1	ADC 控制寄存器 2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择定序控制寄存器 1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择定序控制寄存器 2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择定序控制寄存器 3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择定序控制寄存器 4
ADCASEQSR	0x7107		1	ADC 自动定序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器 3
ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x7110	0x0B08	1	ADC 转换结果缓冲寄存器 8
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器 9
ADCRESULT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器 10
ADCRESULT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器 11
ADCRESULT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器 12
ADCRESULT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器 13
ADCRESULT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器 14
ADCRESULT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x7118		1	ADC 控制寄存器 3
ADCST	0x7119		1	ADC 状态寄存器
保留	0x711A – 0x711B		2	
ADCREFSEL	0x711C		1	ADC 基准选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移调整寄存器
保留	0x711E – 0x711F		2	

(1) 本列中的寄存器为外设帧 2 寄存器。
(2) ADC 结果寄存器是双映射。外设帧 2 (0x7108-0x7117) 中的位置为 2 等待状态，且为左对齐。外设帧 0 空间（0x0B00-0x0B0F）的位置对 CPU 访问是 1 等待状态和对于 DMA 访问是 0 等待状态，右对齐。在 ADC 的高速/连续转换使用期间，使用 0 等待状态位置进行 ADC 结果到用户内存的快速转换。

Copyright © 2022 Texas Instruments Incorporated

8.2.7.3 ADC 校准

ADC_cal() 例程被工厂编程到 TI 预留的 OTP 存储器中。引导 ROM 自动调用 ADC_cal() 例程来使用特定器件的校准数据来初始化 ADCREFSEL 和 ADCOFFTRIM 寄存器。正常运行期间，这个过程中会自动发生，无需用户进行任何操作。

如果在开发过程中，引导 ROM 被 Code Composer Studio 绕过，那么 ADCREFSEL 和 ADCOFFTRIM 就必须由应用进行初始化。*TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 的“模数转换器 (ADC)”一章中介绍了从应用程序调用 ADC_cal() 例程的方法。

CAUTION

这些寄存器初始化失败将导致 ADC 的功能不能达到技术规格。

如果系统复位或 ADC 模块使用 ADC 控制寄存器 1 中的 14 位（复位）复位，则必须重复例程。

8.2.8 多通道缓冲串行端口 (McBSP) 模块

McBSP 模块有以下特性：

- 与 TMS320C54x/TMS320C55x DSP 器件中的 McBSP 兼容
- 全双工通信
- 允许连续数据流的双缓冲数据寄存器
- 用于接收和传输的独立成帧和时钟
- 外部移位时钟生成或者内部可编程频率移位时钟
- 包括 8、12、16、20、24 或 32 位的广泛数据大小选择
- 以 LSB 或者 MSB 开头的 8 位数据传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成
- 到工业标准 CODEG、模拟接口芯片 (AIC)、和其它串行连接的 A/D 和 D/A 器件的直接接口
- 与 SPI 兼容器件一起工作
- McBSP 上支持下列应用接口：
  - T1/E1 成帧器
  - 符合 IOM-2 的器件
  - AC97 - 兼容器件（提供所需的多相位帧同步功能。）
  - IIS - 兼容器件
  - 串行外设接口 (SPI)
- McBSP 时钟速率，

$$CLKG = \frac{CLKSRG}{(1 + CLKGDV)}$$

其中 CLKSRG 源可以是 LSPCLK、CLKX 或 CLKR。串行端口性能受到 I/O 缓冲器开关速度的影响。内部预分频器必须被调整，这样，外设速度将低于 I/O 缓冲器速度限制。

备注

最大 I/O 引脚切换速度请见节 7。

图 8-11 显示了 McBSP 模块的方框图。

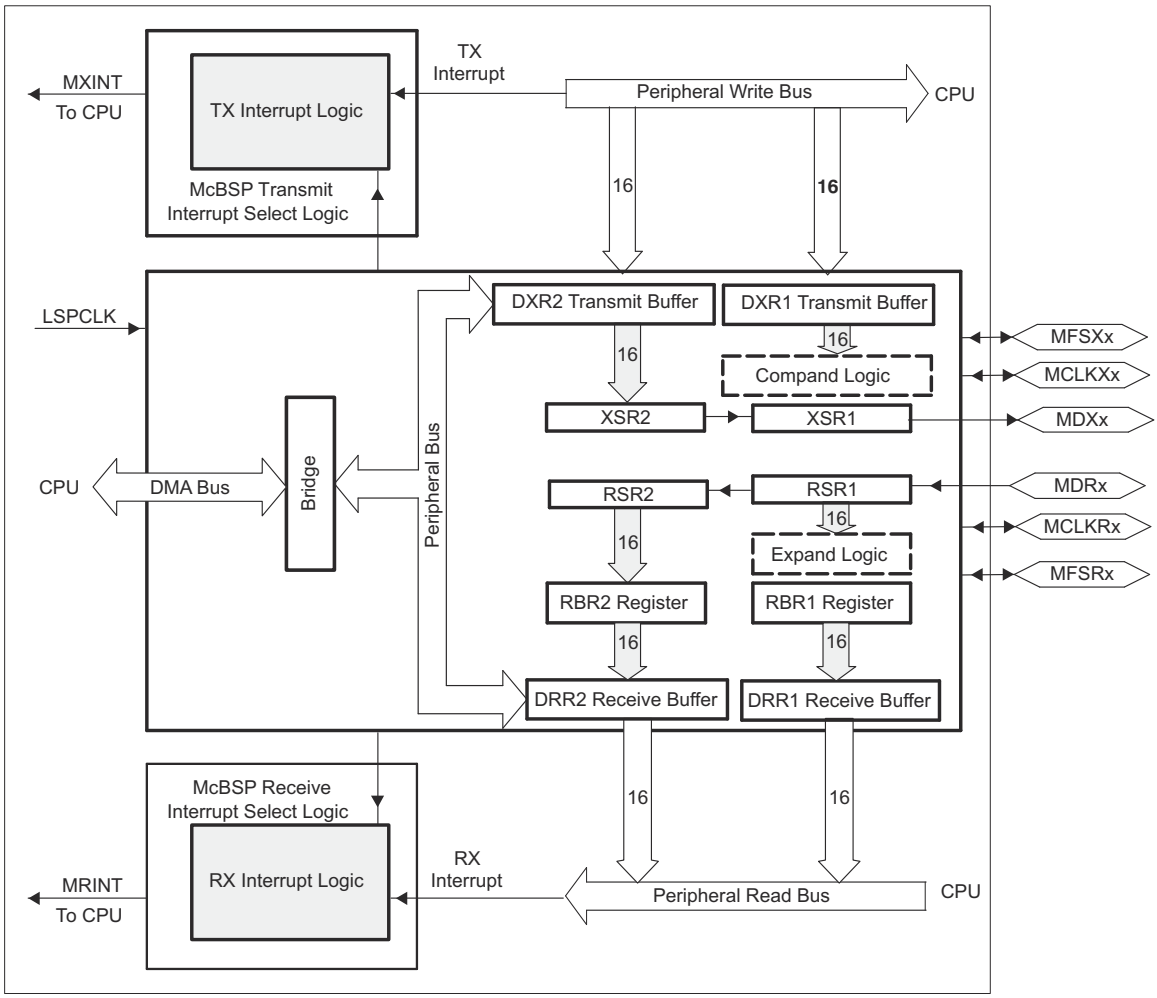


图 8-11. McBSP 模块

Copyright © 2022 Texas Instruments Incorporated

表 8-9 提供了 McBSP 寄存器的汇总。

表 8-9. McBSP 寄存器汇总

名称	McBSP-A 地址	McBSP-B 地址	类型	复位值	说明
数据寄存器，接收、发送					
DRR2	0x5000	0x5040	R	0x0000	McBSP 数据接收寄存器 2
DRR1	0x5001	0x5041	R	0x0000	McBSP 数据接收寄存器 1
DXR2	0x5002	0x5042	W	0x0000	McBSP 数据发送寄存器 2
DXR1	0x5003	0x5043	W	0x0000	McBSP 数据发送寄存器 1
McBSP 控制寄存器					
SPCR2	0x5004	0x5044	读/写	0x0000	McBSP 串行端口控制寄存器 2
SPCR1	0x5005	0x5045	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	0x5006	0x5046	读/写	0x0000	McBSP 接收控制寄存器 2
RCR1	0x5007	0x5047	读/写	0x0000	McBSP 接收控制寄存器 1
XCR2	0x5008	0x5048	读/写	0x0000	McBSP 发送控制寄存器 2
XCR1	0x5009	0x5049	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0x500A	0x504A	读/写	0x0000	McBSP 采样率发生器寄存器 2
SRGR1	0x500B	0x504B	读/写	0x0000	McBSP 采样率发生器寄存器 1
多通道控制寄存器					
MCR2	0x500C	0x504C	读/写	0x0000	McBSP 多通道寄存器 2
MCR1	0x500D	0x504D	读/写	0x0000	McBSP 多通道寄存器 1
RCERA	0x500E	0x504E	读/写	0x0000	McBSP 接收通道使能寄存器分区 A
RCERB	0x500F	0x504F	读/写	0x0000	McBSP 接收通道使能寄存器分区 B
XCERA	0x5010	0x5050	读/写	0x0000	McBSP 发送通道使能寄存器分区 A
XCERB	0x5011	0x5051	读/写	0x0000	McBSP 发送通道使能寄存器分区 B
PCR	0x5012	0x5052	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	0x5013	0x5053	读/写	0x0000	McBSP 接收通道使能寄存器分区 C
RCERD	0x5014	0x5054	读/写	0x0000	McBSP 接收通道使能寄存器分区 D
XCERC	0x5015	0x5055	读/写	0x0000	McBSP 发送通道使能寄存器分区 C
XCERD	0x5016	0x5056	读/写	0x0000	McBSP 发送通道使能寄存器分区 D
RCERE	0x5017	0x5057	读/写	0x0000	McBSP 接收通道使能寄存器分区 E
RCERF	0x5018	0x5058	读/写	0x0000	McBSP 接收通道使能寄存器分区 F
XCERE	0x5019	0x5059	读/写	0x0000	McBSP 发送通道使能寄存器分区 E
XCERF	0x501A	0x505A	读/写	0x0000	McBSP 发送通道使能寄存器分区 F
RCERG	0x501B	0x505B	读/写	0x0000	McBSP 接收通道使能寄存器分区 G
RCERH	0x501C	0x505C	读/写	0x0000	McBSP 接收通道使能寄存器分区 H
XCERG	0x501D	0x505D	读/写	0x0000	McBSP 发送通道使能寄存器分区 G
XCERH	0x501E	0x505E	读/写	0x0000	McBSP 发送通道使能寄存器分区 H
MFFINT	0x5023	0x5063	读/写	0x0000	McBSP 中断使能寄存器

Copyright © 2022 Texas Instruments Incorporated

8.2.9 增强型控制器局域网 (eCAN) 模块（eCAN-A 和 eCAN-B）

CAN 模块有下列特性：

- 完全符合 ISO 11898-1 (CAN 2.0B)
- 支持高达 1Mbps 的数据速率
- 32 个邮箱，每一个邮箱都具有下列属性：
  - 可配置为接收或者发送
  - 可使用标准或者扩展标识符进行配置
  - 具有一个可编程接收掩码
  - 支持数据和远程帧
  - 由 0 至 8 字节数据组成
  - 在接收和发送消息上使用一个 32 位时间戳
  - 防止接收新消息
  - 保持发送消息的动态可编程优先级
  - 采用具有两个中断级别的可编程中断机制
  - 采用针对发送或接收超时的可编程警报
- 低功耗模式
- 总线活动上的可编程唤醒
- 针对远程请求消息的自动答复
- 丢失仲裁或者错误情况下的帧自动重传
- 通过一个特定消息实现同步的 32 位本地网络时间计数器（与邮箱 16 协同通信）
- 自测模式
  - 在接收其自身消息的回路模式下运行。提供一个“假”应答，从而无需由另外节点提供应答位。

备注

对于 100MHz 的 SYSCLKOUT，最小可能的比特率为 7.812kbps。

对于 150MHz 的 SYSCLKOUT，最小可能的比特率为 11.719kbps。

F2833x/F2823xCAN 已经通过了 ISO/DIS 16845 的符合性测试。测试报告和例外情况请与 TI 联系。

Copyright © 2022 Texas Instruments Incorporated

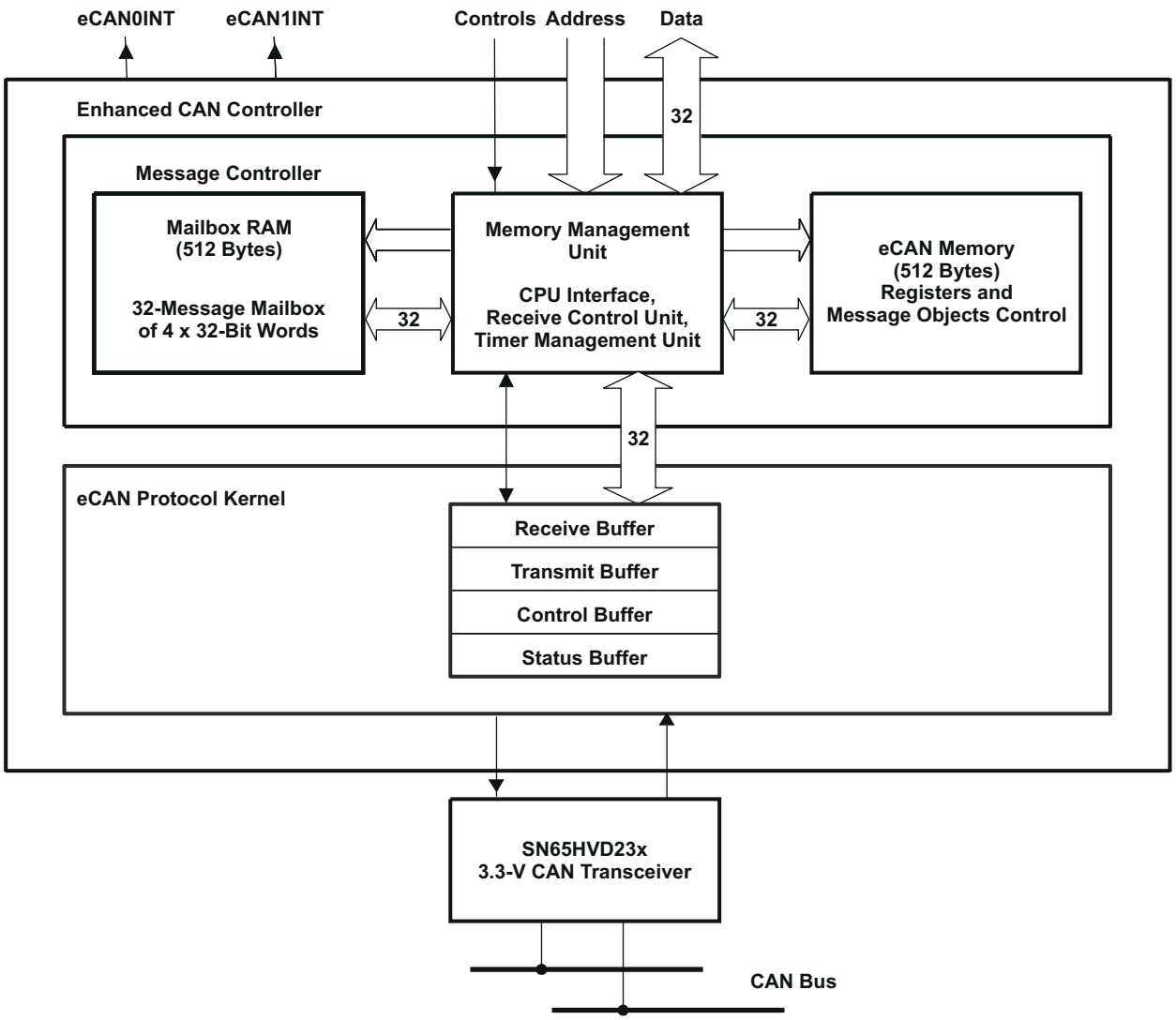


图 8-12. eCAN 方框图和接口电路

表 8-10. 3.3V eCAN 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	T_A
SN65HVD230	3.3V	待机	可调节	是	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	是	-	- 40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	是	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	是	-	- 40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	- 40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	- 40°C 至 125°C
SN65HVD234	3.3V	待机和睡眠	可调节	无	-	- 40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	- 40°C 至 125°C

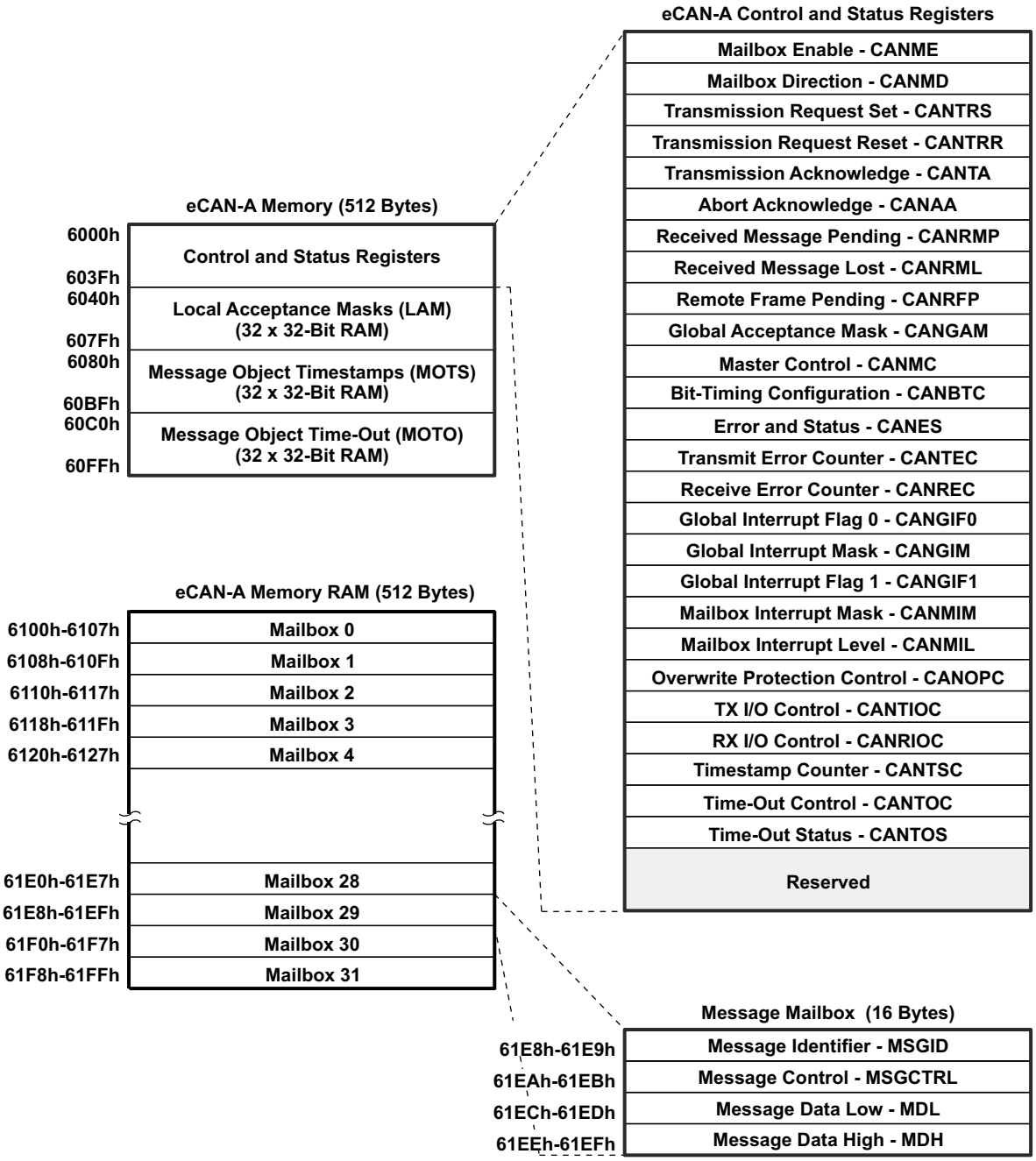


图 8-13. eCAN-A 内存映射

备注

如果 eCAN 模块未在应用中使用，提供的 RAM（LAM、MOTS、MOTO 和邮箱 RAM）可用作通用 RAM。为实现这一功能，CAN 模块时钟应被启用。

Copyright © 2022 Texas Instruments Incorporated

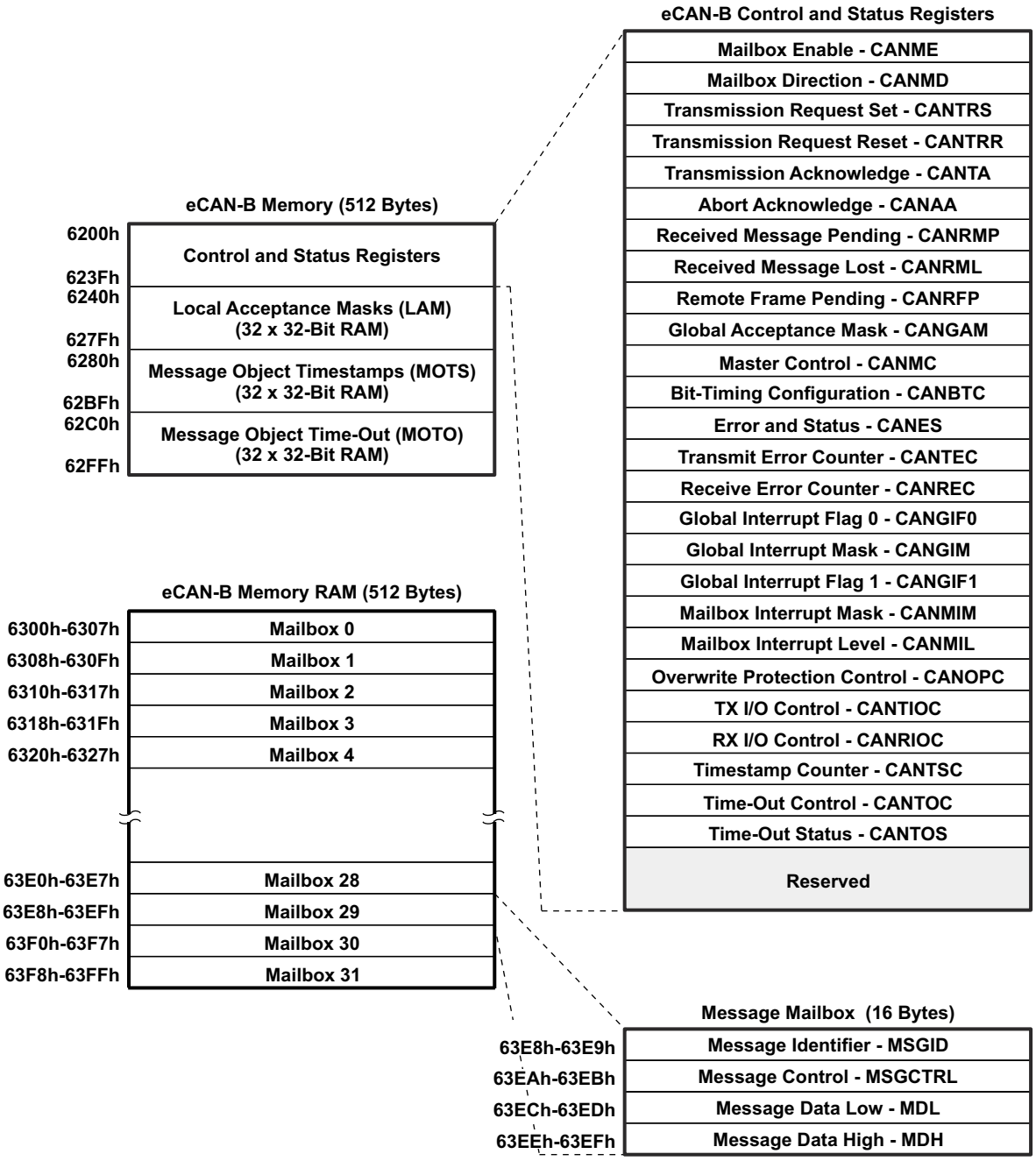


图 8-14. eCAN-B 内存映射

CPU 使用表 8-11 中列出的 CAN 寄存器来配置和控制 CAN 控制器及消息对象。eCAN 控制寄存器仅支持 32 位读/写操作。可对邮箱 RAM 进行 16 位或 32 位访问。32 位访问与一个偶数边界对齐。

表 8-11. CAN 寄存器映射

寄存器名称[(1)]	eCAN-A 地址	eCAN-B 地址	大小 (x32)	说明
CANME	0x6000	0x6200	1	邮箱启用
CANMD	0x6002	0x6202	1	邮箱方向
CANTRS	0x6004	0x6204	1	发送请求设定
CANTRR	0x6006	0x6206	1	发送请求复位
CANTA	0x6008	0x6208	1	传输应答
CANAA	0x600A	0x620A	1	中止应答
CANRMP	0x600C	0x620C	1	接收消息等待
CANRML	0x600E	0x620E	1	接收消息丢失
CANRFP	0x6010	0x6210	1	远程帧等待
CANGAM	0x6012	0x6212	1	全局接受屏蔽
CANMC	0x6014	0x6214	1	主器件控制
CANBTC	0x6016	0x6216	1	位时序配置
CANES	0x6018	0x6218	1	错误和状态
CANTEC	0x601A	0x621A	1	发送错误计数器
CANREC	0x601C	0x621C	1	接收错误计数器
CANGIF0	0x601E	0x621E	1	全局中断标志 0
CANGIM	0x6020	0x6220	1	全局中断屏蔽
CANGIF1	0x6022	0x6222	1	全局中断标志 1
CANMIM	0x6024	0x6224	1	邮箱中断屏蔽
CANMIL	0x6026	0x6226	1	邮箱中断级别
CANOPC	0x6028	0x6228	1	写覆盖保护控制
CANTIOC	0x602A	0x622A	1	TX I/O 控制
CANRIOC	0x602C	0x622C	1	RX I/O 控制
CANTSC	0x602E	0x622E	1	时间戳计数器（保留在 SCC 模式中）
CANTOC	0x6030	0x6230	1	超时控制（保留在 SCC 模式中）
CANTOS	0x6032	0x6232	1	超时状态（保留在 SCC 模式中）

(1) 这些寄存器被映射至外设帧 1。

Copyright © 2022 Texas Instruments Incorporated

8.2.10 串行通信接口 (SCI) 模块 (SCI-A，SCI-B，SCI-C)

该器件包括三个串行通信接口（SCI）模块。SCI 模块支持在 CPU 和其他异步外设之间进行使用标准不归零码 (NRZ) 格式的数字通信。SCI 发送器和接收器是双缓冲的，各自具有独立的使能位和中断位。两者可独立运行或在全双工模式下同时运行。为了确保数据完整性，SCI 会检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率可通过 16 位波特选择寄存器编程为超过 65000 种不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚

备注

如果不用于 SCI，则两个引脚都可以用作 GPIO。

  - 波特率可编程为 64000 种不同速率：

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR}+1)*8} \qquad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \qquad \text{when BRR} = 0$$

备注

最大 I/O 引脚切换速度请见节 7。

- 数据字格式
  - 一个开始位
  - 数据-字长度可被设定为 1 至 8 位
  - 可选偶/奇/无奇偶校验位
  - 一个或者两个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ（不归零码）格式

备注

此模块中的所有寄存器都是连接至外设帧 2 的 8 位寄存器。当一个寄存器被访问时，低字节 (7-0)，和高字节 (15-8) 内的寄存器数据被读作零。对高字节的写入无效。

增强型特性：

- 自动波特检测硬件逻辑
- 16 级发送/接收 FIFO

SCI 端口运行由表 8-12，表 8-13 和表 8-14 中列出的寄存器配置和控制。

表 8-12. SCI-A 寄存器

名称[(1)]	地址	大小 (x16)	说明
SCICCRA	0x7050	1	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	SCI-A 控制寄存器 1
SCIHBAUDA	0x7052	1	SCI-A 波特率寄存器，高位
SCILBAUDA	0x7053	1	SCI-A 波特率寄存器，低位
SCICTL2A	0x7054	1	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	SCI-A 发送数据缓冲寄存器
SCIFFTXA[(2)]	0x705A	1	SCI-A FIFO 发送寄存器
SCIFFRXA[(2)]	0x705B	1	SCI-A FIFO 接收寄存器
SCIFFCTA[(2)]	0x705C	1	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	SCI-A 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2 空间。此空间只允许 16 位访问。32 位访问会生成未定义的后果。
(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 8-13. SCI-B 寄存器

名称[(1)]	地址	大小 (x16)	说明
SCICCRB	0x7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x7751	1	SCI-B 控制寄存器 1
SCIHBAUDB	0x7752	1	SCI-B 波特率寄存器，高位
SCILBAUDB	0x7753	1	SCI-B 波特率寄存器，低位
SCICTL2B	0x7754	1	SCI-B 控制寄存器 2
SCIRXSTB	0x7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUFB	0x7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUFB	0x7759	1	SCI-B 发送数据缓冲寄存器
SCIFFTXB[(2)]	0x775A	1	SCI-B FIFO 发送寄存器
SCIFFRXB[(2)]	0x775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB[(2)]	0x775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x775F	1	SCI-B 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2 空间。此空间只允许 16 位访问。32 位访问会生成未定义的后果。
(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

Copyright © 2022 Texas Instruments Incorporated

表 8-14. SCI-C 寄存器

名称[(1)]	地址	大小 (x16)	说明
SCICCRC	0x7770	1	SCI-C 通信控制寄存器
SCICTL1C	0x7771	1	SCI-C 控制寄存器 1
SCIHBAUDC	0x7772	1	SCI-B 波特率寄存器，高位
SCILBAUDC	0x7773	1	SCI-C 波特率寄存器，低位
SCICTL2C	0x7774	1	SCI-C 控制寄存器 2
SCIRXSTC	0x7775	1	SCI-C 接收状态寄存器
SCIRXEMUC	0x7776	1	SCI-C 接收仿真数据缓冲寄存器
SCIRXBUFC	0x7777	1	SCI-C 接收数据缓冲寄存器
SCITXBUFC	0x7779	1	SCI-C 传输数据缓冲寄存器
SCIFFTXC[(2)]	0x777A	1	SPI-C FIFO 发送寄存器
SCIFFRXC[(2)]	0x777B	1	SPI-C FIFO 接收寄存器
SCIFFCTC[(2)]	0x777C	1	SPI-C FIFO 控制寄存器
SCIPRC	0x777F	1	SPI-C 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2 空间。此空间只允许 16 位访问。32 位访问会生成未定义的后果。
(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 8-15 显示了 SCI 模块方框图。

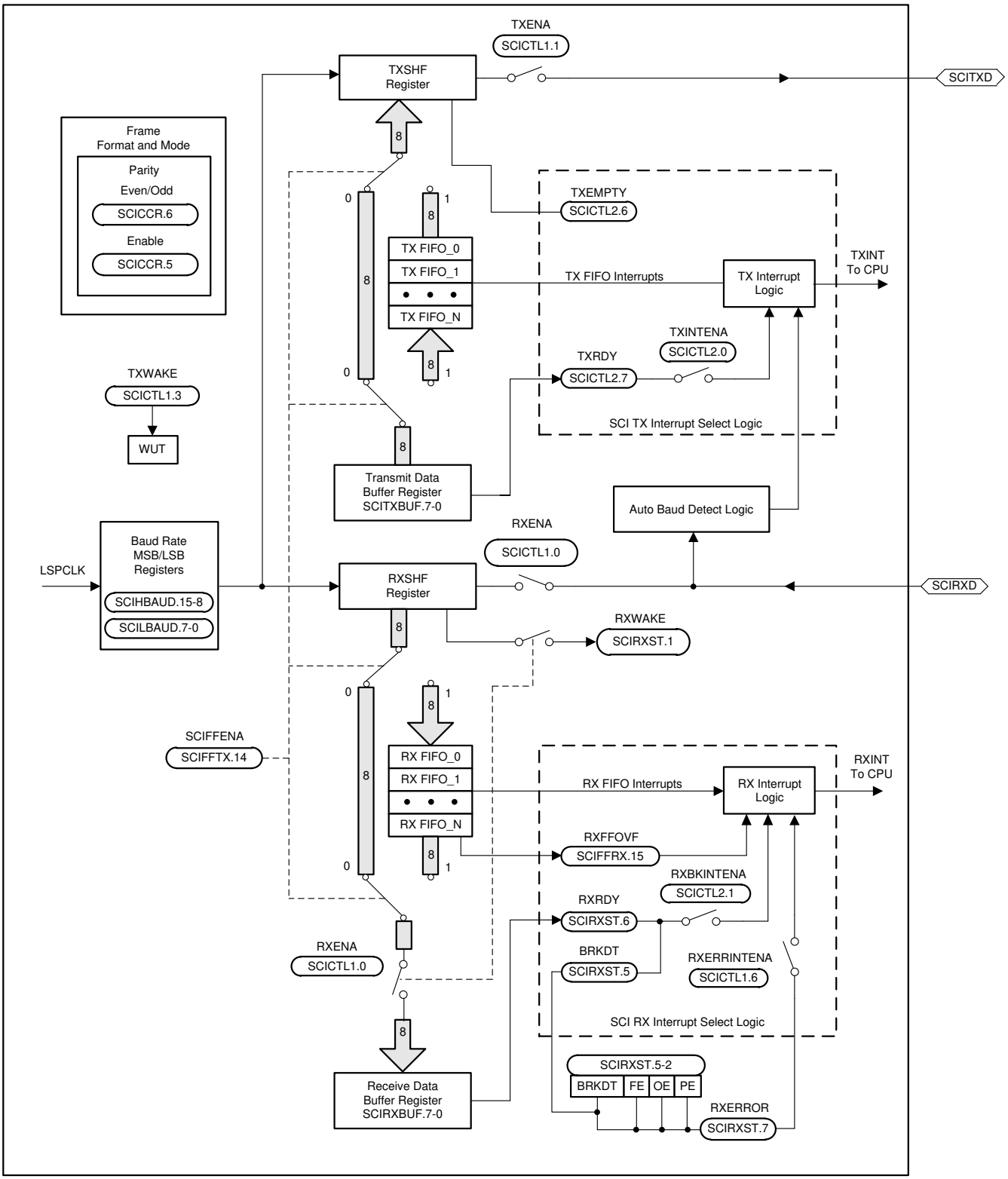


图 8-15. 串行通信接口 (SCI) 模块方框图

Copyright © 2022 Texas Instruments Incorporated

8.2.11 串行外设接口 (SPI) 模块（SPI-A）

此器件包括四引脚串行外设接口 (SPI) 模块。一个 SPI 模块 (SPI-A) 可用。SPI 是一个高速同步串行 I/O 端口，此端口允许已经过长度编程（1 至 16 位）的串行位流以可编程的位传输速率移入和移出器件。通常，SPI 用于 MCU 控制器和外部外设或者其他处理器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。

SPI 模块的功能包括：

- 四个外部引脚：
  - SPISOMI：SPI 从器件输出/主器件输入引脚
  - SPISIMO：SPI 从器件输入/主器件输出引脚
  - $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
  - SPICLK：SPI 串行时钟引脚

备注

如果 SPI 模块未使用，所有四个引脚可用作 GPIO。

- 两个运行模式：主模式和从模式

  波特率：125 个不同的可编程速率。

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \qquad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \qquad \text{when SPIBRR} = 0, 1, 2$$

备注

最大 I/O 引脚切换速度请见节 7。

- 数据字长度：1 至 16 数据位
- 四种计时方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成。
- 9 个 SPI 模块控制寄存器：位于始于地址 7040h 的控制寄存器帧中。

备注

此模块中的所有寄存器都是连接至外设帧 2 的 16 位寄存器。当访问寄存器时，寄存器数据位于低字节 (7 – 0)，高字节 (15 – 8) 读取为零。对高字节的写入无效。

增强型特性：

- 16 级发送/接收 FIFO
- 经延迟的发射控制

通过表 8-15 中列出的寄存器来配置和控制 SPI 端口操作。

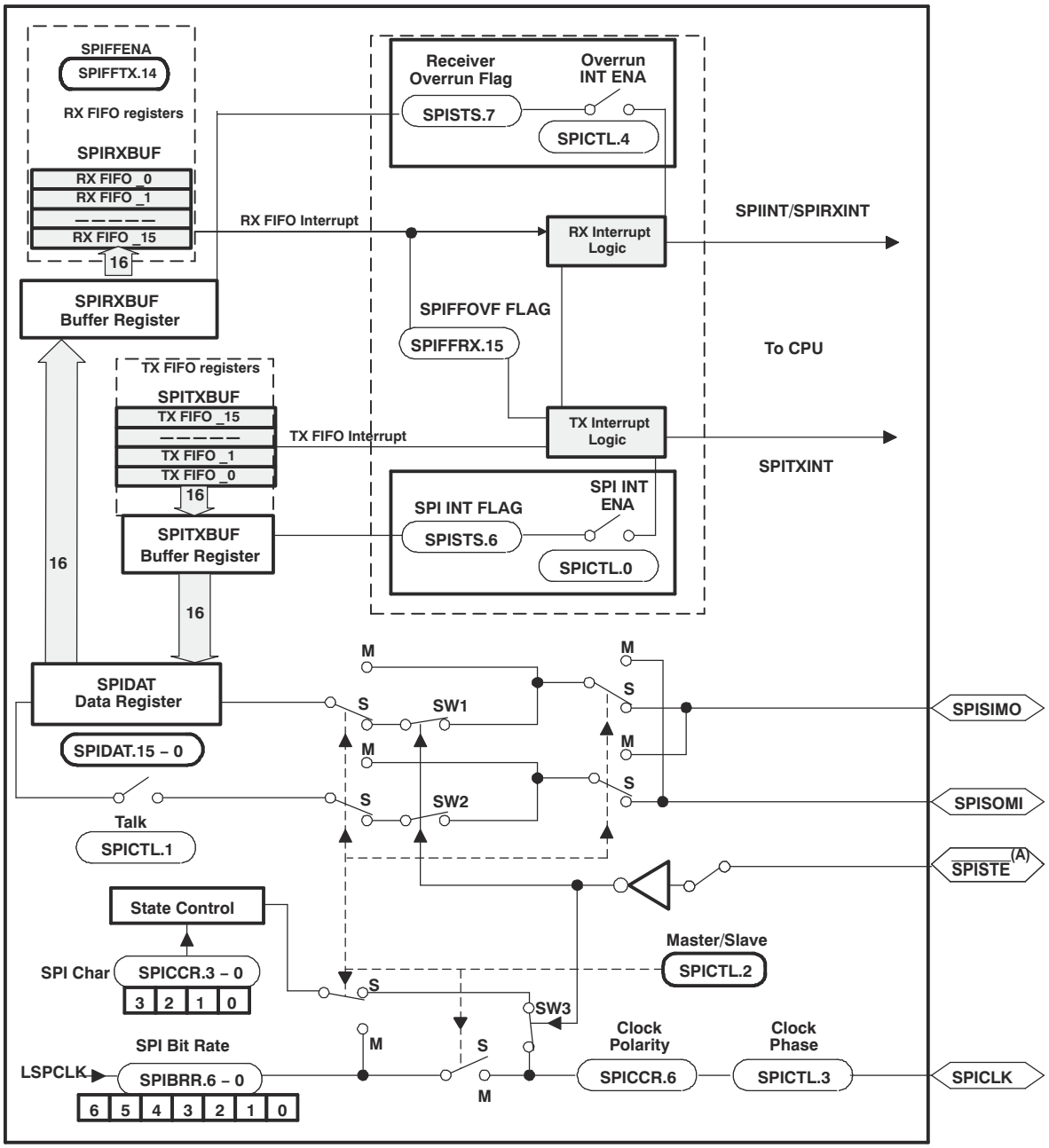
表 8-15. SPI-A 寄存器

名称	地址	大小 (x 16)	说明[(1)]
SPICCR	0x7040	1	SPI-A 配置控制寄存器
SPICTL	0x7041	1	SPI-A 运行控制寄存器
SPISTS	0x7042	1	SPI-A 状态寄存器
SPIBRR	0x7044	1	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	SPI-A 接收仿真缓冲寄存器
SPIRXBUF	0x7047	1	SPI-A 串行输入缓冲寄存器
SPITXBUF	0x7048	1	SPI-A 串行输出缓冲寄存器
SPIDAT	0x7049	1	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	SPI-A 优先级控制寄存器

(1) 此表中的寄存器映射到外设帧 2。此空间只允许 16 位访问。32 位访问会生成未定义的后果。

Copyright © 2022 Texas Instruments Incorporated

图 8-16 是一个处于受控模式下 SPI 的方框图。

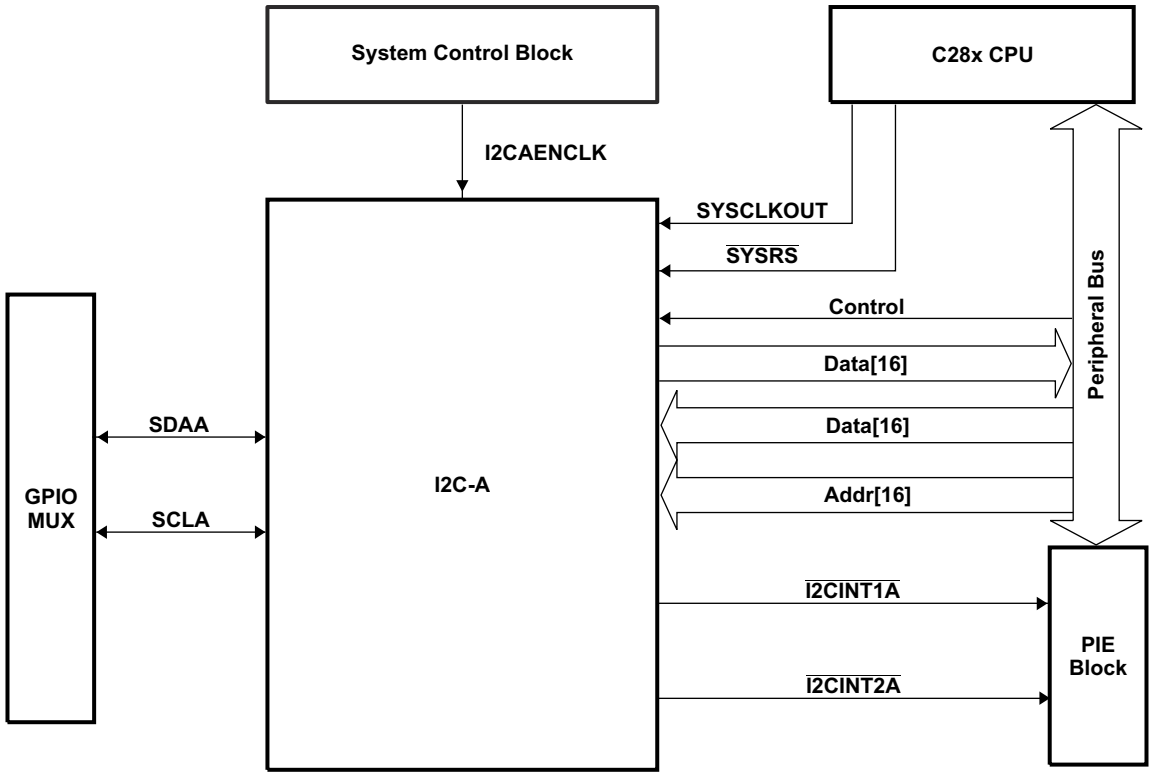


A. $\overline{\text{SPISTE}}$ 被主器件驱动为用于从器件的低电平。

图 8-16. SPI 模块方框图（从模式）

8.2.12 内部集成电路 (I2C)

此器件包含一个 I2C 串行端口。图 8-17 显示了 I2C 外设模块如何在器件内连接。



A. 以 SYSCLKOUT 速率对 I2C 寄存器进行访问。I2C 端口的内部时序和信号波形也为 SYSCLKOUT 速率。

B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时，I2CAENCLK 被清除，这表明外设内部时钟被关闭。

图 8-17. I2C 外设模块接口

Copyright © 2022 Texas Instruments Incorporated

I2C 模块具有以下特性：

- 符合 Philips 半导体 I^2C 总线规格（版本 2.1）：
  - 支持 1 位至 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400kbps（I2C 快速模式速率）
- 一个 16 字接收 FIFO 和 一个 16 字发送 FIFO
- 可由 CPU 使用的一个中断。该中断可因下列条件中之一而生成：
  - 发送数据准备就绪
  - 接收数据准备就绪
  - 寄存器访问准备就绪
  - 接收到无应答
  - 仲裁丢失
  - 检测到停止条件
  - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加中断
- 模块启用和模块禁用功能
- 自由数据格式模式

表 8-16 中的寄存器配置并且控制 I2C 端口操作。

表 8-16. I2C-A 寄存器

名称	地址	说明
I2COAR	0x7900	I2C 自身地址寄存器
I2CIER	0x7901	I2C 中断使能寄存器
I2CSTR	0x7902	I2C 状态寄存器
I2CCLKL	0x7903	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	I2C 数据计数寄存器
I2CDRR	0x7906	I2C 数据接收寄存器
I2CSAR	0x7907	I2C 从器件地址寄存器
I2CDXR	0x7908	I2C 数据发送寄存器
I2CMDR	0x7909	I2C 模式寄存器
I2CISRC	0x790A	I2C 中断源寄存器
I2CPSC	0x790C	I2C 预分频器寄存器
I2CFFTX	0x7920	I2C FIFO 发送寄存器
I2CFFRX	0x7921	I2C FIFO 接收寄存器
I2CRSR	-	I2C 接收移位寄存器（不可访问 CPU）
I2CXSR	–	I2C 发送移位寄存器（不可访问 CPU）

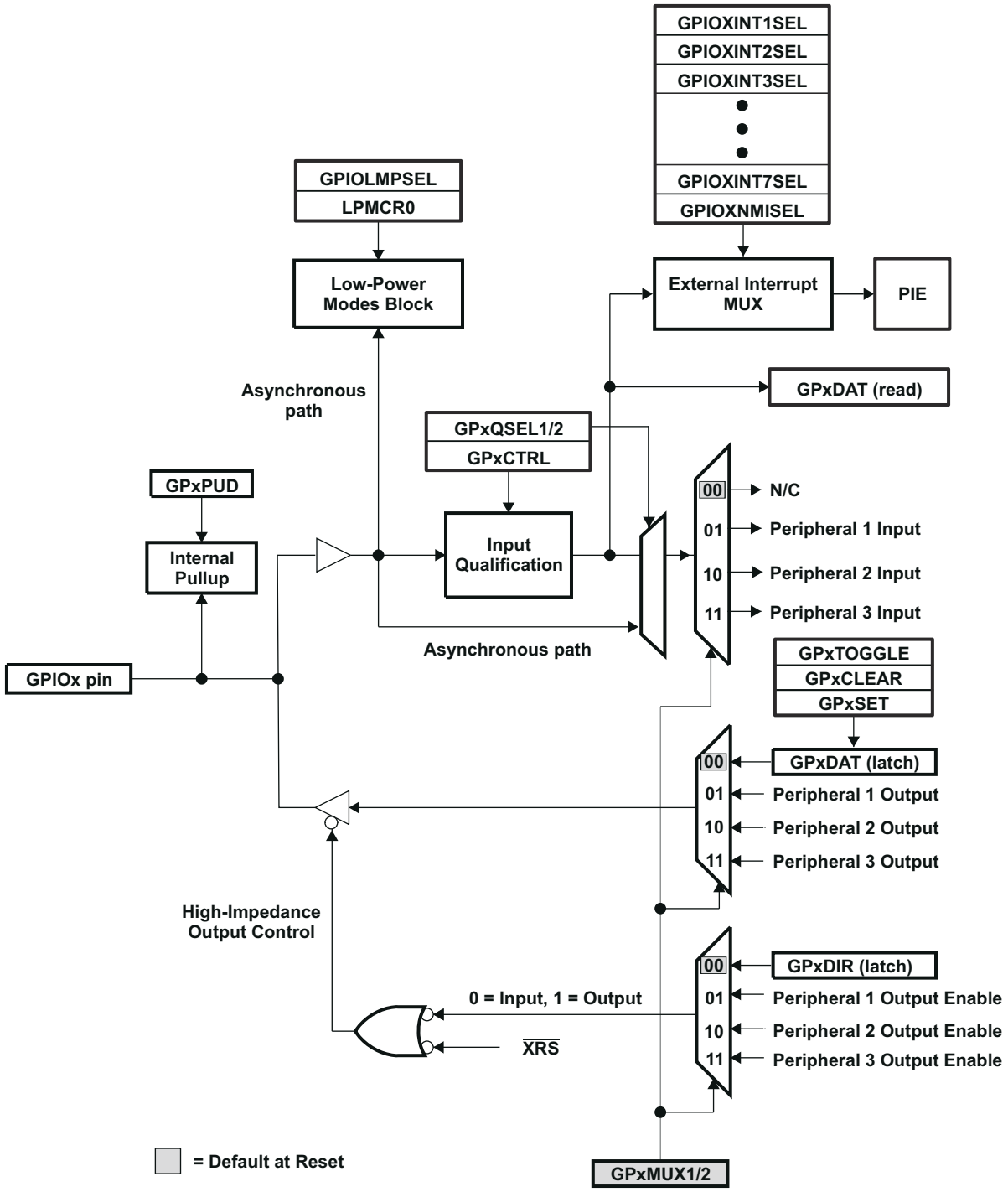
8.2.13 GPIO MUX

在 2833x/2823x 器件上，除了提供独立的引脚 Bit-banging I/O 功能外，GPIO MUX 还可以将最多 3 个独立的外设信号多路复用到单个 GPIP 引脚上。每个引脚的 GPIO MUX 方框图显示在图 8-18 中。由于 I2C 引脚的开漏功能，这些引脚的 GPIO MUX 方框图是不同的。有关详细信息，请参阅 *TMS320x2833x、MS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。

备注

从写入 GPxMUXn 和 GPxQSELn 寄存器发生到动作有效有两个 SYSCLKOUT 周期延迟。

Copyright © 2022 Texas Instruments Incorporated



A. x 代表端口，A 或 B。例如，GPxDIR 是指 GPADIR 或者 GPBDIR 寄存器，至于是哪一个寄存器，则取决于所选择的特定 GPIO 引脚。

B. 在相同的存储器位置访问 GPxDAT 锁存/读取。

C. 这是一个通用 GPIO 多路复用器方框图。并非所有选项都可用于所有 GPIO 引脚。有关引脚特定的变化，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。

图 8-18. GPIO MUX 方框图

器件支持 88 个 GPIO 引脚。GPIO 控制和数据寄存器会映射到外设帧 1，以便在寄存器上实现 32 位运行（连同 16 位运行）。表 8-17 显示了 GPIO 寄存器映射。

表 8-17. GPIO 寄存器

名称	地址	大小 (x16)	说明
GPIO 控制寄存器（受 EALLOW 保护）			
GPACTRL	0x6F80	2	GPIO A 控制寄存器（GPIO0 至 31）
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器（GPIO0 至 15）
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器（GPIO16 至 31）
GPAMUX1	0x6F86	2	GPIO A 多路复用器 1 寄存器（GPIO0 至 15）
GPAMUX2	0x6F88	2	GPIO A 多路复用器 2 寄存器（GPIO16 至 31）
GPADIR	0x6F8A	2	GPIO A 方向寄存器（GPIO0 至 31）
GPAPUD	0x6F8C	2	GPIO A 上拉禁用寄存器（GPIO0 至 31）
保留	0x6F8E-0x6F8F	2	
GPBCTRL	0x6F90	2	GPIO B 控制寄存器（GPIO32 至 63）
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器（GPIO32 至 47）
GPBQSEL2	0x6F94	2	GPIOB 限定符选择 2 寄存器（GPIO48 至 63）
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器（GPIO32 至 47）
GPBMUX2	0x6F98	2	GPIO B MUX 2 寄存器（GPIO48 至 63）
GPBDIR	0x6F9A	2	GPIO B 方向寄存器（GPIO32 至 63）
GPBPUD	0x6F9C	2	GPIO B 上拉禁用寄存器（GPIO32 至 63）
保留	0x6F9E-0x6FA5	8	
GPCMUX1	0x6FA6	2	GPIO C MUX1 寄存器（GPIO64 至 79）
GPCMUX2	0x6FA8	2	GPIO C MUX2 寄存器（GPIO80 至 87）
GPCDIR	0x6FAA	2	GPIO C 方向寄存器 (GPIO64 至 GPIO 87)
GPCPUD	0x6FAC	2	GPIO C 上拉禁用寄存器（GPIO64 至 87）
保留	0x6FAE – 0x6FBF	18	
GPIO 数据寄存器（不受 EALLOW 保护）			
GPADAT	0x6FC0	2	GPIO A 数据寄存器（GPIO0 至 31）
GPASET	0x6FC2	2	GPIO A 数据集寄存器（GPIO0 至 31）
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器（GPIO0 至 31）
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器（GPIO0 至 31）
GPBDAT	0x6FC8	2	GPIO B 数据寄存器（GPIO32 至 63）
GPBSET	0x6FCA	2	GPIO B 数据设定寄存器（GPIO32 至 63）
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器（GPIO32 至 63）
GPBTOGGLE	0x6FCE	2	GPIO B 数据切换寄存器（GPIO32 至 63）
GPCDAT	0x6FD0	2	GPIO C 数据寄存器（GPIO64 至 87）
GPCSET	0x6FD2	2	GPIO C 数据设定寄存器（GPIO64 至 87）
GPCCLEAR	0x6FD4	2	GPIO C 数据清除寄存器（GPIO64 至 87）
GPCTOGGLE	0x6FD6	2	GPIO C 数据切换寄存器（GPIO64 至 87）
保留	0x6FD8-0x6FDF	8	
GPIO 中断和低功耗模式选择寄存器（受 EALLOW 保护）			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器（GPIO0 至 31）
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器（GPIO0 至 31）
GPIOXNMISEL	0x6FE2	1	XNMI GPIO 输入选择寄存器（GPIO0 至 31）
GPIOXINT3SEL	0x6FE3	1	XINT3 GPIO 输入选择寄存器（GPIO32 至 63）

Copyright © 2022 Texas Instruments Incorporated

表 8-17. GPIO 寄存器 (continued)

名称	地址	大小 (x16)	说明
GPIOXINT4SEL	0x6FE4	1	XINT4 GPIO 输入选择寄存器（GPIO32 至 63）
GPIOXINT5SEL	0x6FE5	1	XINT5 GPIO 输入选择寄存器（GPIO32 至 63）
GPIOXINT6SEL	0x6FE6	1	XINT6 GPIO 输入选择寄存器（GPIO32 至 63）
GPIOINT7SEL	0x6FE7	1	XINT7 GPIO 输入选择寄存器（GPIO32 至 63）
GPIOLPMSEL	0x6FE8	2	LPM GPIO 选择寄存器（GPIO0 至 31）
保留	0x6FEA-0x6FFF	22	

表 8-18. GPIO 复用器外设选择矩阵

寄存器位			外设选择			
GPADIR GPADAT GPASET GPACLR GPATOGGLE		**GPAMUX1 GPAQSEL1**	**GPIOx GPAMUX1 = 0,0**	**PER1 GPAMUX1 = 0, 1**	**PER2 GPAMUX1 = 1, 0**	**PER3 GPAMUX1 = 1, 1**
QUALPRD0	0	1, 0	GPIO0 (I/O)	EPWM1A (O)	保留	保留
	1	3, 2	GPIO1 (I/O)	EPWM1B (O)	ECAP6 (I/O)	MFSRB (I/O)
	2	5, 4	GPIO2 (I/O)	EPWM2A (O)	保留	保留
	3	7, 6	GPIO3 (I/O)	EPWM2B (O)	ECAP5 (I/O)	MCLKRB (I/O)
	4	9, 8	GPIO4 (I/O)	EPWM3A (O)	保留	保留
	5	11, 10	GPIO5 (I/O)	EPWM3B (O)	MFSRA (I/O)	ECAP1 (I/O)
	6	13, 12	GPIO6 (I/O)	EPWM4A (O)	EPWMSYNCI (I)	EPWMSYNCO (O)
	7	15, 14	GPIO7 (I/O)	EPWM4B (O)	MCLKRA (I/O)	ECAP2 (I/O)
QUALPRD1	8	17, 16	GPIO8 (I/O)	EPWM5A (O)	CANTXB (O)	$\overline{\text{ADCSOCAO}}$(O)
	9	19, 18	GPIO9 (I/O)	EPWM5B (O)	SCITXDB (O)	ECAP3 (I/O)
	10	21, 20	GPIO10 (I/O)	EPWM6A (O)	CANRXB (I)	$\overline{\text{ADCSOCBO}}$(O)
	11	23, 22	GPIO11 (I/O)	EPWM6B (O)	SCIRXDB (I)	ECAP4 (I/O)
	12	25, 24	GPIO12 (I/O)	$\overline{\text{TZ1}}$(I)	CANTXB (O)	MDXB (O)
	13	27, 26	GPIO13 (I/O)	$\overline{\text{TZ2}}$(I)	CANRXB (I)	MDRB (I)
	14	29, 28	GPIO14 (I/O)	$\overline{\text{TZ3}}$ (I)/ $\overline{\text{XHOLD}}$ (I)	SCITXDB (O)	MCLKXB (I/O)
	15	31, 30	GPIO15 (I/O)	$\overline{\text{TZ4}}$ (I)/ $\overline{\text{XHOLDA}}$ (O)	SCIRXDB (I)	MFSXB (I/O)
		GPAMUX2 GPAQSEL2	**GPAMUX2 = 0, 0**	**GPAMUX2 = 0, 1**	**GPAMUX2 = 1, 0**	**GPAMUX2 = 1, 1**
QUALPRD2	16	1, 0	GPIO16 (I/O)	SPISIMOA (I/O)	CANTXB (O)	$\overline{\text{TZ5}}$(I)
	17	3, 2	GPIO17 (I/O)	SPISOMIA (I/O)	CANRXB (I)	$\overline{\text{TZ6}}$(I)
	18	5, 4	GPIO18 (I/O)	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)
	19	7, 6	GPIO19 (I/O)	$\overline{\text{SPISTEA}}$(I/O)	SCIRXDB (I)	CANTXA (O)
	20	9, 8	GPIO20 (I/O)	EQEP1A (I)	MDXA (O)	CANTXB (O)
	21	11, 10	GPIO21 (I/O)	EQEP1B (I)	MDRA (I)	CANRXB (I)
	22	13, 12	GPIO22 (I/O)	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)
	23	15, 14	GPIO23 (I/O)	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)

Copyright © 2022 Texas Instruments Incorporated

表 8-18. GPIO 复用器外设选择矩阵 (continued)

寄存器位			外设选择			
GPADIR GPADAT GPASET GPACLR GPATOGGLE		**GPAMUX1 GPAQSEL1**	**GPIOx GPAMUX1 = 0,0**	**PER1 GPAMUX1 = 0, 1**	**PER2 GPAMUX1 = 1, 0**	**PER3 GPAMUX1 = 1, 1**
QUALPRD3	24	17, 16	GPIO24 (I/O)	ECAP1 (I/O)	EQEP2A (I)	MDXB (O)
	25	19, 18	GPIO25 (I/O)	ECAP2 (I/O)	EQEP2B (I)	MDRB (I)
	26	21, 20	GPIO26 (I/O)	ECAP3 (I/O)	EQEP2I (I/O)	MCLKXB (I/O)
	27	23, 22	GPIO27 (I/O)	ECAP4 (I/O)	EQEP2S (I/O)	MFSXB (I/O)
	28	25, 24	GPIO28 (I/O)	SCIRXDA (I)	$\overline{\text{XZCS6}}$(O)	
	29	27, 26	GPIO29 (I/O)	SCITXDA (O)	XA19(O)	
	30	29, 28	GPIO30 (I/O)	CANRXA (I)	XA18(O)	
	31	31, 30	GPIO31 (I/O)	CANTXA (O)	XA17(O)	

表 8-19. GPIO-B 复用器外设选择矩阵

寄存器位			外设选择			
GPBDIR GPBDAT GPBSET GPBCLR GPBTOGGLE		**GPBMUX1 GPBQSEL1**	**GPIOx GPBMUX1 = 0, 0**	**PER1 GPBMUX1 = 0, 1**	**PER2 GPBMUX1 = 1, 0**	**PER3 GPBMUX1 = 1, 1**
QUALPRD0	0	1, 0	GPIO32(I/O)	SDAA (I/OC)[(1)]	EPWMSYNCI (I)	$\overline{\text{ADCSOCAO}}$ (O)
	1	3, 2	GPIO33(I/O)	SCLA (I/OC)[(1)]	EPWMSYNCO (O)	$\overline{\text{ADCSOCBO}}$ (O)
	2	5, 4	GPIO34 (I/O)	ECAP1 (I/O)	XREADY (I)	
	3	7, 6	GPIO35(I/O)	SCITXDA (O)	XR/ $\overline{\text{W}}$ (O)	
	4	9, 8	GPIO36(I/O)	SCIRXDA (I)	$\overline{\text{XZCS0}}$(O)	
	5	11, 10	GPIO37(I/O)	ECAP2 (I/O)	$\overline{\text{XZCS7}}$ (O)	
	6	13, 12	GPIO38(I/O)	保留	$\overline{\text{XWE0}}$(O)	
	7	15, 14	GPIO39(I/O)		XA16(O)	
QUALPRD1	8	17, 16	GPIO40(I/O)		XA0/ $\overline{\text{XWE1}}$ (O)	
	9	19, 18	GPIO41 (I/O)		XA1(O)	
	10	21, 20	GPIO42(I/O)		XA2(O)	
	11	23, 22	GPIO43(I/O)		XA3(O)	
	12	25, 24	GPIO44(I/O)		XA4(O)	
	13	27, 26	GPIO45 (I/O)		XA5(O)	
	14	29, 28	GPIO46(I/O)		XA6(O)	
	15	31, 30	GPIO47(I/O)		XA7(O)	
		GPBMUX2 GPBQSEL2	**GPBMUX2 = 0, 0**	**GPBMUX2 = 0, 1**	**GPBMUX2 = 1, 0**	**GPBMUX2 = 1, 1**
QUALPRD2	16	1, 0	GPIO48 (I/O)	ECAP5 (I/O)	XD31(I/O)	
	17	3, 2	GPIO49 (I/O)	ECAP6 (I/O)	XD30 (I/O)	
	18	5, 4	GPIO50 (I/O)	EQEP1A (I)	XD29 (I/O)	
	19	7, 6	GPIO51 (I/O)	EQEP1B (I)	XD28 (I/O)	
	20	9, 8	GPIO52 (I/O)	EQEP1S (I/O)	XD27 (I/O)	
	21	11, 10	GPIO53 (I/O)	EQEP1I (I/O)	XD26 (I/O)	
	22	13, 12	GPIO54 (I/O)	SPISIMOA (I/O)	XD25 (I/O)	
	23	15, 14	GPIO55 (I/O)	SPISOMIA (I/O)	XD24 (I/O)	

Copyright © 2022 Texas Instruments Incorporated

表 8-19. GPIO-B 复用器外设选择矩阵 (continued)

寄存器位			外设选择			
GPBDIR GPBDAT GPBSET GPBCLR GPBTOGGLE		**GPBMUX1 GPBQSEL1**	**GPIOx GPBMUX1 = 0, 0**	**PER1 GPBMUX1 = 0, 1**	**PER2 GPBMUX1 = 1, 0**	**PER3 GPBMUX1 = 1, 1**
QUALPRD3	24	17, 16	GPIO56 (I/O)	SPICLKA (I/O)	XD23 (I/O)	
	25	19, 18	GPIO57 (I/O)	$\overline{\text{SPISTEA}}$(I/O)	XD22(I/O)	
	26	21, 20	GPIO58 (I/O)	MCLKRA (I/O)	XD21 (I/O)	
	27	23, 22	GPIO59 (I/O)	MFSRA (I/O)	XD20 (I/O)	
	28	25, 24	GPIO60(I/O)	MCLKRB (I/O)	XD19(I/O)	
	29	27, 26	GPIO61 (I/O)	MFSRB (I/O)	XD18 (I/O)	
	30	29, 28	GPIO62 (I/O)	SCIRXDC (I)	XD17 (I/O)	
	31	31, 30	GPIO63 (I/O)	SCITXDC (O)	XD16 (I/O)	

(1) 开漏

表 8-20. GPIO-C 复用器外设选择矩阵

寄存器位			外设选择	
GPCDIR GPCDAT GPCSET GPCCLR GPCTOGGLE		**GPCMUX1**	**GPIOx 或 PER1 GPCMUX1 = 0, 0 或 0, 1**	**PER2 或 PER3 GPCMUX1 = 1, 0 或 1, 1**
在其中	0	1, 0	GPIO64 (I/O)	XD15 (I/O)
	1	3, 2	GPIO65 (I/O)	XD14 (I/O)
	2	5, 4	GPIO66 (I/O)	XD13 (I/O)
	3	7, 6	GPIO67 (I/O)	XD12 (I/O)
	4	9, 8	GPIO68 (I/O)	XD11 (I/O)
	5	11, 10	GPIO69 (I/O)	XD10 (I/O)
	6	13, 12	GPIO70 (I/O)	XD9 (I/O)
	7	15, 14	GPIO71 (I/O)	XD8 (I/O)
在其中	8	17, 16	GPIO72 (I/O)	XD7 (I/O)
	9	19, 18	GPIO73 (I/O)	XD6 (I/O)
	10	21, 20	GPIO74 (I/O)	XD5 (I/O)
	11	23, 22	GPIO75 (I/O)	XD4 (I/O)
	12	25, 24	GPIO76 (I/O)	XD3 (I/O)
	13	27, 26	GPIO77 (I/O)	XD2 (I/O)
	14	29, 28	GPIO78 (I/O)	XD1 (I/O)
	15	31, 30	GPIO79 (I/O)	XD0 (I/O)
		GPCMUX2	**GPCMUX2 = 0, 0 或 0, 1**	**GPCMUX2 = 1, 0 或 1, 1**
在其中	16	1, 0	GPIO80 (I/O)	XA8 (O)
	17	3, 2	GPIO81 (I/O)	XA9 (O)
	18	5, 4	GPIO82 (I/O)	XA10 (O)
	19	7, 6	GPIO83 (I/O)	XA11(O)
	20	9, 8	GPIO84 (I/O)	XA12 (O)
	21	11, 10	GPIO85 (I/O)	XA13 (O)
	22	13, 12	GPIO86 (I/O)	XA14 (O)
	23	15, 14	GPIO87 (I/O)	XA15 (O)

通过 GPxQSEL1/2 寄存器，用户可从四个选项中为每一个 GPIO 引脚选择输入限定的类型：

- 仅同步到 SYSCLKOUT (GPxQSEL1/2 = 0, 0)；这是复位时所有 GPIO 引脚的默认模式，它只会将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定（GPxQSEL1/2 = 0, 1 和 1, 0）：在此模式下，输入信号会在同步到系统时钟 (SYSCLKOUT) 后，通过指定数量的周期进行限定，然后才允许输入发生变化。

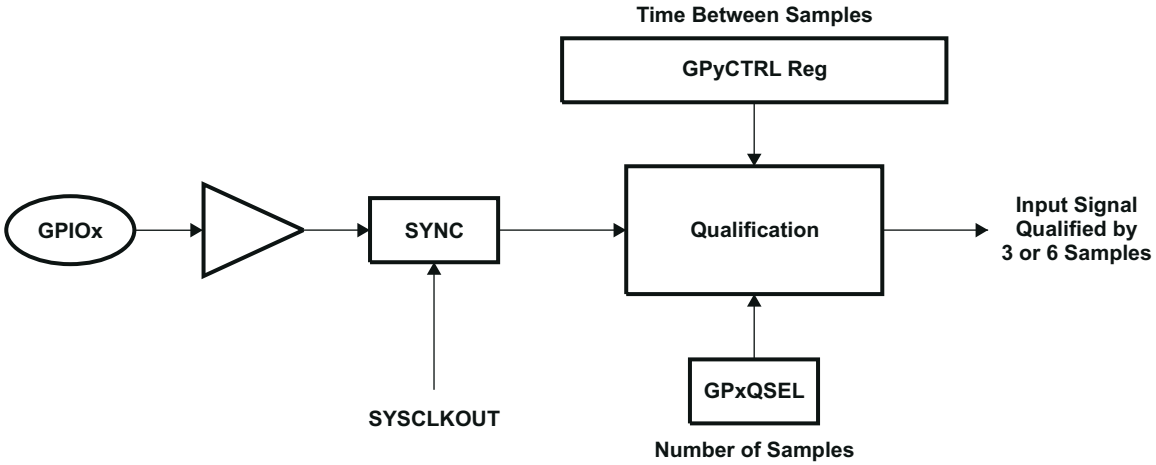


图 8-19. 使用采样窗口的限定：

- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 SYSCLKOUT 周期。采样窗口为 3 个样本或 6 个样本宽，只有当所有样本如图 8-19（6 样本模式）所示全部相同（全为 0 或全为 1）时，输出才会发生变化。
- 不同步 (GPxQSEL1/2 = 1,1)：此模式在无需同步的情况下用于外设（在外设内执行同步）。

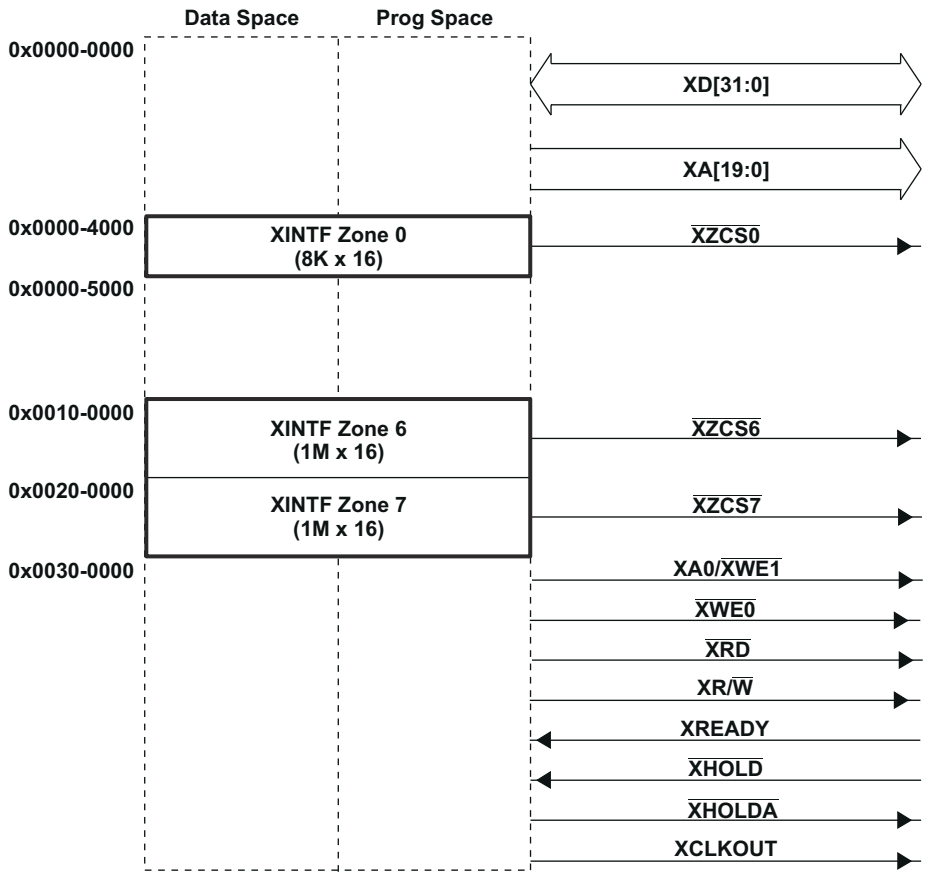
器件上需要多级多路复用，因此在某些情况下，可以将外设输入信号映射到多个 GPIO 引脚。此外，当一个输入信号未被选择时，此输入信号将缺省为一个 0 或者 1 状态，依外设而定。

Copyright © 2022 Texas Instruments Incorporated

8.2.14 外部接口 (XINTF)

本部分简要概述了在 2833x/2823x 器件上实现的外部接口 (XINTF)。

XINTF 是一个非多路复用的异步总线，它类似于 2812 XINTF。XINTF 会映射到图 8-20 中所示的三个固定区域。



A. 每个区域可被设定为具有不同的等待状态、建立和保持时序，并且当执行到一个特定区域的访问时，由区域芯片选择切换支持。这些特性可实现到很多外部存储器和外设的无缝连接。

B. 1-5 区被保留用于将来的扩展。

C. 区域 0，6，和 7 一直被启用。

图 8-20. 外部接口方框图

图 8-21 和图 8-22 显示了典型 16 位和 32 位数据总线 XINTF 连接，说明了 XA0 和 $\overline{\text{XWE1}}$ 的信号功能是如何根据具体的配置而变化的。表 8-21 定义了 XINTF 配置和控制寄存器。

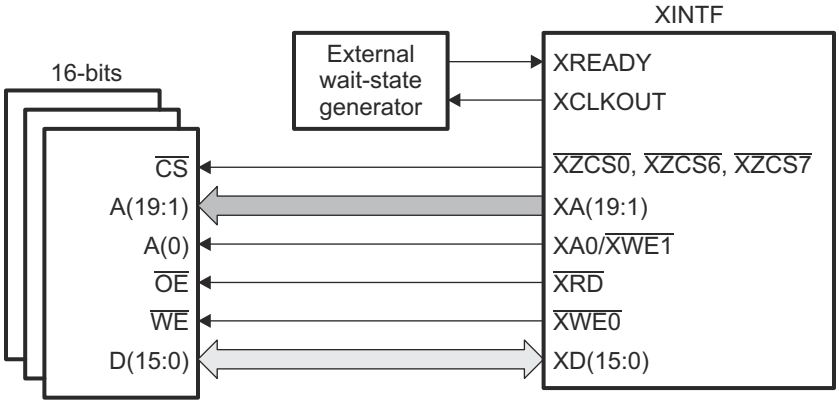


图 8-21. 典型的 16 位数据总线 XINTF 连接

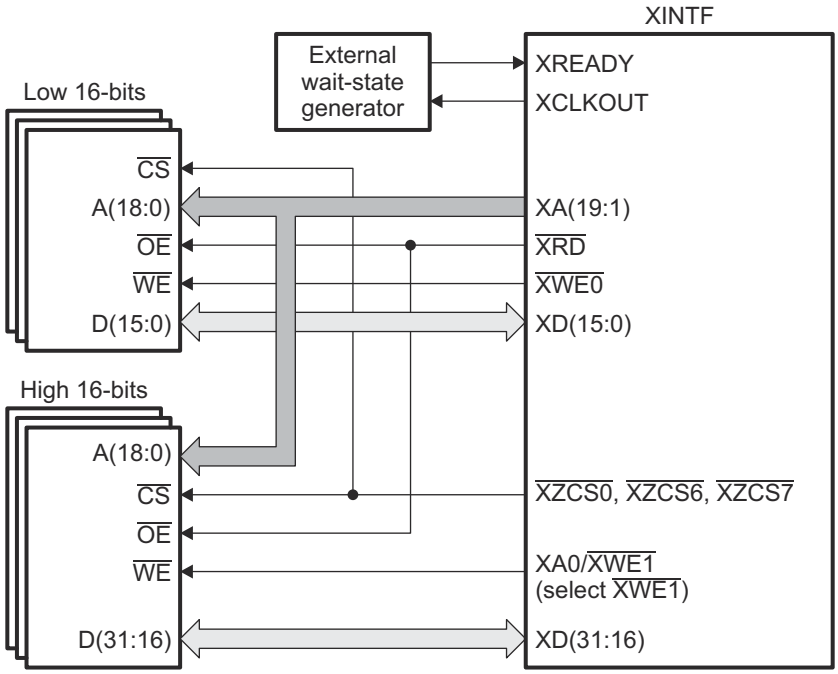


图 8-22. 典型的 32 位数据总线 XINTF 连接

表 8-21. XINTF 配置和控制寄存器映射

名称	地址	大小 (x16)	说明
XTIMING0	0x00−0B20	2	XINTF 定时寄存器，区域 0
XTIMING6[(1)]	0x00−0B2C	2	XINTF 定时寄存器，区域 6
XTIMING7	0x00−0B2E	2	XINTF 定时寄存器，区域 7
XINTCNF2[(2)]	0x00−0B34	2	XINTF 配置寄存器
XBANK	0x00−0B38	1	XINTF 组控制寄存器
XREVISION	0x00−0B3A	1	XINTF 修订版本寄存器
XRESET	0x00−0B3D	1	XINTF 复位寄存器

(1) XTIMING1-XTIMING5 为将来的扩展所保留，目前没有使用。
(2) XINTCNF1 被保留，目前没有使用。

Copyright © 2022 Texas Instruments Incorporated

8.3 内存映射

在图 8-23 到图 8-25 中，以下规则适用：

- 内存块不可扩展。
- 外设帧 0，外设帧 1，外设帧 2，和外设帧 3 内存映射只限于数据内存。一个用户程序不能访问这些处于程序空间内的内存映射。
- *受保护* 意味着“写后读操作”的顺序被保存，而不是保存流水线顺序。更多详细信息，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。
- 特定内存区域受 EALLOW 保护以防止配置之后的假写入。
- 位置 0x380080-0x38008F 包含 ADC 校准程序。它不由用户编程。
- 如果 eCAN 模块未在应用中使用，提供的 RAM（LAM、MOTS、MOTO 和邮箱 RAM）可用作通用 RAM。为实现这一功能，CAN 模块时钟应被启用。

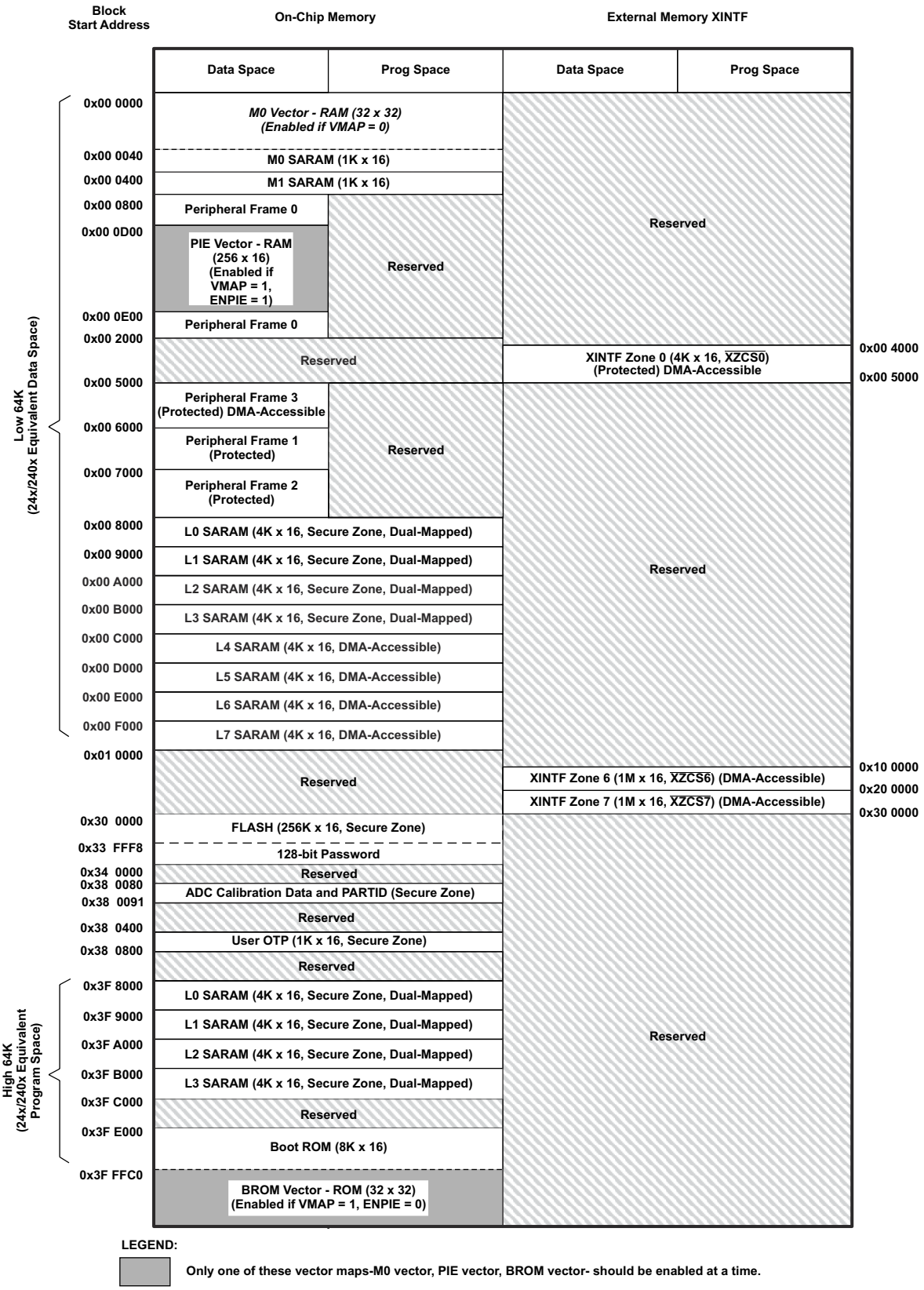


图 8-23. F28335、F28333、F28235 内存映射

Copyright © 2022 Texas Instruments Incorporated

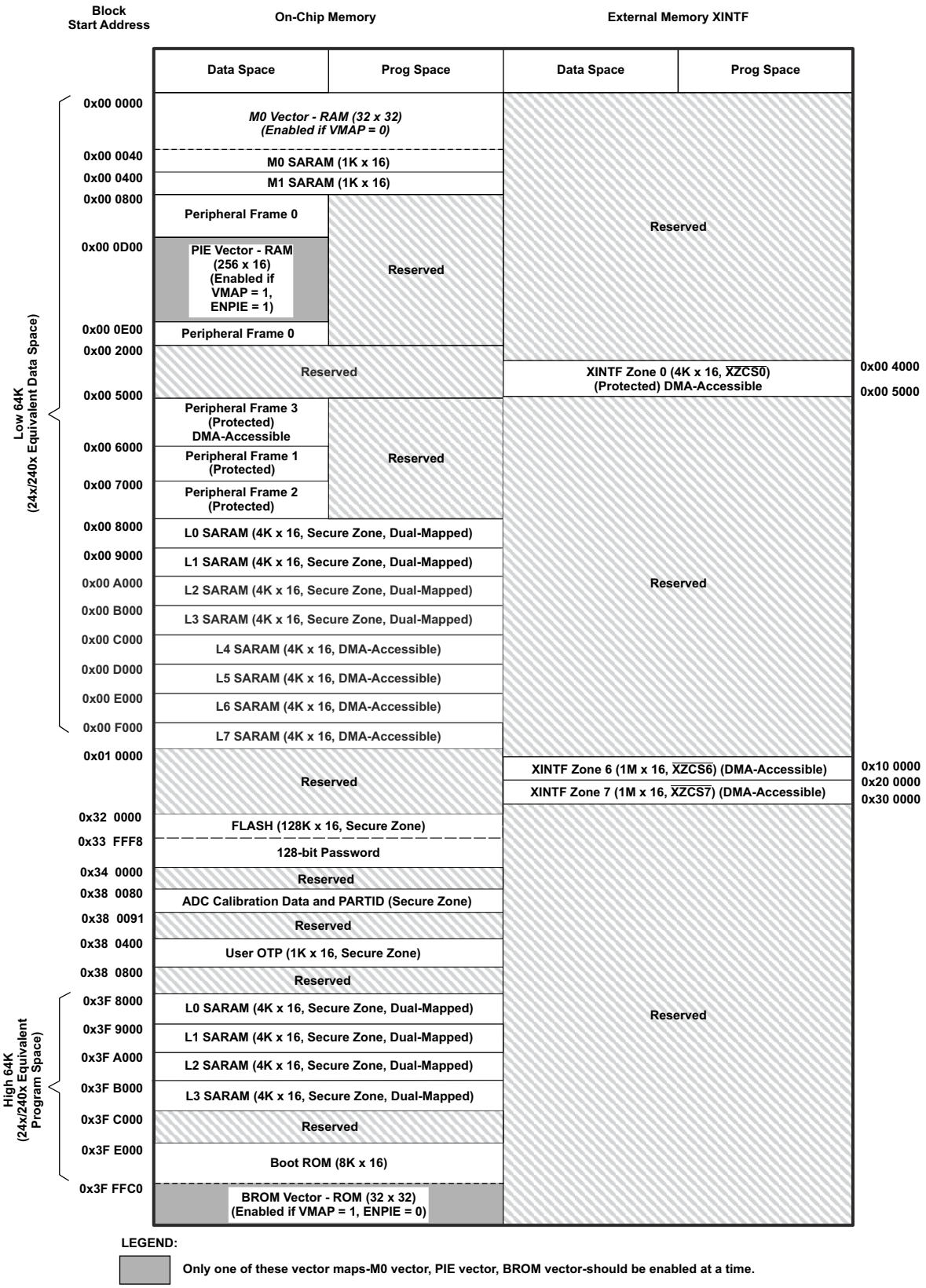


图 8-24. F28334，F28234 内存映射

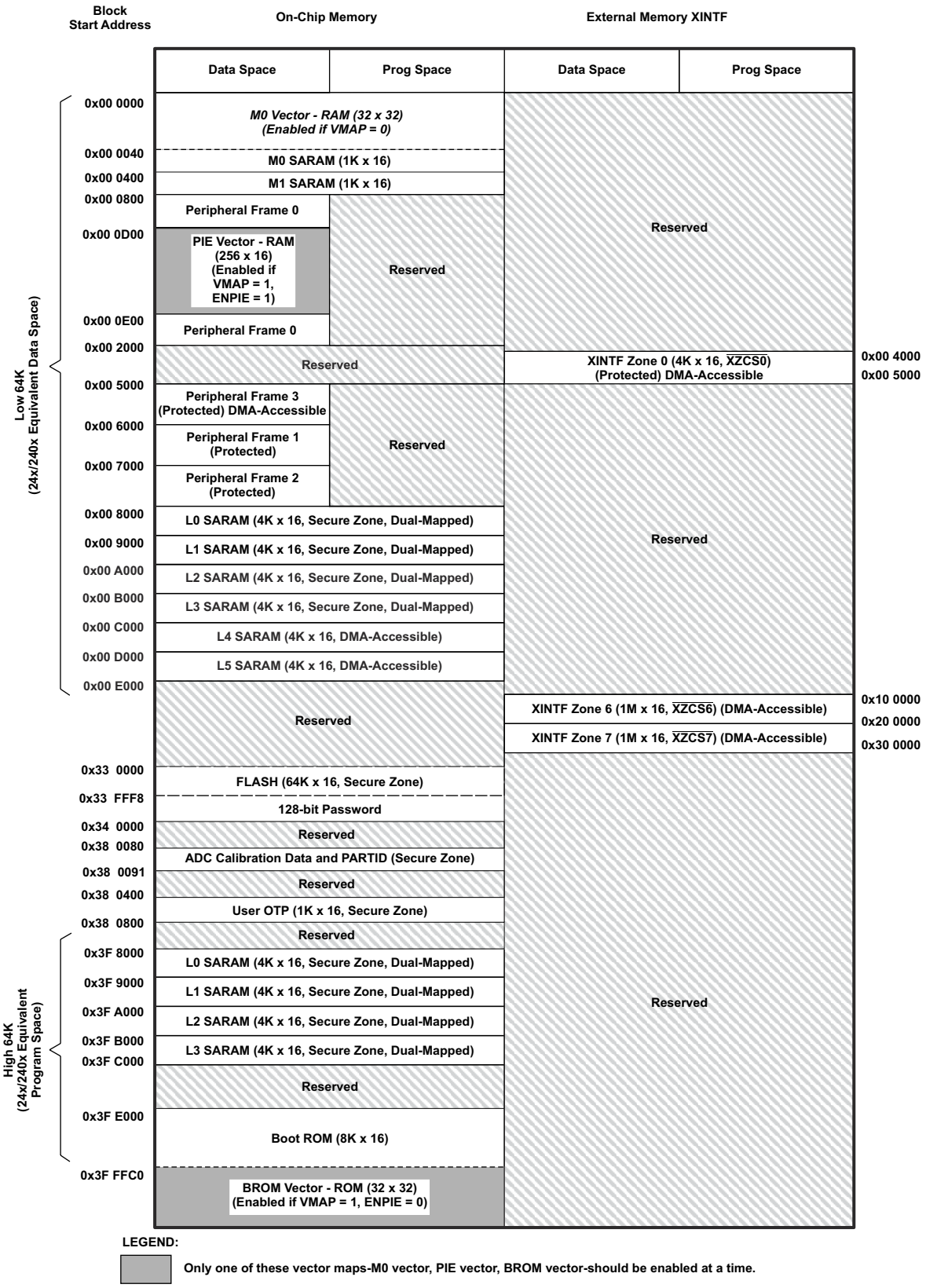


图 8-25. F28332，F28232 内存映射

Copyright © 2022 Texas Instruments Incorporated

表 8-22. F28335、F28333、F28235 中的闪存扇区地址

地址范围	程序和数据空间
0x30 0000-0x30 7FFF	扇区 H (32K x 16)
0x30 8000-0x30 FFFF	扇区 G (32K x 16)
0x31 0000-0x31 7FFF	扇区 F (32K x 16)
0x31 8000-0x31 FFFF	扇区 E (32K x 16)
0x32 0000-0x32 7FFF	扇区 D (32K x 16)
0x32 8000-0x32 FFFF	扇区 C (32K x 16)
0x33 0000-0x33 7FFF	扇区 B (32K x 16)
0x33 8000-0x33 FF7F	扇区 A (32K x 16)
0x33 FF80-0x33 FFF5	当使用代码安全模块时，编程至 0x0000
0x33 FFF6-0x33 FFF7	引导至闪存入口点（在此处编程分支指令）
0x33 FFF8-0x33 FFFF	安全密码（128 位）（不要编程为全零）

表 8-23. F28334，F28234 中闪存扇区的地址

地址范围	程序和数据空间
0x32 0000-0x32 3FFF	扇区 H (16K x 16)
0x32 4000-0x32 7FFF	扇区 G (16K x 16)
0x32 8000-0x32 BFFF	扇区 F (16K x 16)
0x32 C000-0x32 FFFF	扇区 E (16K x 16)
0x33 0000-0x33 3FFF	扇区 D (16K x 16)
0x33 4000-0x33 7FFFF	扇区 C (16K x 16)
0x33 8000-0x33 BFFF	扇区 B (16K x 16)
0x33 C000-0x33 FF7F	扇区 A (16K x 16)
0x33 FF80-0x33 FFF5	当使用代码安全模块时，编程至 0x0000
0x33 FFF6-0x33 FFF7	引导至闪存入口点（在此处编程分支指令）
0x33 FFF8-0x33 FFFF	安全密码（128 位）（不要编程为全零）

表 8-24. F28332，F28232 中闪存扇区的地址

地址范围	程序和数据空间
0x33 0000-0x33 3FFF	扇区 D (16K x 16)
0x33 4000-0x33 7FFFF	扇区 C (16K x 16)
0x33 8000-0x33 BFFF	扇区 B (16K x 16)
0x33 C000-0x33 FF7F	扇区 A (16K x 16)
0x33 FF80-0x33 FFF5	当使用代码安全模块时，编程至 0x0000
0x33 FFF6-0x33 FFF7	引导至闪存入口点（在此处编程分支指令）
0x33 FFF8-0x33 FFFF	安全密码（128 位）（不要编程为全零）

备注

- 对代码安全密码进行编程时，0x33FF80 至 0x33FFF5 之间的所有地址均无法用作程序代码或数据。这些位置必须编程为 0x0000。
- 如果未使用代码安全特性，地址 0x33FF80 至 0x33FFEF 可用于代码或数据。地址 0x33FFF0 至 0x33FFF5 为数据保留，不应包含程序代码。

表 8-25 显示如何处理这些内存地址。

表 8-25. 处理安全代码位置

地址	闪存	
	代码安全启用	代码安全禁用
0x33FF80 – 0x33FFEF	用 0x0000 填充	应用代码和数据
0x33FFF0 – 0x33FFF5		只为数据保留。

外设帧 1，外设帧 2，以及外设帧 3 被编成一组以使这些块成为受保护的写入/读取外设块。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于 C28x 管线，在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题，在此类应用中，用户认为写入会首先发生（如文档所描述的那样）。C28x CPU 支持一个块保护模式，在这个模式中，可对一个内存区域进行保护，以确保操作按照本文档所描述的那样发生（代价增加了额外周期以校正运行）可对这个模式进行编程，并且，缺省情况下，它将保护所选的区域。

Copyright © 2022 Texas Instruments Incorporated

以下*等待状态*表中列出了内存映射区域内不同空间的等待状态。

表 8-26. 等待状态

区域	等待状态 (CPU)	等待状态 (DMA)[1]	注释
M0 和 M1 SARAM	0 - 等待		固定
外设帧 0	0 - 等待（写入） 1 - 等待（读取）	0 - 等待（读取） 无权限（写入）	
外设帧 3	0 - 等待（写入） 2 - 等待（读取）	0 - 等待（写入） 1 - 等待（读取）	假设 CPU 和 DMA 之间没有冲突。
外设帧 1	0 - 等待（写入） 2 - 等待（读取）	无访问	周期可由已生成的外设扩展。 向外设帧 1 寄存器连续（背靠背）写入将经历一个 1 周期管道命中（1 周期延迟）
外设帧 2	0 - 等待（写入） 2 - 等待（读取）	无访问	固定周期不可由外设扩展。
L0 SARAM	0 - 等待	无访问	假定没有 CPU 冲突
L1 SARAM			
L2 SARAM			
L3 SARAM			
L4 SARAM	0 - 等待数据（读取） 0 - 等待数据（写入） 1 - 等待项目（读取） 1 - 等待项目（写入）	0 - 等待	假设 CPU 和 DMA 之间没有冲突。
L5 SARAM			
L6 SARAM			
L7 SARAM			
XINTF	可编程 0 - 写入缓冲器启用的最小写入等待	可编程 0 - 写入缓冲器启用的最小写入等待	通过 XTIMING 寄存器编程或通过外部 XREADY 信号扩展，来满足系统的时序要求。 对于在 XINTF 上的读取和写入，1 - 等待是在外部波形上的最小等待状态。 0 - 假定写入缓冲器启用并且不满时针对写入的最小等待。假设 CPU 和 DMA 之间没有冲突。当同时尝试 DMA 和 CPU（冲突）时，增加 1 周期延迟用于仲裁。
OTP	可编程 1 - 最小等待	无访问	由闪存寄存器设定。 1 - 等待是等待状态所允许的最小数。可在一个减少的 CPU 频率上执行 1 等待状态操作。
闪存	可编程 1 - 页式最小等待值 1 - 随机最小等待值 随机等待 ≥ 页式等待	无访问	由闪存寄存器设定。 页式访问中不允许 0 - 最小等待
闪存密码	16 - 等待固定	无访问	密码位置的等待状态是固定的。
引导 - ROM	1 - 等待	无访问	0 - 等待速度无法实现。

(1) DMA 具有一个 4 个周期/字的基值。

8.4 寄存器映射

此器件包含四个外设寄存器空间。这些空间分类如下：

外设帧 0： 这些是直接映射到 CPU 存储器总线的外设。具体请参阅表 8-27。

外设帧 1 这些是映射到 32 位外设总线的外设。请参阅表 8-28。

外设帧 2： 这些是映射到 16 位外设总线的外设。请参阅表 8-29。

外设帧 3： 这些是映射到 32 位可通过 DMA 访问的外设总线的外设。请参阅表 8-30。

表 8-27. 外设帧 0 寄存器

名称(1)	地址范围	大小 (x 16)	访问类型(2)
器件仿真寄存器	0x00 0880-0x00 09FF	384	受 EALLOW 保护
闪存寄存器(3)	0x00 0A80-0x00 0ADF	96	受 EALLOW 保护
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	受 EALLOW 保护
ADC 寄存器（双映射） 0 等待 (DMA)，1 等待 (CPU)，只读	0x00 0B00-0x00 0B0F	16	不受 EALLOW 保护
XINTF 寄存器	0x00 0B20-0x00 0B3F	32	受 EALLOW 保护
CPU 计时器 0，CPU 计时器 1，CPU 计时器 2 寄存器	0x00 0C00-0x00 0C3F	64	不受 EALLOW 保护
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	不受 EALLOW 保护
PIE 矢量表	0x00 0D00-0x00 0DFF	256	受 EALLOW 保护
DMA 寄存器	0x00 1000-0x00 11FF	512	受 EALLOW 保护

(1) 帧 0 中的寄存器支持 16 位和 32 位访问。
(2) 如果寄存器是受 EALLOW 保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。
(3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 8-28. 外设帧 1 寄存器

名称	地址范围	大小 (x 16)
eCAN-A 寄存器	0x00 6000-0x00 61FF	512
eCAN-B 寄存器	0x00 6200 – 0x00 63FF	512
ePWM1 + HRPWM1 寄存器	0x00 6800-0x00 683F	64
ePWM2 + HRPWM2 寄存器	0x00 6840-0x00 687F	64
ePWM3 + HRPWM3 寄存器	0x00 6880-0x00 68BF	64
ePWM4 + HRPWM4 寄存器	0x00 68C0-0x00 68FF	64
ePWM5 + HRPWM5 寄存器	0x00 6900-0x00 693F	64
ePWM6 + HRPWM6 寄存器	0x00 6940-0x00 697F	64
eCAP1 寄存器	0x00 6A00-0x00 6A1F	32
eCAP2 寄存器	0x00 6A20-0x00 6A3F	32
eCAP3 寄存器	6x40 6A00-0x00 0A5F	32
eCAP4 寄存器	6x60 6A00-0x00 0A7F	32
eCAP5 寄存器	6x80 6A00-0x00 0A9F	32
eCAP6 寄存器	0x00 6AA0 – 0x00 6ABF	32
eQEP1 寄存器	0x00 6B00-0x00 6B3F	64
eQEP2 寄存器	0x00 6B40-0x00 6B7F	64
GPIO 寄存器	0x00 6F80-0x00 6FFF	128

Copyright © 2022 Texas Instruments Incorporated

表 8-29. 外设帧 2 寄存器

名称	地址范围	大小 (x 16)
系统控制寄存器	0x00 7010-0x00 702F	32
SPI-A 寄存器	0x00 7040-0x00 704F	16
SCI-A 寄存器	0x00 7050-0x00 705F	16
外部中断寄存器	0x00 7070-0x00 707F	16
ADC 寄存器	0x00 7100-0x00 711F	32
SCI-B 寄存器	0x00 7750-0x00 775F	16
SCI-C 寄存器	0x00 7770-0x00 777F	16
I2C-A 寄存器	0x00 7900-0x00 793F	64

表 8-30. 外设帧 3 寄存器

名称	地址范围	大小 (x 16)
McBSP-A 寄存器 (DMA)	0x5000 -0x503 F	64
McBSP-B 寄存器 (DMA)	0x5040 -0x507 F	64
ePWM1 + HRPWM1 (DMA)(1)	0x5800 -0x583 F	64
ePWM2 + HRPWM2 (DMA)	0x5840 -0x587 F	64
ePWM3 + HRPWM3 (DMA)	0x5880-0x58BF	64
ePWM4 + HRPWM4 (DMA)	0x58C0-0x58FF	64
ePWM5 + HRPWM5 (DMA)	0x5900 -0x593 F	64
ePWM6 + HRPWM6 (DMA)	0x5940 -0x597 F	64

(1) EPWM 和 HRPWM 模块可以被重新映射到可以被 DMA 模块访问的外设帧 3。若要做到这点，MAPCNF 寄存器（地址 0x702E）的位 0 (MAPEPWM) 必须设置为 1。此寄存器受 EALLOW 保护。当此位为 0 时，ePWM 和 HRPWM 模块被映射到外设帧 1。

8.4.1 器件仿真寄存器

这些寄存器用于控制 C28x CPU 的保护模式和监视某些关键器件信号。表 8-31 中对这些寄存器进行了定义。

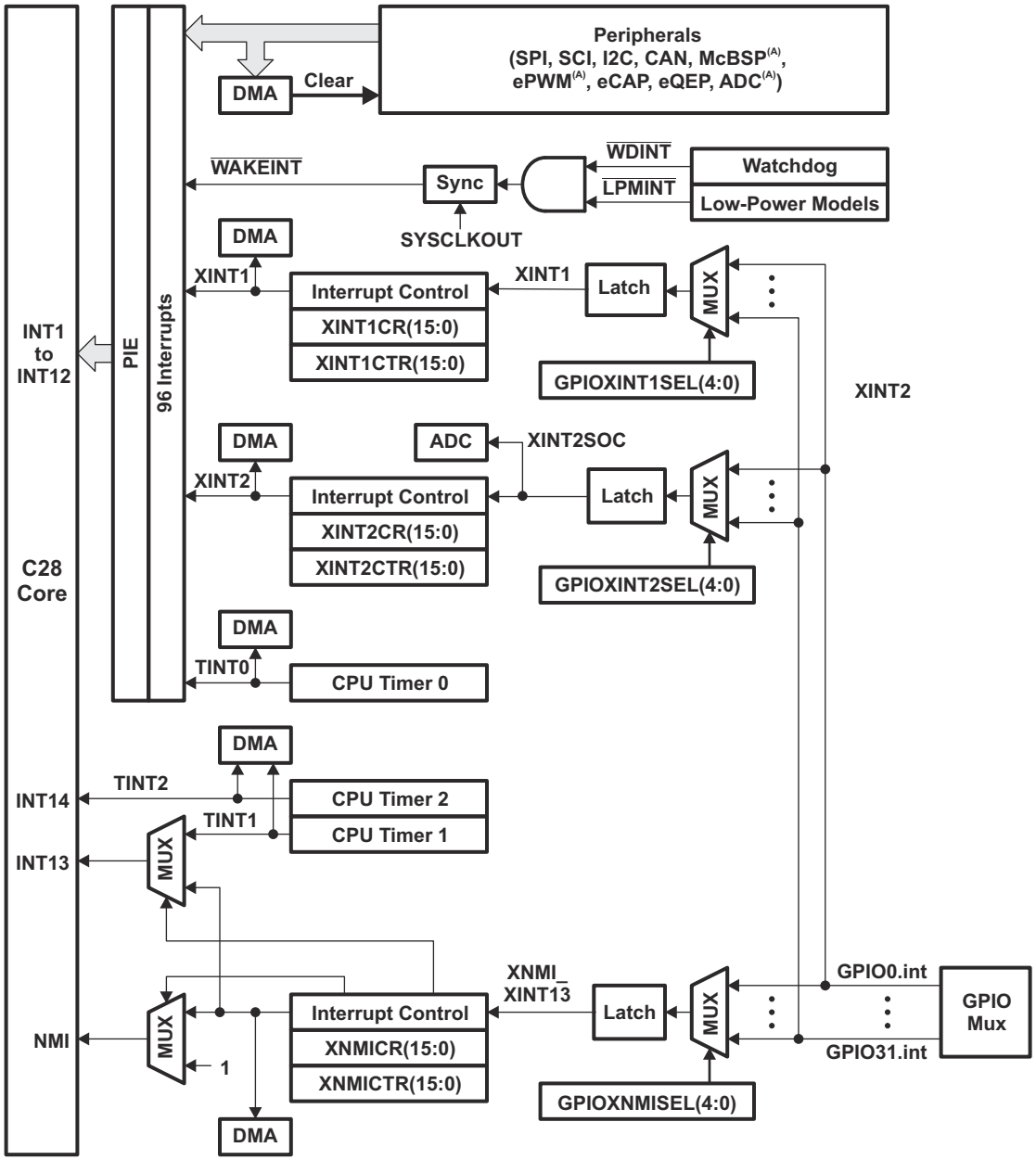
表 8-31. 器件仿真寄存器

名称	地址范围	大小 (x 16)	说明		
DEVICECNF	0x0880 0x0881	2	器件配置寄存器		
PARTID	0x380090	1	器件 ID 寄存器	TMS320F28335	0x00EF
				TMS320F28334	0x00EE
				TMS320F28333	0x00E0
				TMS320F28332	0x00ED
				TMS320F28235	0x00E8
				TMS320F28234	0x00E7
				TMS320F28232	0x00E6
CLASSID	0x0882	1	TMS320F2833x 浮点级器件	TMS320F28335	0x00EF
				TMS320F28334	0x00EF
				TMS320F28333	0x00EF
				TMS320F28332	0x00EF
			TMS320F2823x 定点级器件	TMS320F28235	0x00E8
				TMS320F28234	0x00E8
				TMS320F28232	0x00E8
REVID	0x0883	1	修订版本 ID 寄存器	0x0001 – Silicon Rev. A – TMS	
PROTSTART	0x0884	1	区块保护起始地址寄存器		
PROTRANGE	0x0885	1	区块保护范围地址寄存器		

Copyright © 2022 Texas Instruments Incorporated

8.5 中断

图 8-26 显示了不同的中断源是如何被复用的。



A. 可由 DMA 访问

图 8-26. 外部和 PIE 中断源

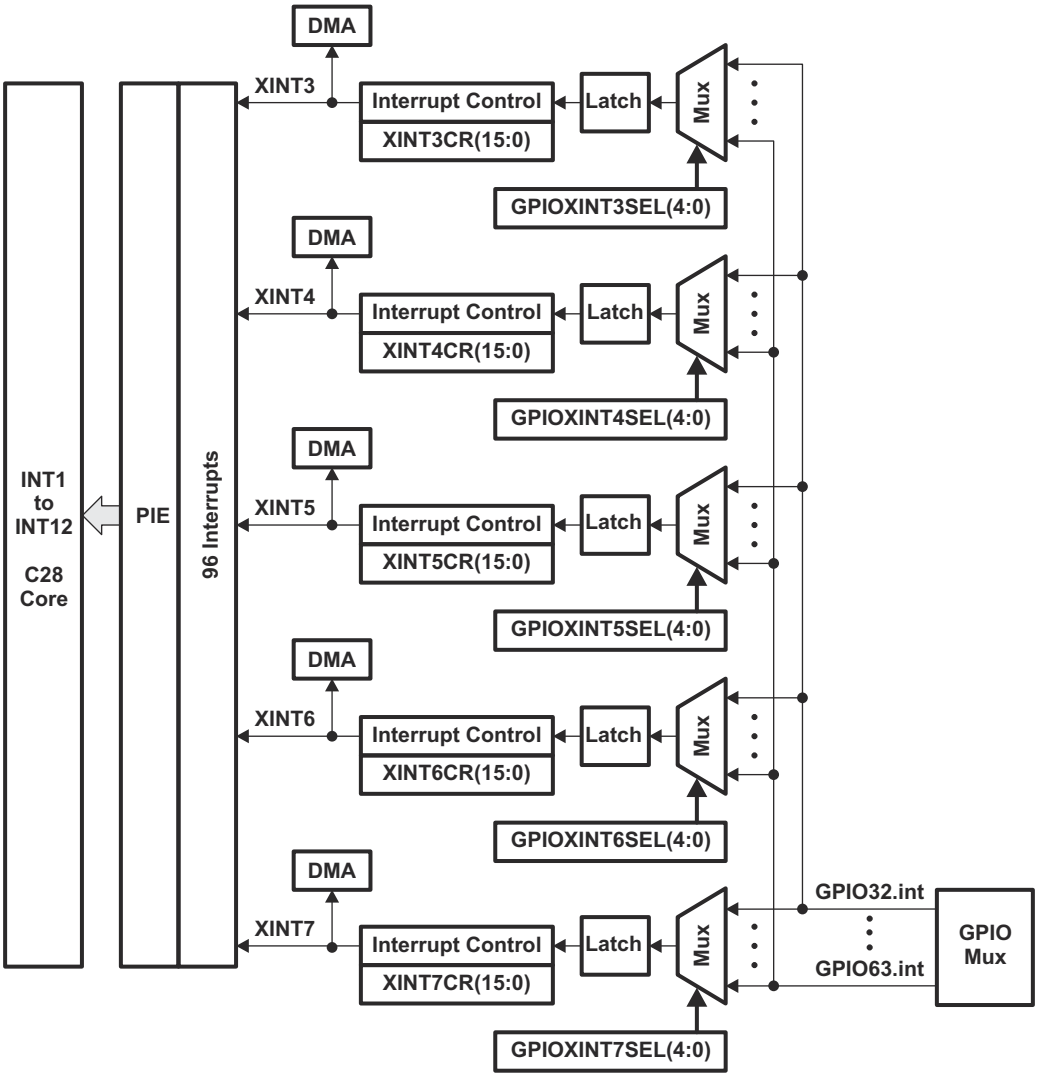


图 8-27. 外部中断

8 个 PIE 块中断组合成了一个 CPU 中断。总共 12 个 CPU 中断组，每组 8 个中断，等于 96 个中断。在 2833x/2823x 器件上，外设使用 58 个中断，如表 8-32 所示。

TRAP #Vectornumber（矢量号）指令将程序控制发送至与指定的矢量相对应的中断处理例程。TRAP #0 尝试将程序控制传送到复位矢量所指向的地址。然而，PIE 矢量表不含复位矢量。因此，当 PIE 被启用时，TRAP #0 不应被使用。这样做将导致未定义的运行状态。

当 PIE 启用时，TRAP #1 至 TRAP #12 会将程序控制传送到与 PIE 组内第一个矢量相对应的中断服务例程。例如：TRAP#1 从 INT1.1 中抽取矢量，TRAP#2 从 INT2.1 中抽取矢量，以此类推。

Copyright © 2022 Texas Instruments Incorporated

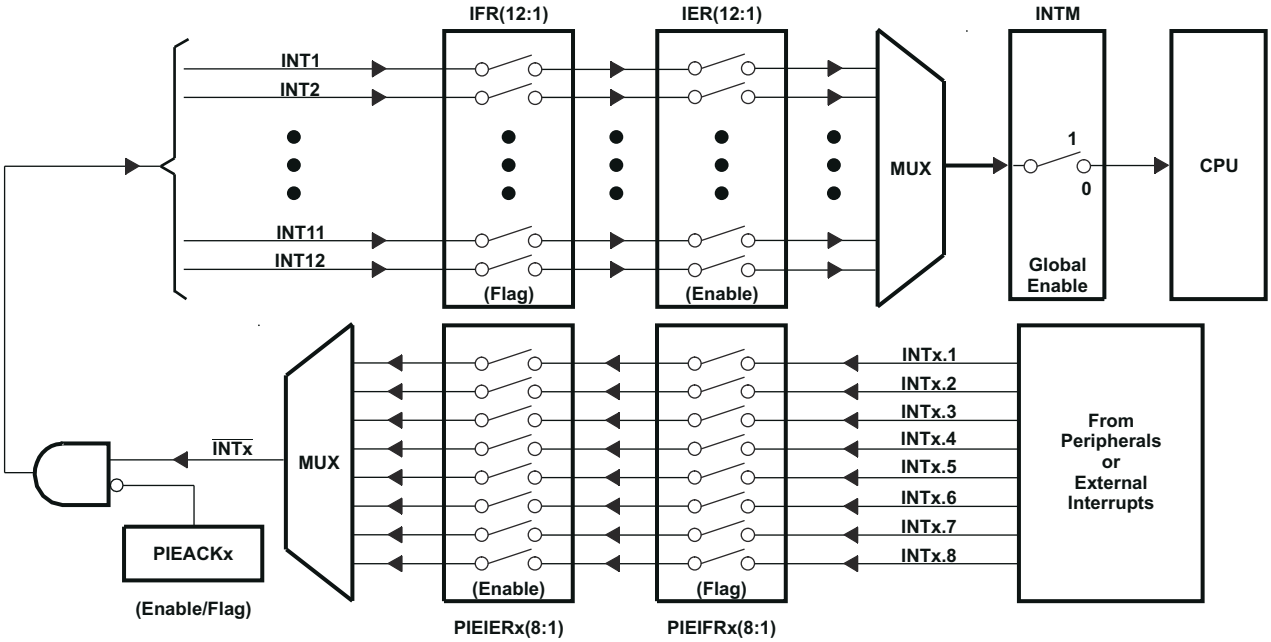


图 8-28. 使用 PIE 块的中断多路复用

表 8-32. PIE 外设中断

CPU 中断	PIE 中断[1]							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (计时器 0)	ADCINT[2] (ADC)	XINT2	XINT1	保留	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	保留	保留	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	保留	保留	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	保留	保留	ECAP6_INT (eCAP6)	ECAP5_INT (eCAP5)	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	保留	保留	保留	保留	保留	保留	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	保留	保留	MXINTA (McBSP-A)	MRINTA (McBSP-A)	MXINTB (McBSP-B)	MRINTB (McBSP-B)	SPITXINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	保留	保留	DINTCH6 (DMA)	DINTCH5 (DMA)	DINTCH4 (DMA)	DINTCH3 (DMA)	DINTCH2 (DMA)	DINTCH1 (DMA)
INT8	保留	保留	SCITXINTC (SCI-C)	SCIRXINTC (SCI-C)	保留	保留	I2CINT2A (I2C-A)	I2CINT1A (I2C-A)
INT9	ECAN1_INTB (CAN-B)	ECAN0_INTB (CAN-B)	ECAN1_INTA (CAN-A)	ECAN0_INTA (CAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	保留	保留	保留	保留	保留	保留	保留	保留
INT11	保留	保留	保留	保留	保留	保留	保留	保留
INT12	LUF (FPU)	LVF (FPU)	保留	XINT7	XINT6	XINT5	XINT4	XINT3

(1) 96 个可能中断中，目前有 58 个正在使用。其余中断保留供未来的器件使用。如果它们在 PIEIFRx 级被启用并且这个组中的中断均未被外设使用，则这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两种安全情况下，保留的中断可用作软件中断：
1) 组内没有外设使中断有效。
2) 没有外设中断被分配到该组（例如，PIE 组 11）。

(2) ADCINT 可以作为 SEQ1INT 和 SEQ2INT 信号的逻辑“或”来获得。这旨在支持向后兼容 TMS320F281x 系列器件中的实现方式，其中不存在 SEQ1INT 和 SEQ2INT，而只有 ADCINT。对于新的实现，TI 建议使用 SEQ1INT 和 SEQ2INT，而不在 PIEIER 寄存器中启用 ADCINT。

表 8-33. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明[1]
PIECTRL	0x0CE0	1	PIE，控制寄存器
PIEACK	0x0CE1	1	PIE，应答寄存器
PIEIER1	0x0CE2	1	PIE，INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE，INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE，INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE，INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE，INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE，INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE，INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE，INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE，INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE，INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE，INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE，INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE，INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE，INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE，INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE，INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE，INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE，INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE，INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE，INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE，INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE，INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE，INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE，INT12 组标志寄存器
保留	0x 0CFA-0x 0CFF	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

Copyright © 2022 Texas Instruments Incorporated

8.5.1 外部中断

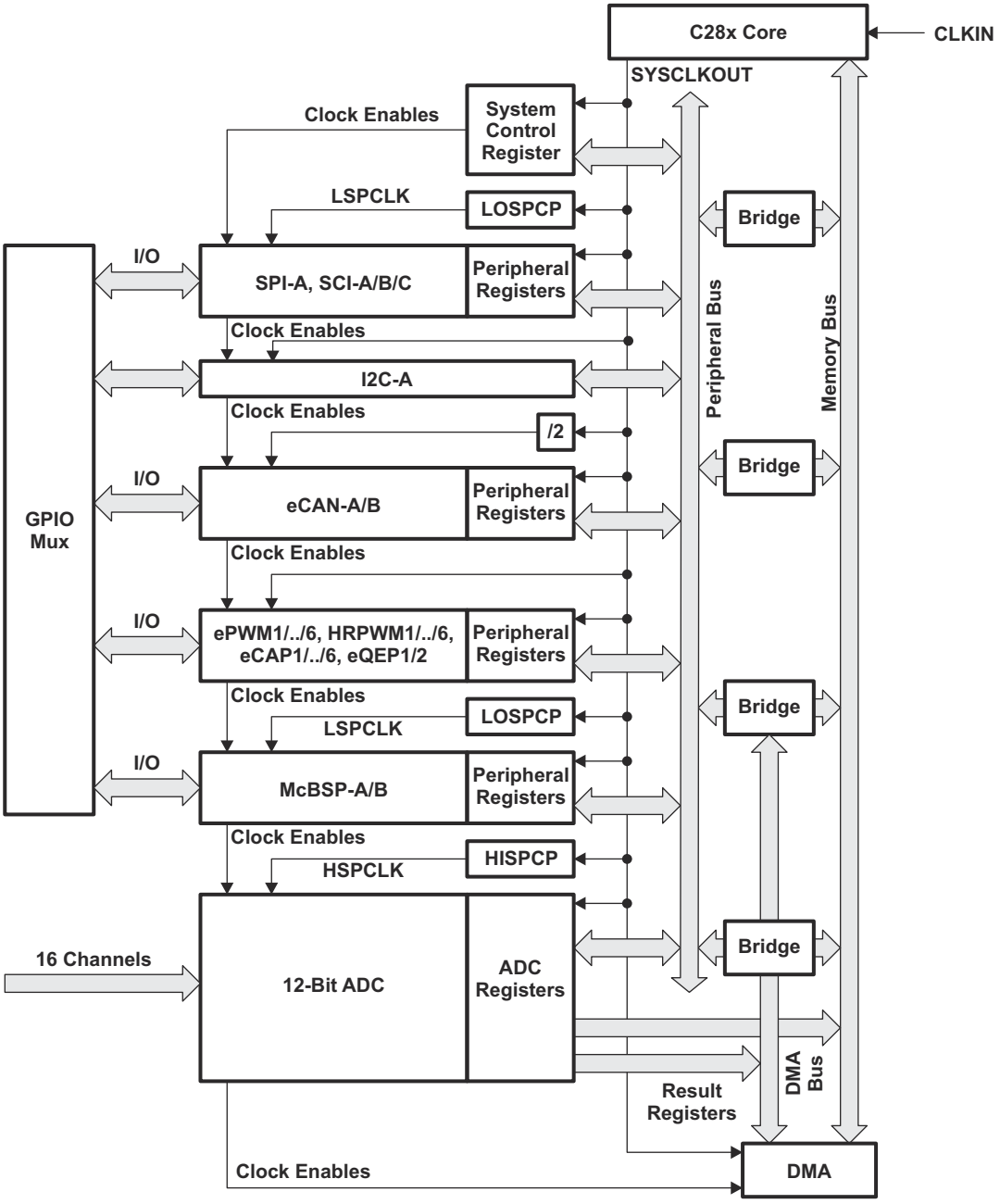
表 8-34. 外部中断寄存器

名称	地址	大小 (x16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT4CR	0x00 7073	1	XINT4 配置寄存器
XINT5CR	0x00 7074	1	XINT5 配置寄存器
XINT6CR	0x00 7075	1	XINT6 配置寄存器
XINT7CR	0x00 7076	1	XINT7 配置寄存器
XNMICR	0x00 7077	1	XNMI 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
保留	0x707A-0x707E	5	
XNMICTR	0x00 707F	1	XNMI 计数器寄存器

每个外部中断可由正边沿、负边沿或者正负边沿启用或禁用或者限定。更多信息，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。

8.6 系统控制

本部分介绍了振荡器、PLL 和时钟机制、看门狗功能以及低功耗模式。图 8-29 显示了所讨论的各种时钟域和复位阈。



A. CLKIN 为 CPU 提供时钟。它作为 SYSCLKOUT 从 CPU 传出（也就是说，CLKIN 与 SYSCLKOUT 频率相同）。如何为 CLKIN 供源的图解请参阅图 8-30。

图 8-29. 时钟和复位域

备注

从写入 PCLKCR0，PCLKCR1，和 PCLKCR2 寄存器（启用外设时钟）发生到操作有效，有两个 SYSCLKOUT 周期延迟。在尝试访问外设配置寄存器之前，必须将该延迟考虑在内。

Copyright © 2022 Texas Instruments Incorporated

PLL，计时，看门狗和低功率模式由表 8-35 中列出的寄存器控制。

表 8-35. PLL，时钟，看门狗，和低功率模式寄存器

名称	地址	大小 (x16)	说明
PLLSTS	0x00 7011	1	PLL 状态寄存器
保留	0x00 7012-0x00 7018	7	保留
保留	0x00 7019	1	保留
HISPCP	0x00 701A	1	高速外设时钟预分频器寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频器寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
保留	0x00 701F	1	保留
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	看门狗计数器寄存器
保留	0x00 7024	1	保留
WDKEY	0x00 7025	1	看门狗复位密钥寄存器
保留	0x00 7026-0x00 7028	3	保留
WDCR	0x00 7029	1	看门狗控制寄存器
保留	0x00 702A – 0x00 702D	4	保留
MAPCNF	0x00 702E	1	EPWM/HRPWM 重新映射寄存器

8.6.1 OSC 和 PLL 块

图 8-30 显示了 OSC 和 PLL 块。

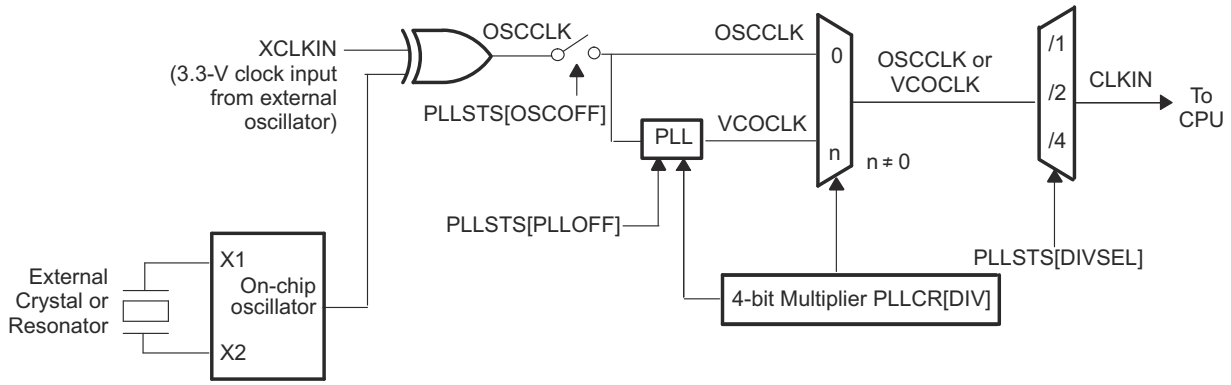


图 8-30. OSC 和 PLL 块方框图

片上振荡器电路可通过 X1 和 X2 引脚将一个晶体/谐振器连接到 2833x/2823x 器件。如果片载振荡器未被使用，那么一个外部振荡器可被用在下列配置中的任何一个：

- 一个 3.3V 外部振荡器可被直接接至 XCLKIN 引脚。X2 引脚应保持未连接状态，而 X1 引脚应连接至低电平。这个情况下的逻辑高电平不用超过 V_{DDIO}。
- 一个 1.9V（100MHz 器件时为 1.8V）外部振荡器可以直接连接到 X1 引脚。X2 引脚应保持未连接状态，而 XCLKIN 引脚应连接至低电平。这个情况下的逻辑高电平不应超过 V_{DD}。

图 8-31 至图 8-33 显示了这三种可能的输入时钟配置。

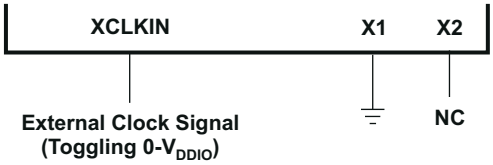


图 8-31. 使用一个 3.3V 外部振荡器

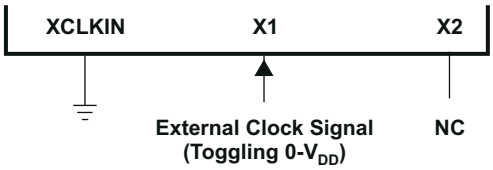


图 8-32. 使用一个 1.9V 外部振荡器

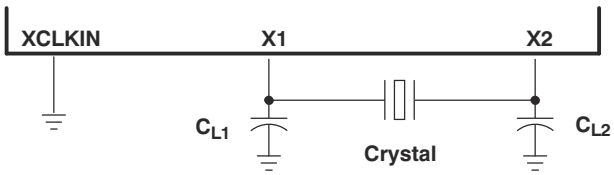


图 8-33. 使用内部振荡器

Copyright © 2022 Texas Instruments Incorporated

8.6.1.1 外部基准振荡器时钟选项

30MHz 外部石英晶体的典型规格如下：

- 基本模式、并联谐振
- C_L（负载电容）= 12pF
- $C_{L1} = C_{L2} = 24pF$
- $C_{shunt} = 6pF$
- ESR 范围 = 25 至 40Ω

TI 建议用户让谐振器/晶振销售商对他们销售的器件与 MCU 一同工作的特性进行说明。振谐器/晶体供应商具有调谐振谐电路的设备并掌握了相关专业技术。供应商还可以建议客户使用正确的谐振回路元件值，以便在整个运行范围内实现适当的启动和稳定性。

8.6.1.2 基于 PLL 的时钟模块

此器件具有一个基于 PLL 的片上时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 通过一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，看门狗模块应被禁用。在 PLL 模式稳定后，它可被重新启用（如果需要的话），重新启用的时间为 131072 个 OSCCLK 周期。输入时钟和 PLLCR[DIV] 位应该在 PLL (VCOCLK) 的输出频率不超过 300MHz 时候选择。

表 8-36. PLL 设置

PLLCR[DIV] 值(2) (3)	PLLSTS[DIVSEL]=0 或 1(1)	SYSCLKOUT (CLKIN)	
		PLLSTS[DIVSEL] = 2(1)	PLLSTS[DIVSEL] = 3(1) (4)
0000（PLL 旁路）	OSCCLK/4（缺省）	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	–
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	–
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	–
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	–
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	–
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	–
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	–
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	–
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	–
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	–
1011-1111	保留	保留	保留

(1) 默认情况下，将 PLLSTS[DIVSEL] 配置为 /4。（引导 ROM 将这个配置更改为 /2。）在写入 PLLCR 前，PLLSTS[DIVSEL] 必须为 0，而只有当 PLLSTS[PLLLOCKS]=1 时才应被改变。
(2) PLL 控制寄存器 (PLLCR) 和 PLL 状态寄存器 (PLLSTS) 只能通过 $\overline{XRS}$ 信号或者一个看门狗复位被复位至它们的缺省值。调试器或缺少时钟检测逻辑发出的复位信号无效。
(3) 此寄存器受 EALLOW 保护。更多信息，请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 中的“系统控制和中断”一章。
(4) 在 PLL 输出上的分频器是必须的以确保馈入内核的时钟的正确占空比。出于这个原因，当 PLL 处于激活状态时，DIVSEL 值不许为 3。

表 8-37. CLKIN 分频选项

PLLSTS [DIVSEL]	CLKIN 分频
0	/4
1	/4
2	/2
3	/1[(1)]

(1) 当 PLL 被绕过或关闭时，才能使用这个模式。

基于 PLL 的时钟模块提供两种操作模式：

- 晶振操作-这个模式允许使用一个外部晶振/谐振器来提供到器件的时基。
- 外部时钟源操作-这个模式允许内部振荡器被旁通。此器件时钟由一个 X1 或者 XCLKIN 引脚上的外部时钟源输入生成。

表 8-38. 可能的 PLL 配置模式

PLL 模式	注释	PLLSTS[DIVSEL]	CLKIN 和 SYSCLKOUT
PLL 关闭	由在 PLLSTS 寄存器中设置 PLLOFF 位的用户调用。在此模式中，PLL 块被禁用。这对降低系统噪声和低功率操作非常有用。在进入此模式之前，必须先将 PLLCR 寄存器设置为 0x0000（PLL 旁路）。CPU 时钟 (CLKIN) 直接源自 X1/X2，X1 或者 XCLKIN 上的输入时钟。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 旁路	PLL 旁路是上电时或外部复位 ($\overline{XRS}$) 后的默认 PLL 配置。当 PLLCR 寄存器设置为 0x0000 时或在修改 PLLCR 寄存器已经被修改之后 PLL 锁定至新频率时，选择此模式。在此模式中，PLL 本身被旁路，但未关闭。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL 启用	通过将非零值 n 写入 PLLCR 寄存器来实现。在写入 PLLCR 时，此器件将在 PLL 锁定之前切换至 PLL 旁路模式。	0, 1 2	OSCCLK*n/4 OSCCLK*n/2

8.6.1.3 输入时钟损失

在 PLL 启用或者 PLL 旁通模式中，如果输入时钟 OSCCLK 被去除或者缺失，PLL 仍将发布一个跛行模式时钟。这个跛行模式时钟持续为 CPU 和典型频率为 1-5MHz 的外设计时。跛行模式未指定为在加电时运行，只在输入时钟最初出现时才运行。在 PLL 旁通模式中，如果输入时钟被移除或者缺失，来自 PLL 的跛行模式时钟被自动引至 CPU。

通常情况下，当输入时钟出现时，看门狗计数器减量来启动一个看门狗复位或者 WDINT 中断。然而，当外部输入时钟发生故障时，看门狗计数器停止减量（也就是说，看门狗计数器不会随着跛行模式时钟而改变）。除此之外，器件将被复位并且“丢失的时钟状态” (MCLKSTS) 位将被设定。这个条件可被应用固件用来检测输入时钟故障并为系统启动所需的关断过程。

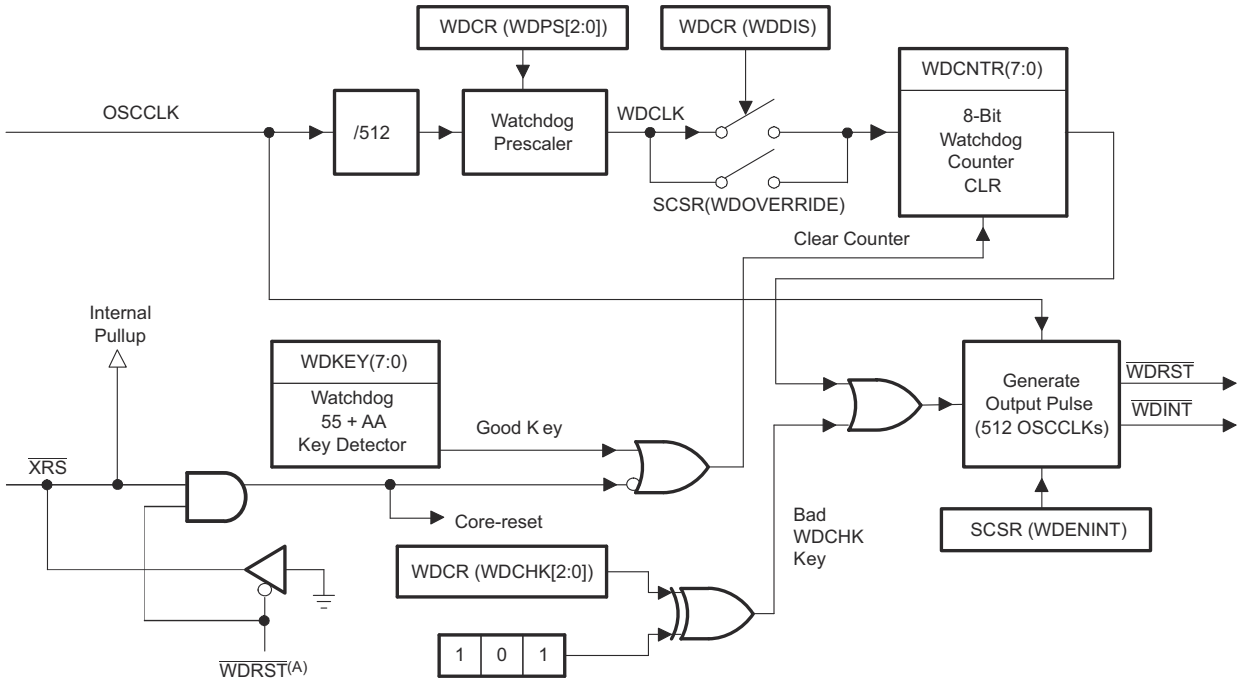
备注

在正确 CPU 运行频率绝对关键的应用中应该执行一个机制，通过这个机制，只要输入时钟出现故障，MCU 就被保持在复位状态。例如，只要电容器充满电，一个 R-C 电路可被用于触发 MCU 的 $\overline{XRS}$ 引脚。一个 I/O 引脚可被用于定期为电容器放电以防止其被完全充满。这样的电路也有助于检测闪存存储器和 V_{DD3VFL} 电源轨的故障。

Copyright © 2022 Texas Instruments Incorporated

8.6.2 看门狗块

2833x/2823x 器材上的看门狗块与 240x 和 281x 器件上所使用的类似。只要 8 位看门狗上数计数器达到了它的最大值，这个看门狗模块就生成一个输出脉冲，512 振荡器时钟宽度 (OSCCLK)。若要防止这种情况，用户可以禁用该计数器，或者必须通过软件定期将一个 0x55 + 0xAA 序列写入看门狗密钥寄存器，从而使看门狗计数器复位。图 8-34 显示了看门狗模块内的各种功能块。



A. $\overline{\text{WDRST}}$ 信号在 512 个 OSCCLK 周期内被驱动为低电平。

图 8-34. 看门狗模块

$\overline{\text{WDINT}}$ 信号支持使用看门狗从空闲/待机模式唤醒。

在待机模式中，器件上的所有外设关闭。继续工作的唯一外设是看门狗。WATCHDOG 模块将关闭 OSCCLK。$\overline{\text{WDINT}}$ 信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒（如已启用）。更多细节，请见节 8.7，低功耗模式块。

在空闲模式下，$\overline{\text{WDINT}}$ 信号可通过 PIE 对 CPU 生成一个中断，以便使 CPU 退出空闲模式。

在 HALT 模式中，不能使用此功能，这是因为振荡器（和 PLL）关闭，因此看门狗也关闭。

8.7 低功率模式块

2833x/2823x 器件上的低功耗模式与 240x 器件上的相似。表 8-39 总结了各种模式。

表 8-39. 低功率模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出[(1)]
空闲	00	打开	打开	打开[(2)]	$\overline{\text{XRS}}$、看门狗中断、启用的任何中断、XNMI
待机	01	打开 （看门狗仍然运行）	关闭	关闭	$\overline{\text{XRS}}$、看门狗中断、GPIO 端口 A 信号、调试器[(3)]、XNMI
HALT	1X	关闭 （振荡器和 PLL 关闭、看门狗不工作）	关闭	关闭	$\overline{\text{XRS}}$、GPIO 端口 A 信号、XNMI、调试器[(3)]

(1) “退出”列列出了哪些信号或在哪些情况下会退出低功耗模式。一个低电平信号，或者在任何此类信号的任何一个上，将退出低功耗状态。这个信号必须保持低电平足够长时间以便器件识别中断。否则，将不会退出空闲模式，并且器件将返回指示的低功耗模式。
(2) C28x 上的空闲模式的运行状态与 24x/240x 上的不同。在 C28x 上，来自 CPU 的时钟输出 (SYSCLKOUT) 仍将起作用，而在 24x/240x 器件上，此时钟将被关闭。
(3) 在 C28x 上，即使 CPU 时钟 (CLKIN) 被关闭，JTAG 端口仍然可以工作。

不同的低功耗模式运行状态如下：

空闲模式：通过任一被启用的中断或者一个被处理器识别的 XNMI 来退出此模式。LPM 块在这个模式期间，在 LPMCR0 (LPM) 位被设定为 0，0 时，LPM 块不执行任何任务。

待机模式：任一 GPIO 端口 A 信号 (GPIO[31:0]) 能够将器件从待机模式中唤醒。用户必须在 GPIOLPMSEL 寄存器中选择哪一个信号将唤醒器件。在唤醒器件前，所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。

停机模式：只有 $\overline{\text{XRS}}$ 和任一 GPIO 端口 A 信号 (GPIO[31:0]) 可将器件从 HALT 模式中唤醒。用户在 GPIOLPMSEL 寄存器中选择信号。

备注

低功耗模式并不会影响输出引脚的状态（包括 PWM 引脚在内）。当 IDLE 指令被执行时，它们将保持在代码指定的状态中。请参阅 *TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册* 了解更多详细信息。

Copyright © 2022 Texas Instruments Incorporated

9 应用、实现和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 TI 参考设计

TI 参考设计库是一个涵盖模拟、嵌入式处理器和连接等内容的强大参考设计资源库。所有参考设计均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。

在精选 TI 参考设计中搜索并下载其他 TI 参考设计。

适用于高性能 MCU 的 EtherCAT 接口参考设计
该参考设计演示了如何将 C2000 Delfino MCU 连接到 EtherCAT® ET1100 从控制器。该接口支持解复用地址/数据总线以实现最大带宽和最小延迟，并支持 SPI 模式以实现低引脚数 EtherCAT 通信。从控制器可减少基于 100Mbps 以太网的 Fieldbus 通信处理负载，因此可消除针对这些任务的 CPU 开销。

C2000 旋转变压器数字转换套件
这个主板样式旋转变压器数字转换套件用于利用各种 C2000 微控制器进行试验，以便使用片上 ADC 实现基于软件的旋转变压器数字转换。此分解器套件还允许连接到分解器和逆变器控制处理器。

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 入门和后续步骤

这一部分提供了当为一个 C28x 器件进行首次开发时所采取步骤的简要概括。有关这些步骤的详细情况，请参阅：

- 使用我们的 C2000™ 实时微控制器开始开发
- C2000 实时微控制器 – 电机控制
- C2000 实时微控制器 – 太阳能和数字电源

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

10.2 器件和开发支持工具命名规则

为了标示产品开发周期所处的阶段，TI 为所有 TMS320™ MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320™ 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS**320F28335）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX/TMDX) 直到完全合格的生产器件/工具 (TMS/TMDS)。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

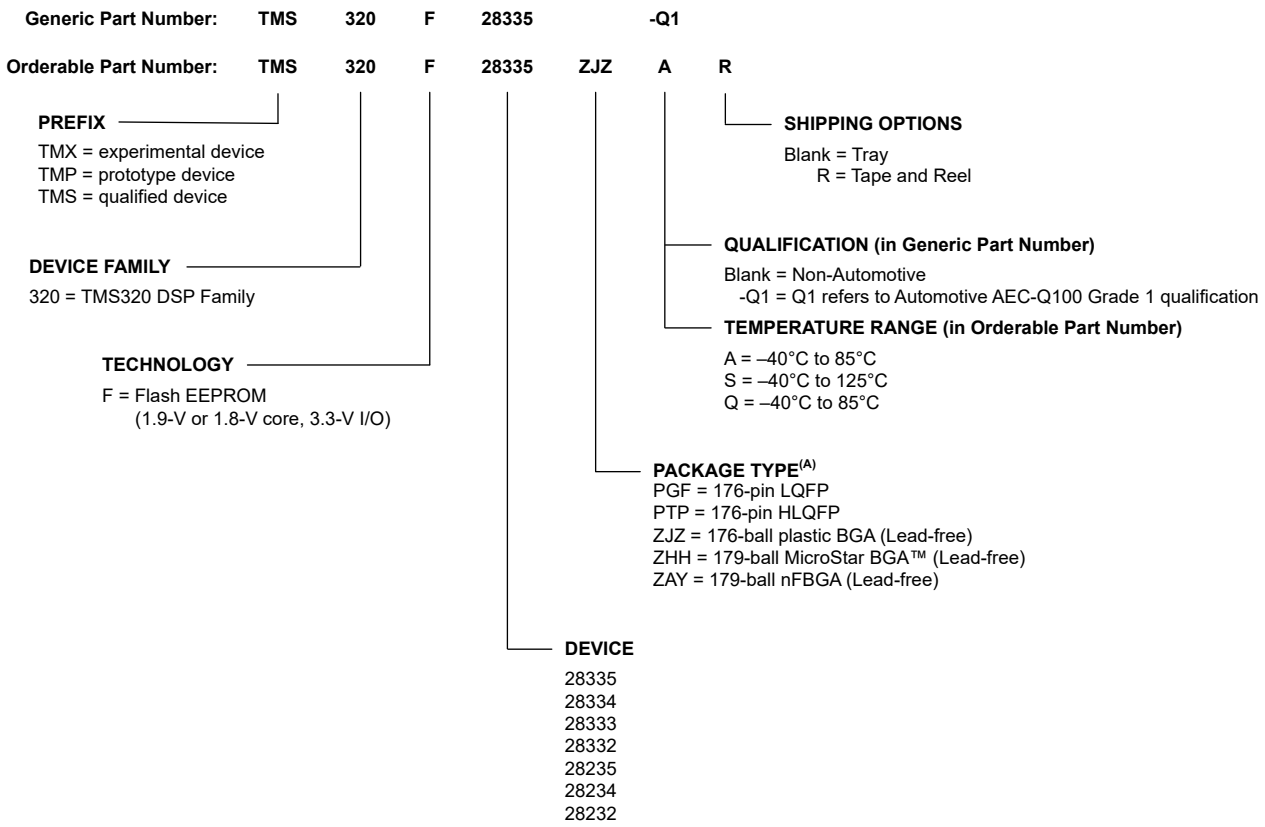
Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI 的器件命名规则还包含具有器件产品系列名称的后缀。该后缀用于表示封装类型（例如 ZJZ）和温度范围（例如 A）。图 10-1 提供了解读任一系列产品成员完整器件名称的图例。

有关器件型号和详细的订购信息，请参阅本文档末尾的“封装选项附录”、访问 TI 网站 (www.ti.com) 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 *TMS320F2833x、TMS320F2823x 实时 MCU 器件勘误表*。

Copyright © 2022 Texas Instruments Incorporated



A. LQFP = Low-Profile Quad Flatpack
HLQFP = Thermally Enhanced Low Profile Quad Flat Package
BGA = Ball Grid Array
nFBGA = New Fine Pitch Ball Grid Array

图 10-1. F2833x、F2823x 器件命名规则示例

10.3 工具与软件

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的部分工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问使用我们的 C2000™ 实时微控制器开始开发页面。

设计套件与评估模块

用于工业电机控制的 C2000 DesignDRIVE 开发套件

DesignDRIVE 是一个单一的硬件和软件平台，可用于轻松开发和评估许多工业驱动、电机控制和伺服拓扑所需的解决方案。DesignDRIVE 为多种电机类型、传感技术、编码器标准和通信网络提供支持，并且可轻松扩展以便进行基于工业通信和功能性安全拓扑的开发，从而实现更全面的集成驱动系统解决方案。DesignDRIVE 基于 TI C2000 微控制器 (MCU) 的实时控制架构，非常适合开发机器人、电脑数控机械 (CNC)、升降机、材料输送和其他工业制造应用中的工业逆变器和伺服驱动器。

C2000 Delfino MCU F28379D LaunchPad™ 开发套件

LAUNCHXL-F28379D 是一款适用于 TI MCU LaunchPad™ 开发套件生态系统中 TMS320F2837xD、TMS320F2837xS 和 TMS320F2807x 产品的低成本评估和开发工具，该工具与各种插件 BoosterPack 兼容（下面特性部分中推荐的 BoosterPack™ 插件模块下提供了建议）。该 LaunchPad 开发套件的扩展版本支持连接两个 BoosterPack。LaunchPad 开发套件提供标准化且易于使用的平台，供您在开发下一个应用时使用。

TMS320F28335 实验板套件

C2000™ MCU 实验板套件提供了一个使用 C2000 微控制器进行实时、闭环控制开发的强大硬件原型设计平台。此平台作为一种出色的工具，可为包含电机控制、数字电源、光伏逆变器、数字 LED 照明以及精密传感等众多常见的电力电子应用定制和验证解决方案。

软件

用于实现工业驱动和电机控制的 C2000 DesignDRIVE 软件

DesignDRIVE 平台将软件解决方案与 DesignDRIVE 开发套件相结合，可用于轻松开发和评估许多工业驱动和伺服拓扑所需的解决方案。DesignDRIVE 支持各种电机类型、传感技术、位置传感器和通信网络，包括具体的电机矢量控制示例，融合了电流、速度和位置环路，有助于开发者推动评估和开发进程。DesignDRIVE 基于 TI C2000 ™ 微控制器 (MCU) 的实时控制架构，非常适合开发机器人、电脑数控机械 (CNC)、升降机、材料输送和其他工业制造应用中的工业逆变器和伺服驱动器。

C2000 SafeTI™ 60730 软件包

C2000 MCU SafeTI-60730 软件包中包括经 UL 认证为认可组件的 SafeTI™ 软件包，有助于使用 TI C2000™ 实时控制微控制器 (MCU) 更快、更容易地针对多功能安全消费类应用进行设计。这些 SafeTI 软件包中的软件经 UL 认证为公认组件，符合 UL 1998:2008 1 类标准且满足 IEC 60730-1:2010 B 类要求，二者都包括家用电器、电弧检测器、电源转换器、电动工具、电动自行车和许多其他应用。SafeTI 软件包可用于选择 TI C2000 MCU 并可以嵌入到使用这些 MCU 的应用中，以帮助客户简化多功能安全兼容消费类器件的认证。由于两个标准具有相似性，因此，IEC 60730 软件库也可帮助客户开发与 IEC 60335-1:2010 标准兼容的消费类应用。

Copyright © 2022 Texas Instruments Incorporated

适用于 C2000™ MCU 的 powerSUITE 数字电源软件频率响应分析仪工具

该软件频率响应分析仪 (SFRA) 是适用于 C2000™ 微控制器的 powerSUITE 数字电源设计软件工具中包含的几个工具之一。SFRA 包含一个软件库，可使开发人员快速测量他们的数字电源转换器的频率响应。SFRA 库中包含可使用 C2000 MCU 的片上模数转换器 (ADC) 将某个频率注入控制回路并测量系统的响应情况的软件函数。该过程提供了闭环系统的受控体频率响应特性和开环增益频率响应。然后，用户可在基于 PC 的 GUI 上查看受控体频率响应和开环增益频率响应。所有的频率响应数据都被导出到 CSV 文件中或者 Excel 电子表格中，然后这些数据可在补偿设计器中用于设计补偿回路。

用于 C2000 MCU 的 C2000Ware

用于 C2000™ 微控制器的 C2000Ware 是一系列紧密结合的开发软件和文档，旨在最大限度地缩短软件开发时间。从特定于器件的驱动程序和库到器件外设示例，C2000Ware 能够为您提供坚实的基础，以便您开始开发和评估相关产品。

开发工具

C2000 Gang 编程器

C2000 Gang 编程器是一款 C2000 器件编程器，可同时对多达 8 个相同的 C2000 器件进行编程。C2000 Gang 编程器可使用标准的 RS-232 或 USB 连接与主机 PC 相连，并提供灵活的编程选项，允许用户完全自定义流程。

适用于 C2000 微控制器的 Code Composer Studio™ (CCS) 集成开发环境 (IDE)

Code Composer Studio 是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。Code Composer Studio（代码调试器）包含一整套用于开发和调试嵌入式应用的工具。它包含优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、分析器以及多种其他功能。直观的 IDE 提供了单一用户界面，带领用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以前更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

Uniflash 独立闪存工具

CCS Uniflash 是一个独立的工具，用于在 TI MCU 上对片上闪存进行编程。

C2000 第三方搜索工具 TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“设计与开发”页面的“设计工具与仿真”部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。

10.4 文档支持

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误

TMS320F2833x、TMS320F2823x 实时 MCU 器件勘误表提供了针对不同器件版本的公告和使用说明。

技术参考手册

TMS320x2833x、TMS320x2823x 实时微控制器技术参考手册 详述了 TMS320x2833x 和 TMS320x2823x 器件中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。它还描述了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时控制 MCU 外设参考指南介绍了 28x 数字信号处理器 (DSP) 的外设参考指南。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了适用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

TMS320C28x DSP/BIOS 5.x 应用程序编程接口 (API) 参考指南介绍了如何使用 DSP/BIOS 进行开发。

应用报告

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

TMS320x281x 至 TMS320x2833x 或 2823x 的迁移概述介绍了如何从 281x 器件设计迁移至 2833x 或 2823x 设计。

TMS320x280x 至 TMS320x2833x 或 2823x 的迁移概述介绍了如何从 280x 器件设计迁移至 2833x 或 2823x 设计。

TMS320C28x FPU 入门概括介绍了 2000™ Delfino 微控制器器件中的浮点单元 (FPU)。

在 TMS320F28xxx DSP 上运行一个来自内部闪存的应用介绍了正确配置软件以执行来自片上闪存的应用程序所需达到的要求。提供了对 DSP/BIOS 和非 DSP/BIOS 项目的要求。包括示例代码项目。

使用 C/C++ 对 TMS320x28xx 和 TMS320x28xxx 外设进行编程介绍了一种硬件抽象层实现方案，这可以使在 28x DSP 上进行 C/C++ 编码变得更简单。文中将此方法与传统的 #define 宏进行了比较，还提到了代码效率和特例寄存器方面的问题。

在 TMS320F280x 微控制器上将 PWM 输出用作数模转换器介绍了一种将 TMS320F280x 系列微控制器上的片上脉宽调制 (PWM) 信号生成器用作数模转换器 (DAC) 的方法。

使用 TUSB3410 USB 转 UART 桥接芯片实现 TMS320F280x 微控制器 USB 连接介绍了如何使用简单的通信回传程序实现开发系统的硬件连接以及软件准备与运行。

Copyright © 2022 Texas Instruments Incorporated

将 TMS320x280x/28xxx 中的增强型正交编码器脉冲 (eQEP) 模块用作专用捕捉单元介绍了如何将 eQEP 模块用作专用捕捉单元且该操作适用于 TMS320x280x/28xxx 系列处理器。

使用 ePWM 模块实现 0% - 100% 占空比控制介绍了如何使用 ePWM 模块提供 0% 至 100% 占空比控制且该操作适用于 TMS320x280x 系列处理器。

TMS320x280x 和 TMS320F2801x ADC 校准介绍了一种提高 TMS320x280x 和 TMS320F2801x 器件上 12 位 ADC 的绝对精度的方法。固有增益和偏移误差会影响 ADC 的绝对精度。这份报告中描述的方法能够改进 ADC 的绝对精度到好于 0.5% 的水平。这份应用报告有一个选项来下载一个示例程序，此程序从 F2808 EzDSP 上的 RAM 执行。

在 TMS320C28x DSP 上进行在线栈溢出检测介绍了在 TMS320C28x DSP 上进行在线栈溢出检测的方法。提供了包含一些函数的 C 源代码，用于在 DSP/BIOS 和非 DSP/BIOS 应用中执行溢出检测。

PowerPAD™ 热增强型封装重点讨论了将 PowerPAD™ 封装集成到 PCB 设计中的具体细节。

半导体包装方法介绍了向终端用户发货时对半导体器件所用的包装方法。

计算嵌入式处理器的有效使用寿命提供了一种如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命的方法。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

半导体和 IC 封装热指标介绍了新旧热指标及其在系统级结温估算方面的应用。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

nFBGA 封装提供了 nFBGA 封装的技术背景信息，并说明了如何使用它们实现先进的电路板布局。

10.5 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.6 商标

Code Composer Studio™, DSP/BIOS™, MicroStar BGA™, C2000™, PowerPAD™, TI E2E™, and MicroStar Junior™ are trademarks of Texas Instruments.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
所有商标均为其各自所有者的财产。

10.7 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

10.8 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

11.1 封装重新设计详情

说明

采用 MicroStar BGA™ 封装的器件采用层压 nFBGA 封装进行了重新设计。这种 nFBGA 封装提供了类似于数据表中的电气性能。该封装占用空间也类似于 MicroStar BGA。 更多详细信息，请参阅 *nFBGA 封装应用报告*。

通篇使用新的封装标识符来代替已停止使用的封装标识符（请参阅表 11-1）。

本数据表末尾的“封装选项附录”将会显示新的封装标识符。

如需了解更新后的 nFBGA 封装图，请参阅本数据表末尾。

表 11-1. 封装标识符

旧封装标识符	新封装标识符
ZHH	**ZAY**

废止原因

由于收到基板供应商的设备停产通知，我们将逐步停止提供一些 MicroStar BGA 和 MicroStar Junior™ BGA 封装器件并告知最后可采购期限。

这些器件现已转为采用 nFBGA 封装。

受影响的器件

表 11-2 介绍了受影响的器件、旧封装标识符和新封装标识符。

表 11-2. 器件和命名规则

器件	已停产的 MicroStar BGA 器件	重新设计的层压 nFBGA 器件
TMS320F2823x	TMS320F28232**ZHH**A TMS320F28234**ZHH**A	TMS320F28232**ZAY**A TMS320F28234**ZAY**A
TMS320F2833x	TMS320F28334**ZHH**A TMS320F28335**ZHH**A	TMS320F28334**ZAY**A TMS320F28335**ZAY**A

11.2 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

若要了解关于 TI 封装的更多信息，请访问封装网站。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28232PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28232PGFA TMS320	Samples
TMS320F28232PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28232PTPQ	Samples
TMS320F28232PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28232PTPS	Samples
TMS320F28232ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28232ZAYA	Samples
TMS320F28234PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28234PGFA TMS320	Samples
TMS320F28234PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28234PTPQ	Samples
TMS320F28234PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28234PTPS	Samples
TMS320F28234ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28234ZAYA	Samples
TMS320F28234ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28234ZJZA TMS	Samples
TMS320F28234ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28234ZJZQ TMS	Samples
TMS320F28234ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28234ZJZS TMS	Samples
TMS320F28235PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28235PGFA TMS320	Samples
TMS320F28235PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28235PTPQ	Samples
TMS320F28235PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28235PTPS	Samples
TMS320F28235ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28235ZJZA TMS	Samples
TMS320F28235ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZQ TMS	Samples
TMS320F28235ZJZQR	ACTIVE	BGA	ZJZ	176	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZQ	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										TMS	
TMS320F28235ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28235ZJZS TMS	Samples
TMS320F28332PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28332PGFA TMS320	Samples
TMS320F28332PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28332PTPS	Samples
TMS320F28333PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28333PGFA TMS320	Samples
TMS320F28334PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28334PGFA TMS320	Samples
TMS320F28334PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR		TMS320 F28334PTPS	Samples
TMS320F28334ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28334ZAYA	Samples
TMS320F28334ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28334ZJZA TMS	Samples
TMS320F28334ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28334ZJZS TMS	Samples
TMS320F28335PGFA	ACTIVE	LQFP	PGF	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	F28335PGFA TMS320	Samples
TMS320F28335PTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28335PTPQ	Samples
TMS320F28335PTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-40 to 125	TMS320 F28335PTPS	Samples
TMS320F28335ZAYA	ACTIVE	NFBGA	ZAY	179	160	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28335ZAYA	Samples
TMS320F28335ZAYAR	ACTIVE	NFBGA	ZAY	179	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	TMS320 F28335ZAYA	Samples
TMS320F28335ZJZA	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 85	320F28335ZJZA TMS	Samples
TMS320F28335ZJZQ	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZQ TMS	Samples
TMS320F28335ZJZQR	ACTIVE	BGA	ZJZ	176	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZQ TMS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28335ZJZS	ACTIVE	BGA	ZJZ	176	126	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	320F28335ZJZS TMS	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28232, TMS320F28232-Q1, TMS320F28234, TMS320F28234-Q1, TMS320F28235, TMS320F28235-Q1, TMS320F28335, TMS320F28335-Q1 :

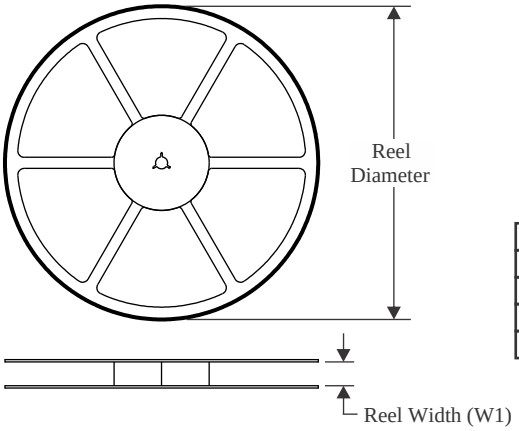
- Catalog : TMS320F28232, TMS320F28234, TMS320F28235, TMS320F28335
- Automotive : TMS320F28232-Q1, TMS320F28234-Q1, TMS320F28235-Q1, TMS320F28335-Q1

NOTE: Qualified Version Definitions:

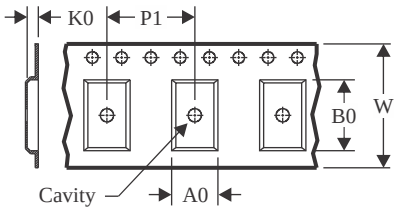
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

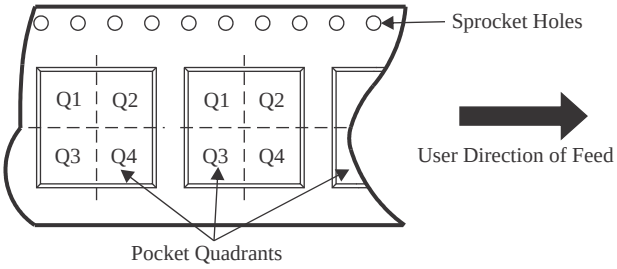


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

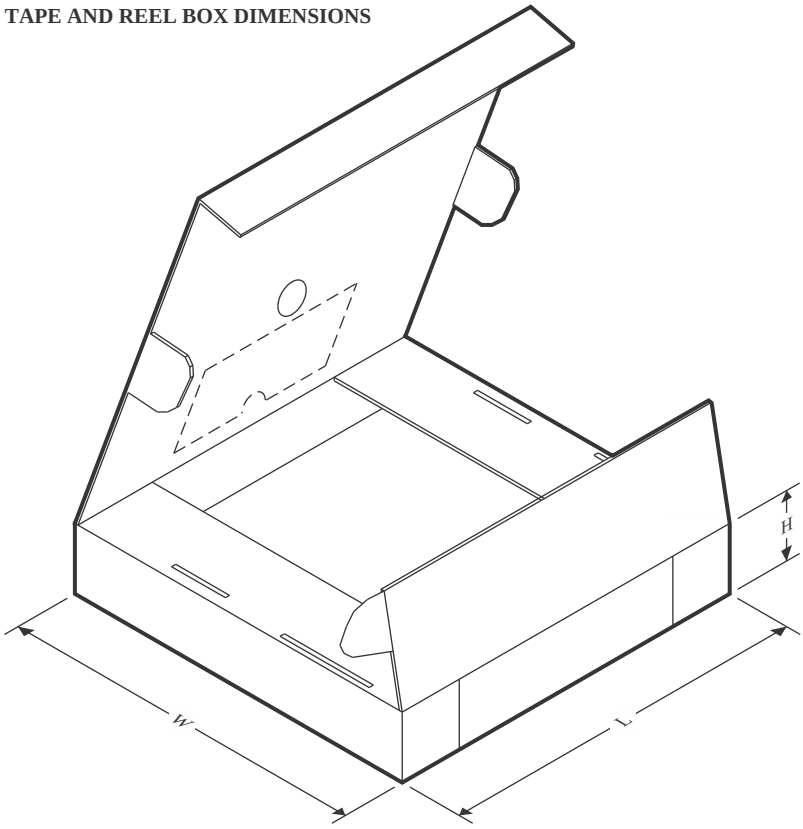
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMS320F28335ZAYAR	NFBGA	ZAY	179	1000	330.0	24.4	12.35	12.35	2.3	16.0	24.0	Q1
TMS320F28335ZJZQR	BGA	ZJZ	176	1000	330.0	24.4	15.25	15.25	2.6	20.0	24.0	Q1

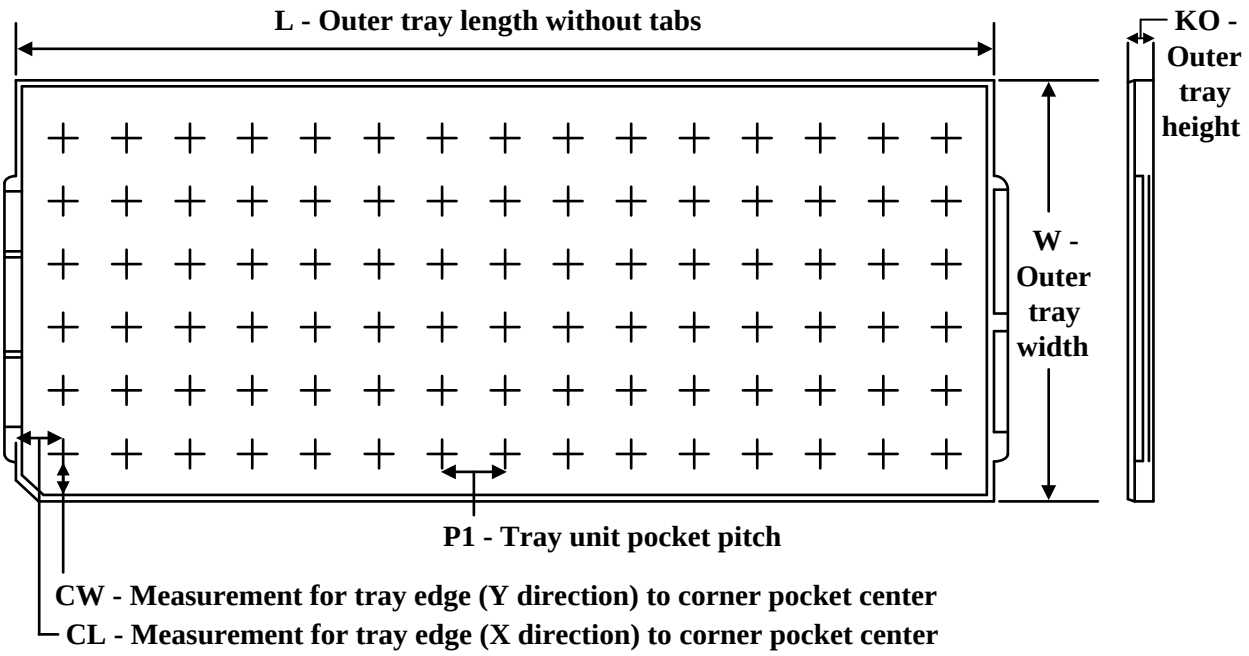
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMS320F28335ZAYAR	NFBGA	ZAY	179	1000	336.6	336.6	41.3
TMS320F28335ZJZQR	BGA	ZJZ	176	1000	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

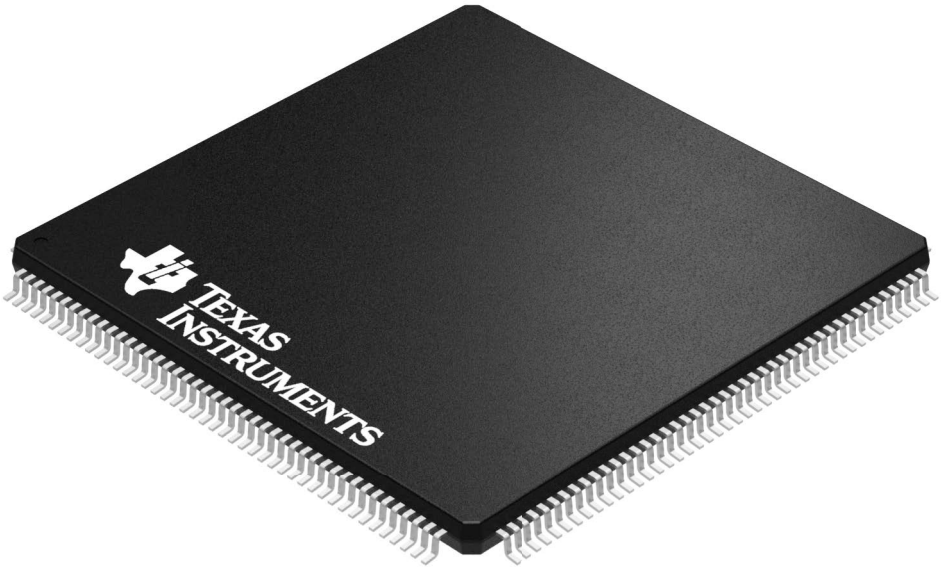
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28232PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28232ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28234PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28234ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28234ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28234ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28234ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28235ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28235ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28332PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28332PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28333PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28334ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28334ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28334ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335PGFA	PGF	LQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335PTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335PTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
TMS320F28335ZAYA	ZAY	NFBGA	179	160	8 x 20	150	315	135.9	7620	15.4	11.2	19.65
TMS320F28335ZJZA	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335ZJZQ	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
TMS320F28335ZJZS	ZJZ	BGA	176	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

PGF 176

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

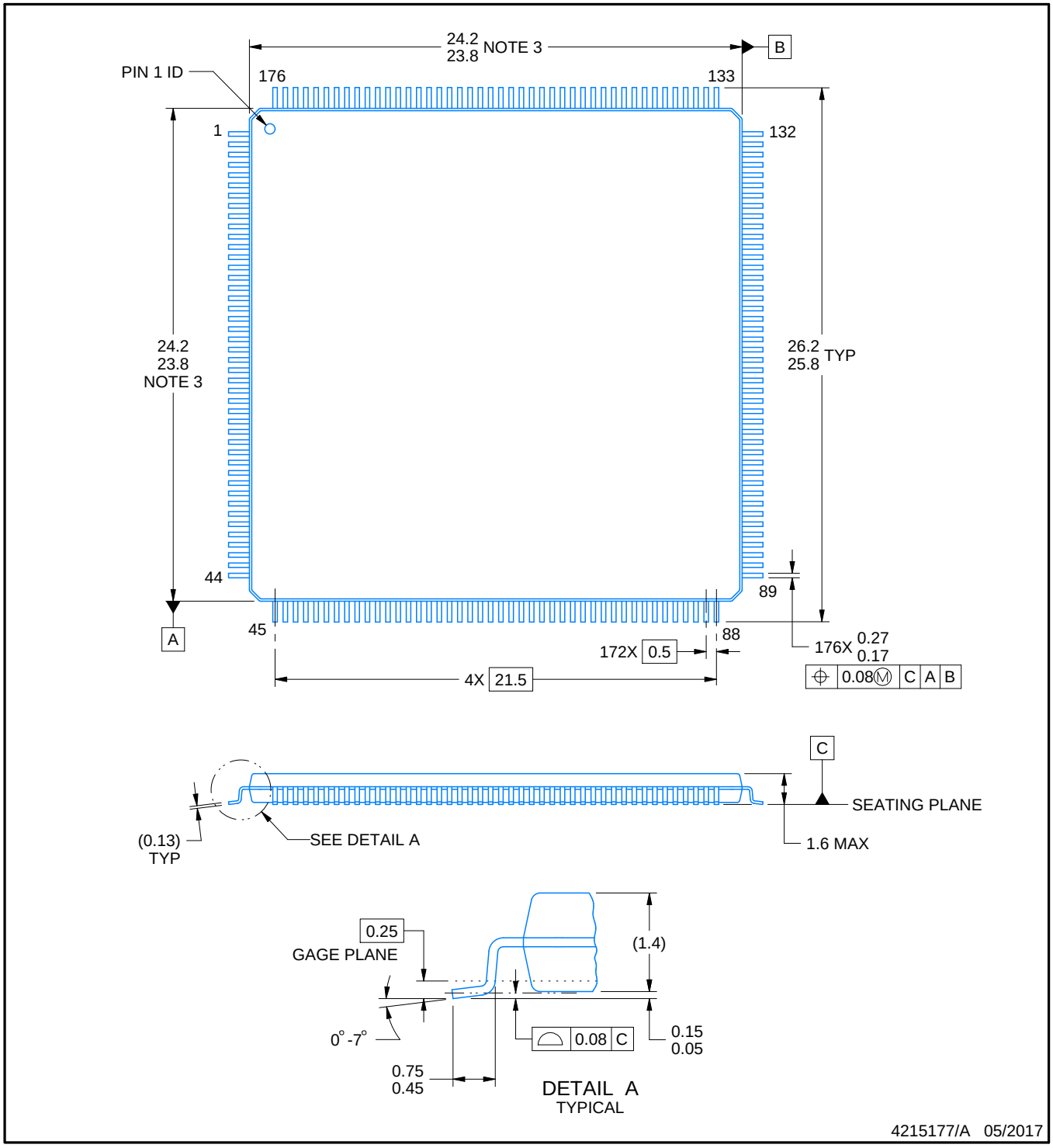
4040134/C

PACKAGE OUTLINE

PGF0176A

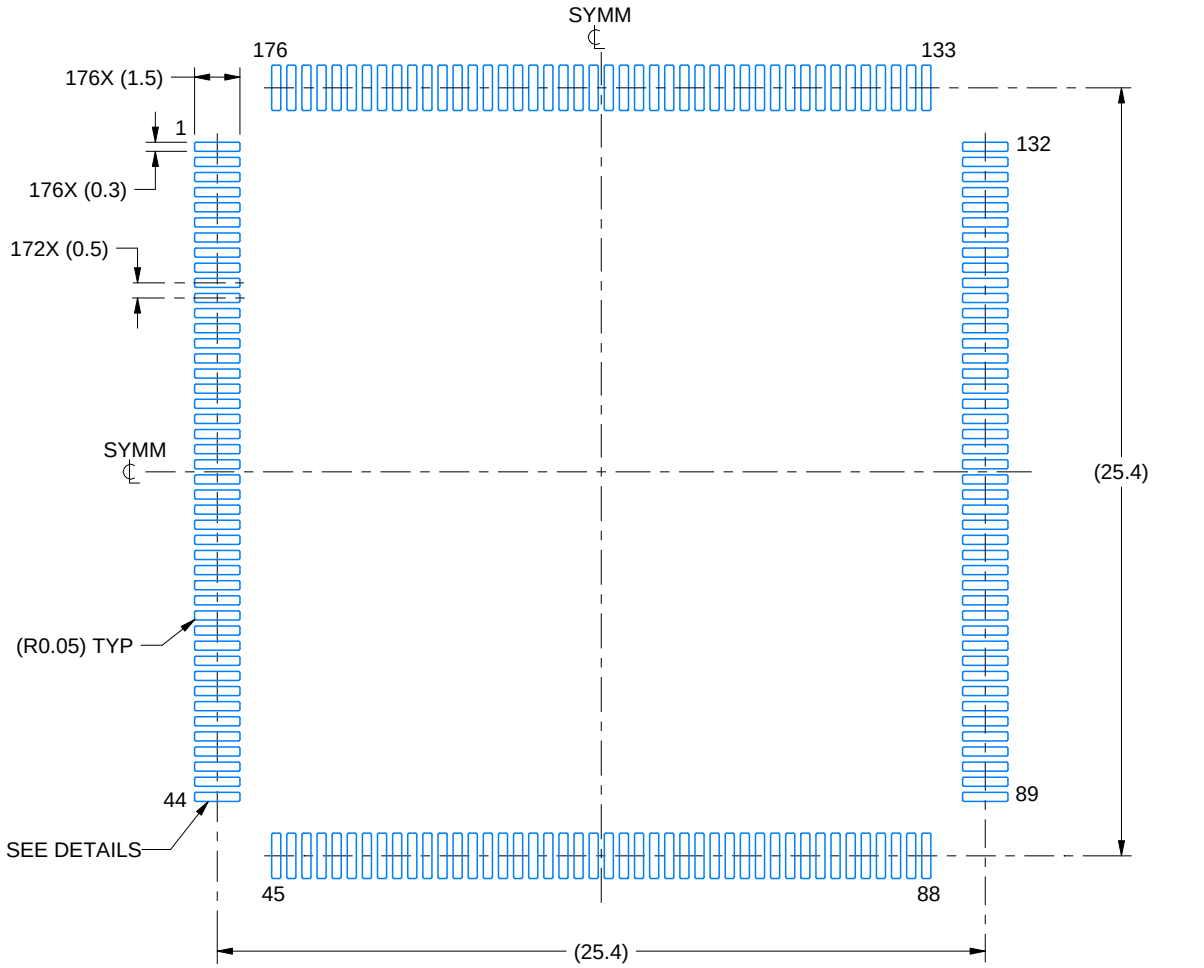
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

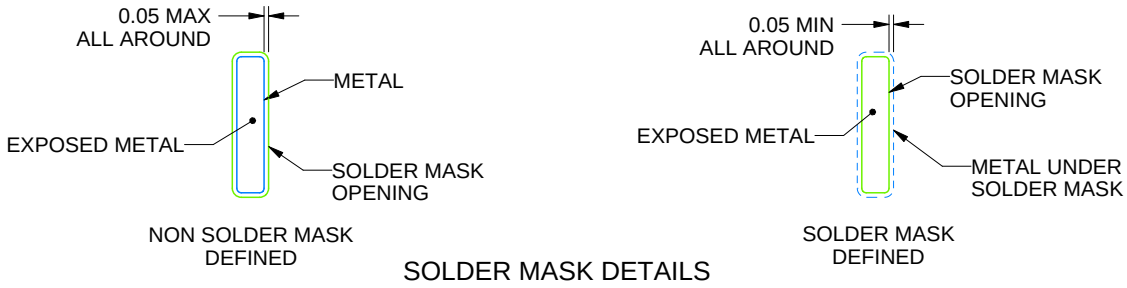


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X

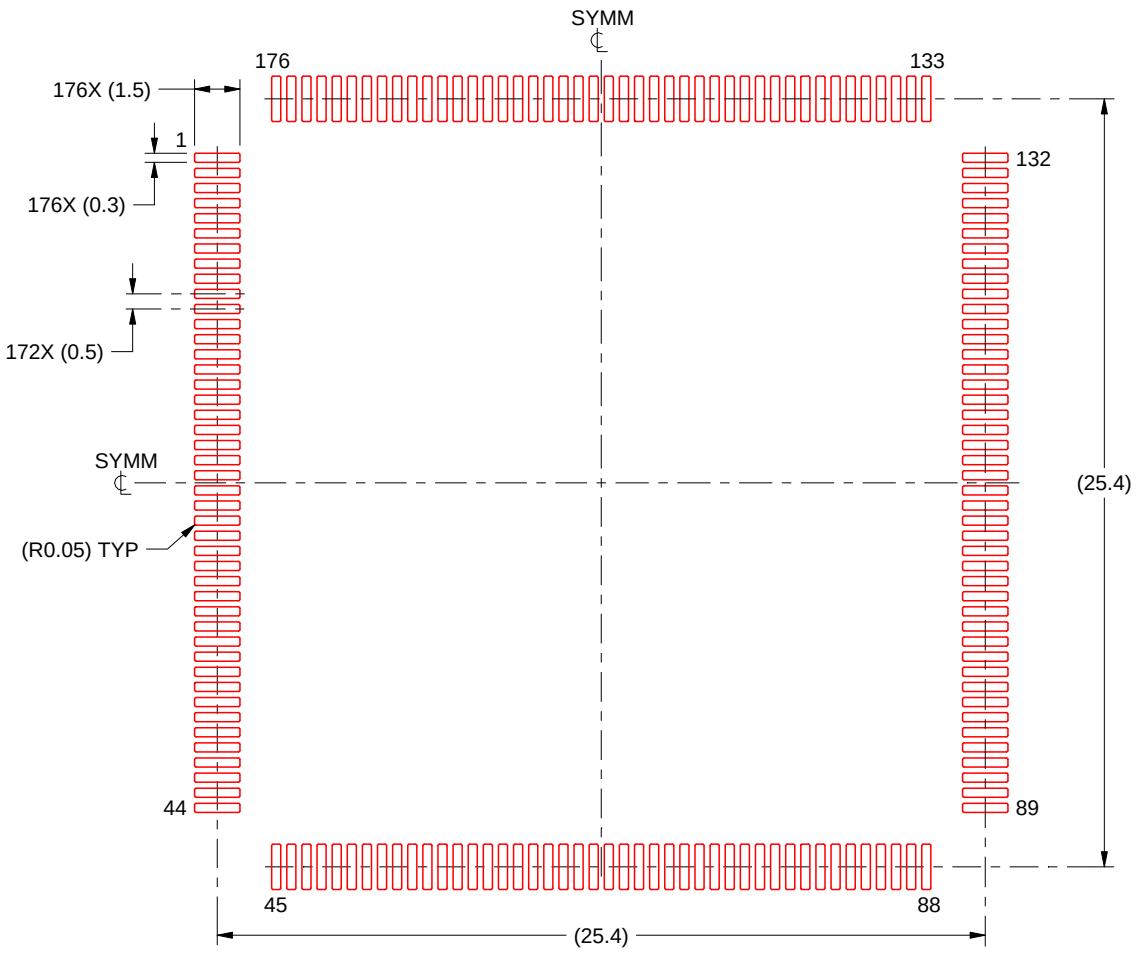


SOLDER MASK DETAILS

4215177/A 05/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

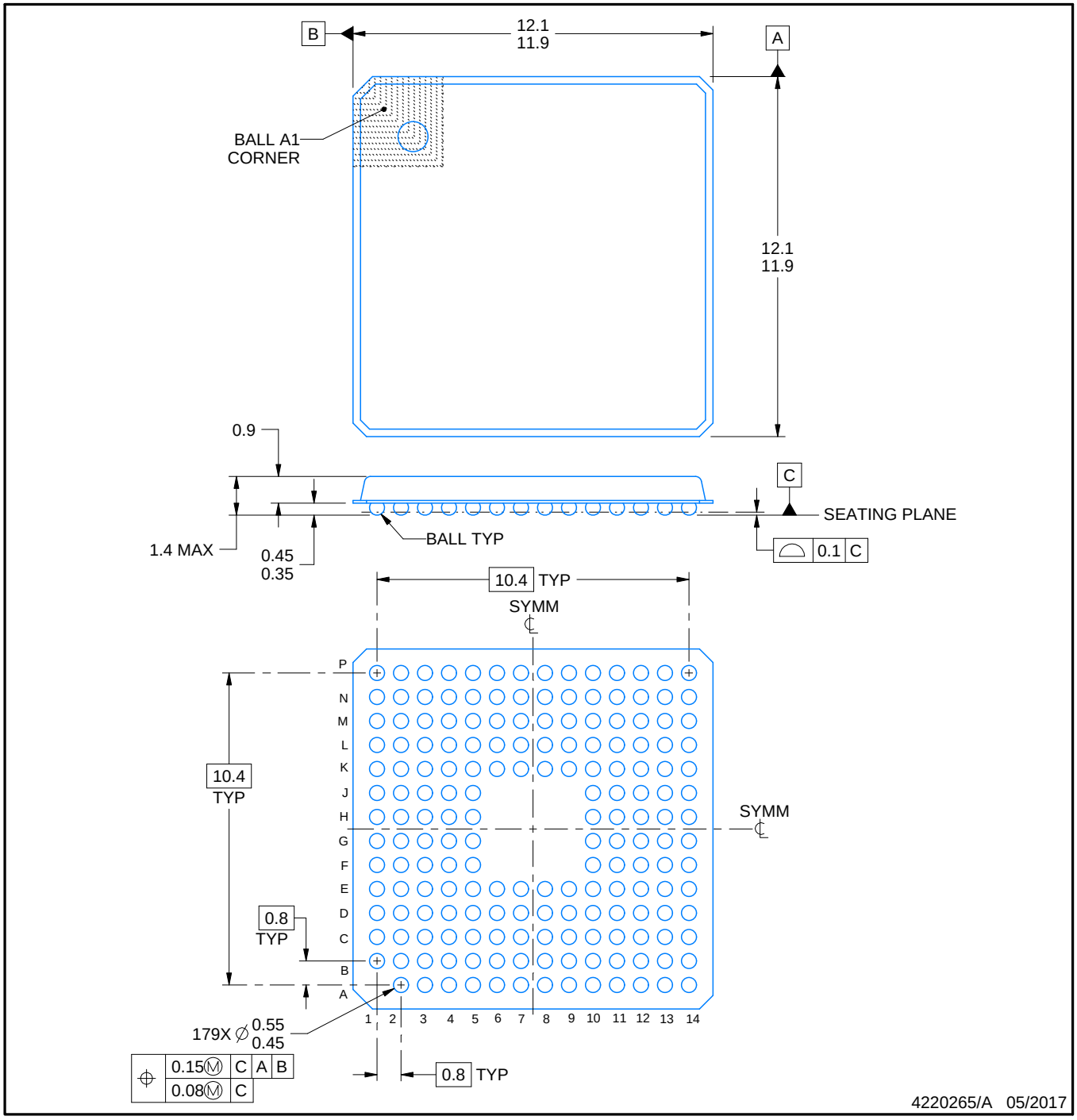


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4215177/A 05/2017

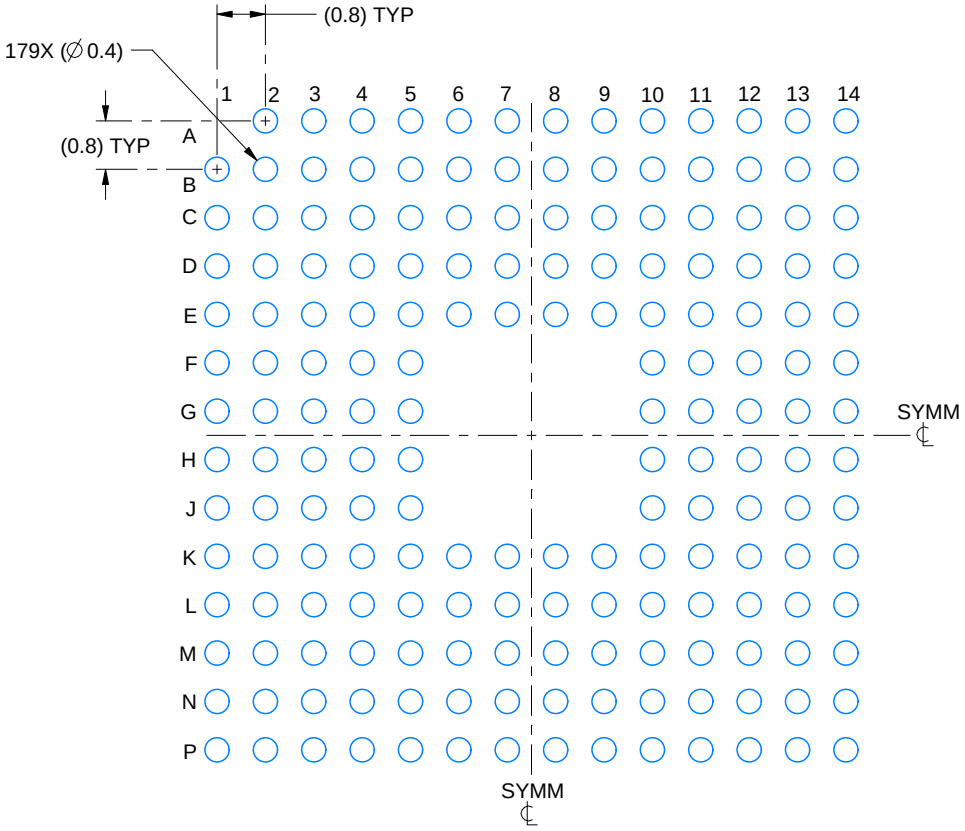
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

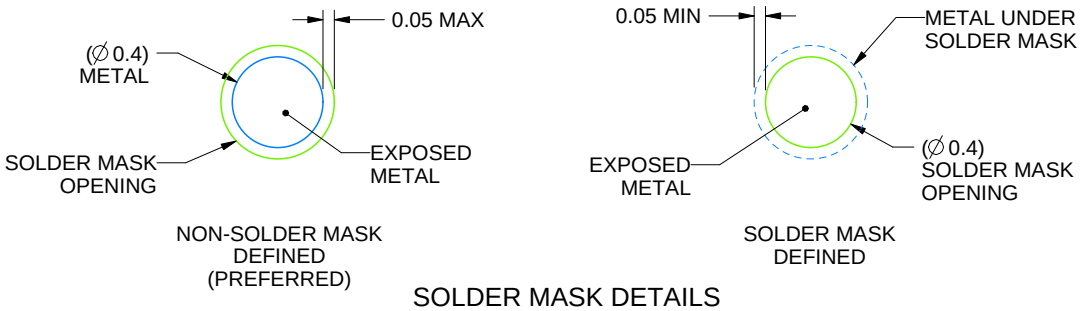


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This is a Pb-free solder ball design.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

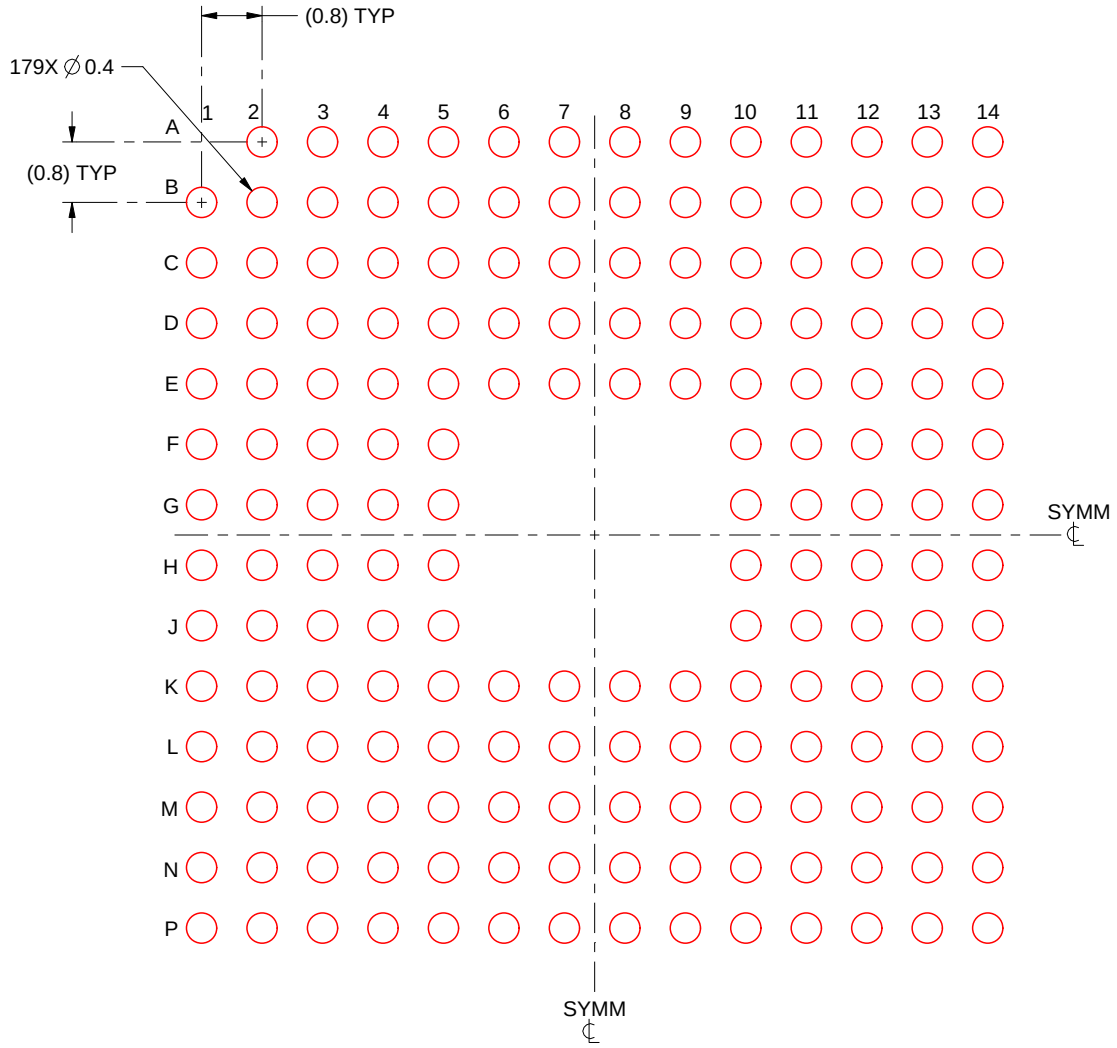


SOLDER MASK DETAILS
NOT TO SCALE

4220265/A 05/2017

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SSZA002 (www.ti.com/lit/ssza002).



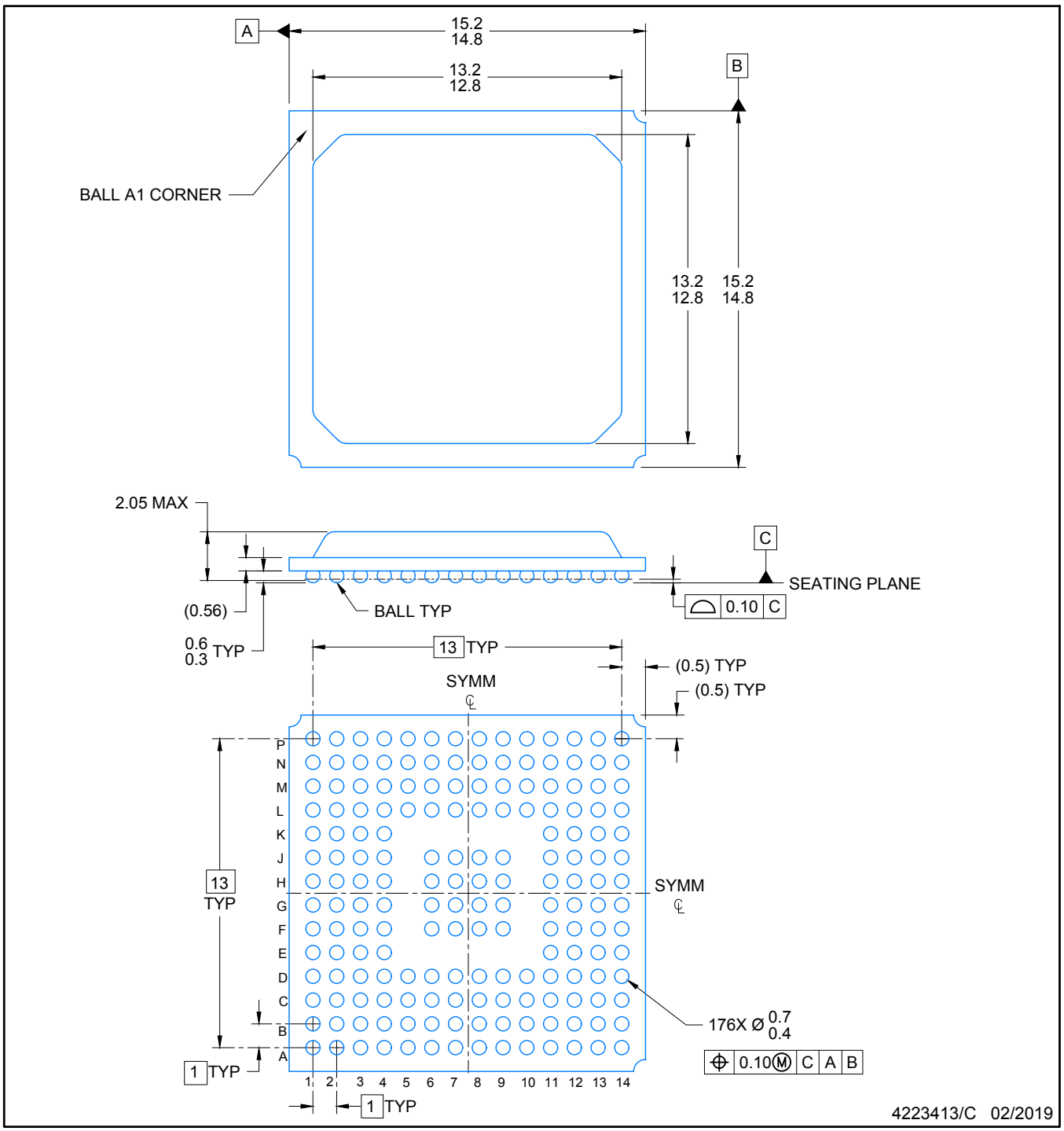
SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 10X

4220265/A 05/2017

NOTES: (continued)

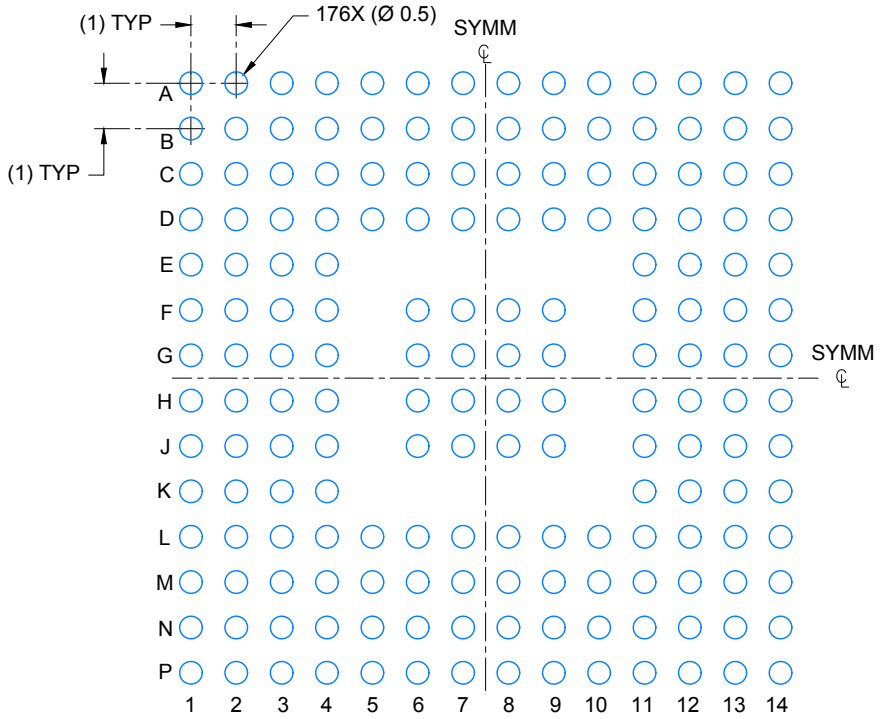
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PLASTIC BALL GRID ARRAY

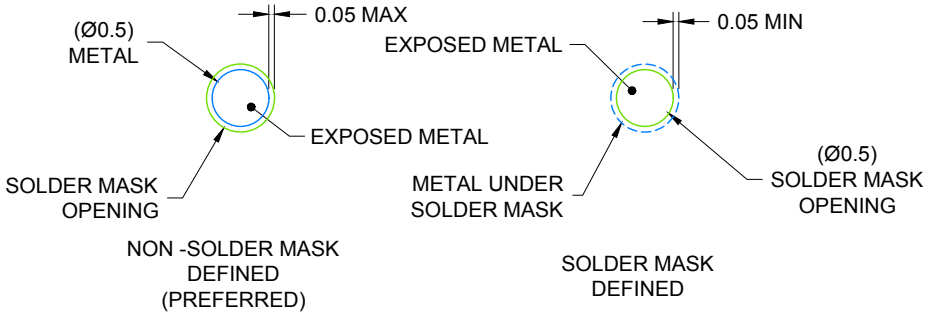


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This is a lead-free solder ball design.



LAND PATTERN EXAMPLE
SCALE: 6X

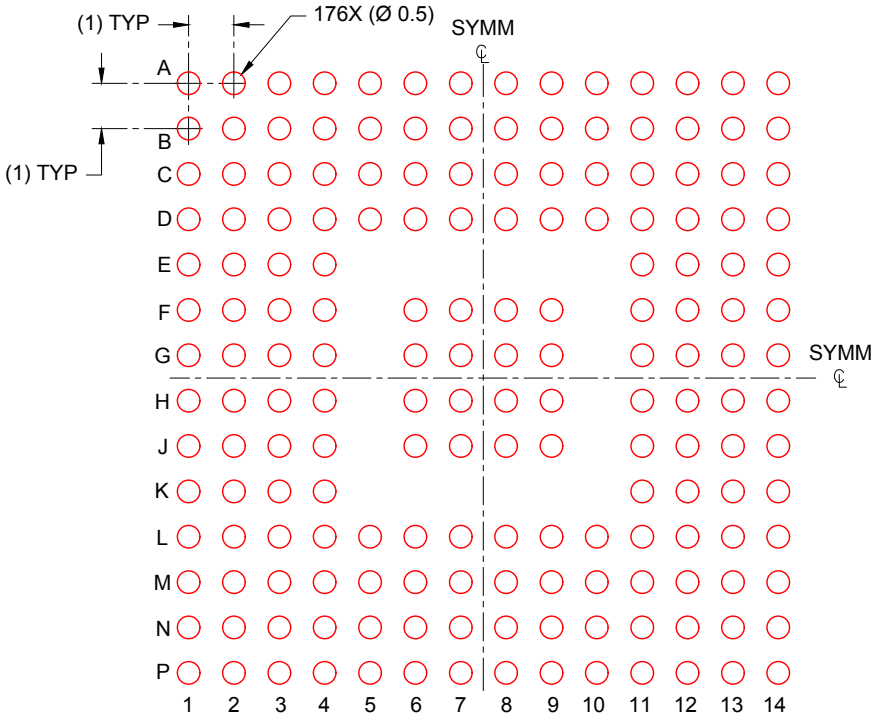


SOLDER MASK DETAILS
NOT TO SCALE

4223413/C 02/2019

NOTES: (continued)

4. Final dimension may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SSZA002 (www.ti.com/lit/ssza002).

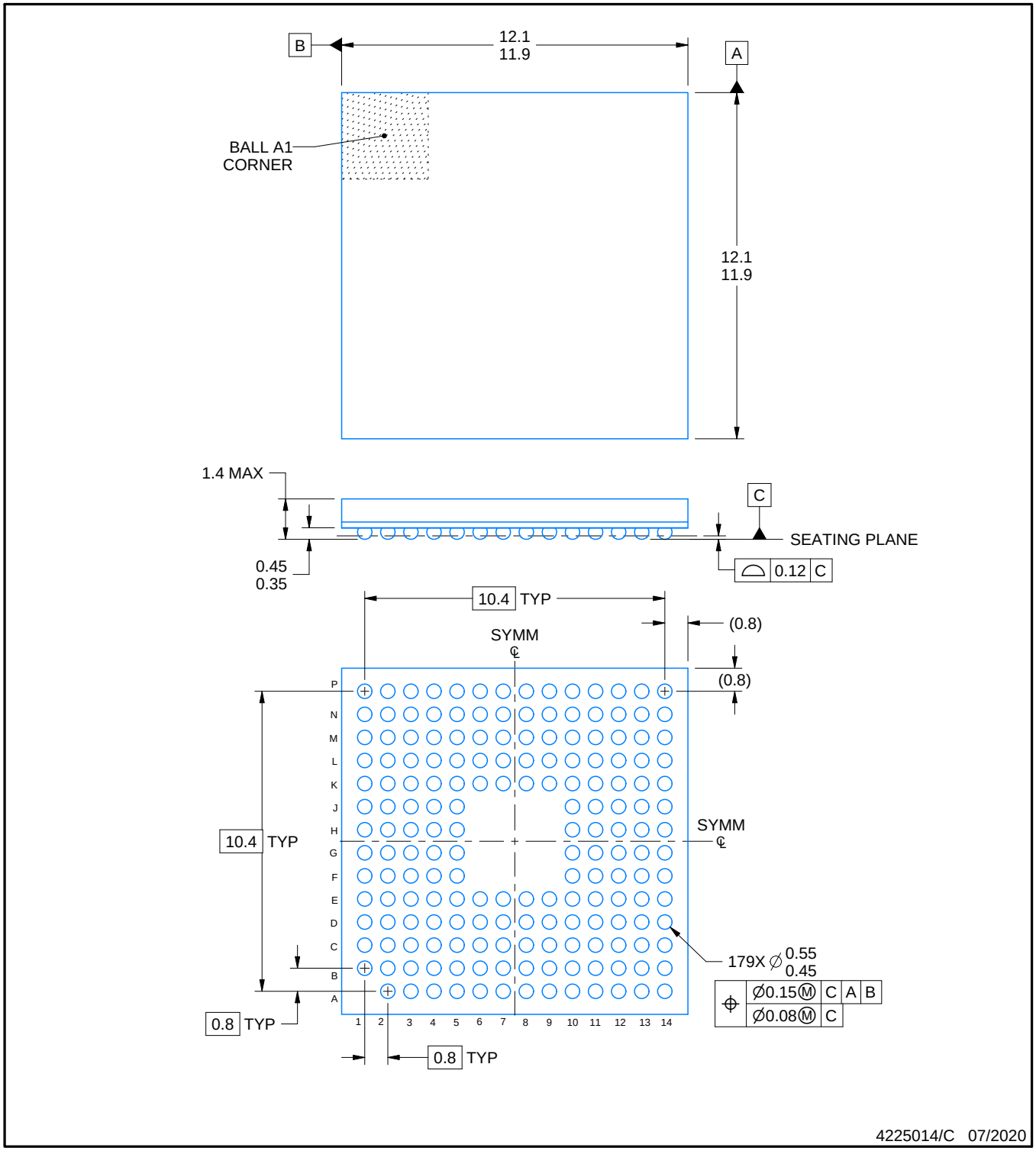


SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4223413/C 02/2019

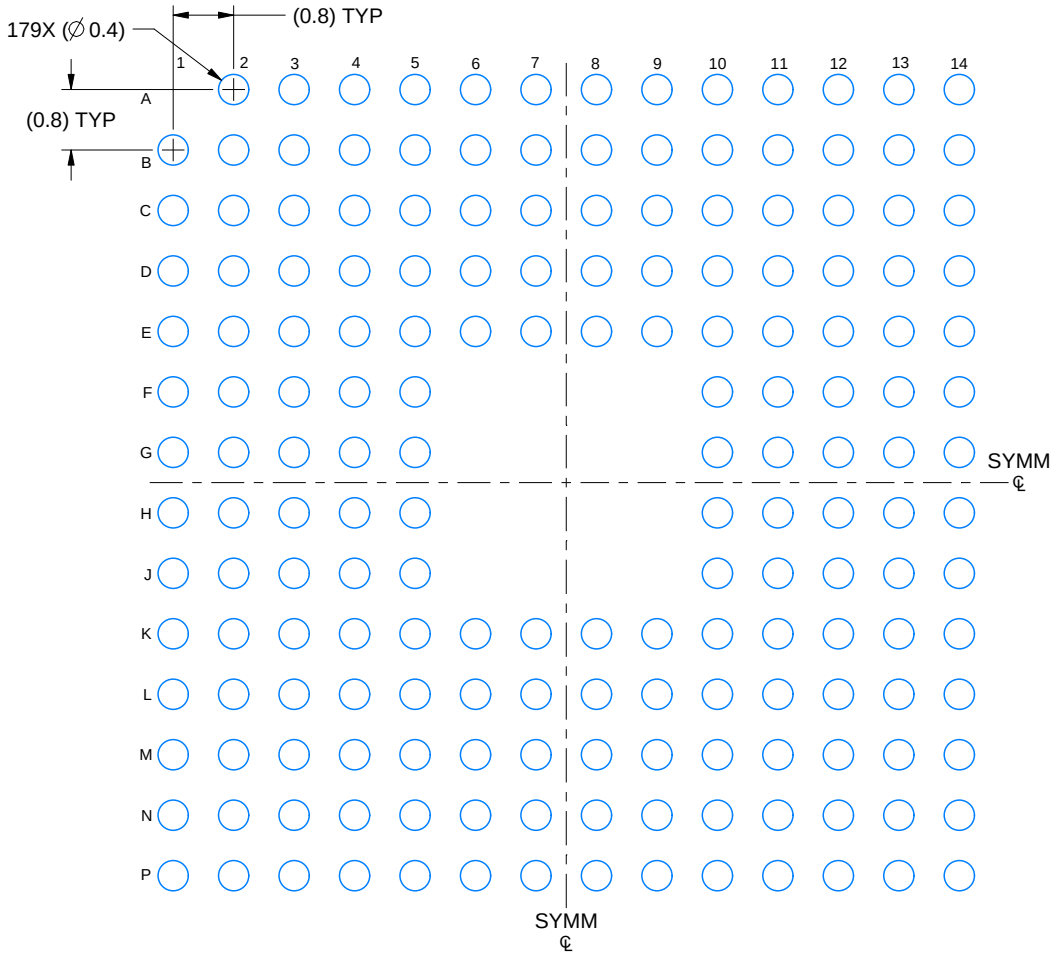
NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

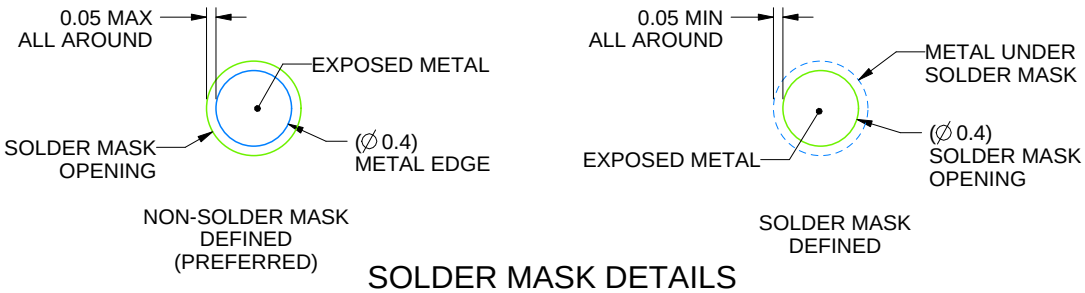


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

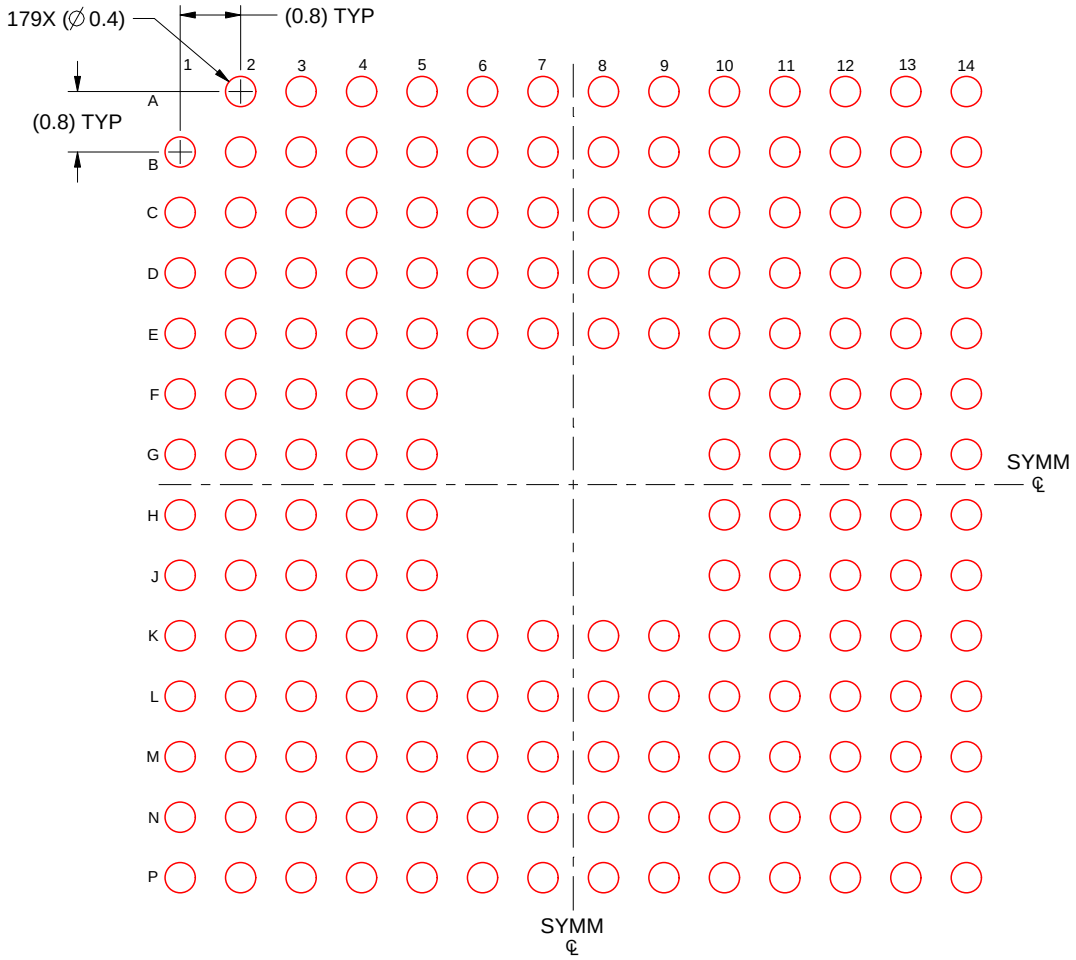


SOLDER MASK DETAILS
NOT TO SCALE

4225014/C 07/2020

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 10X

4225014/C 07/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

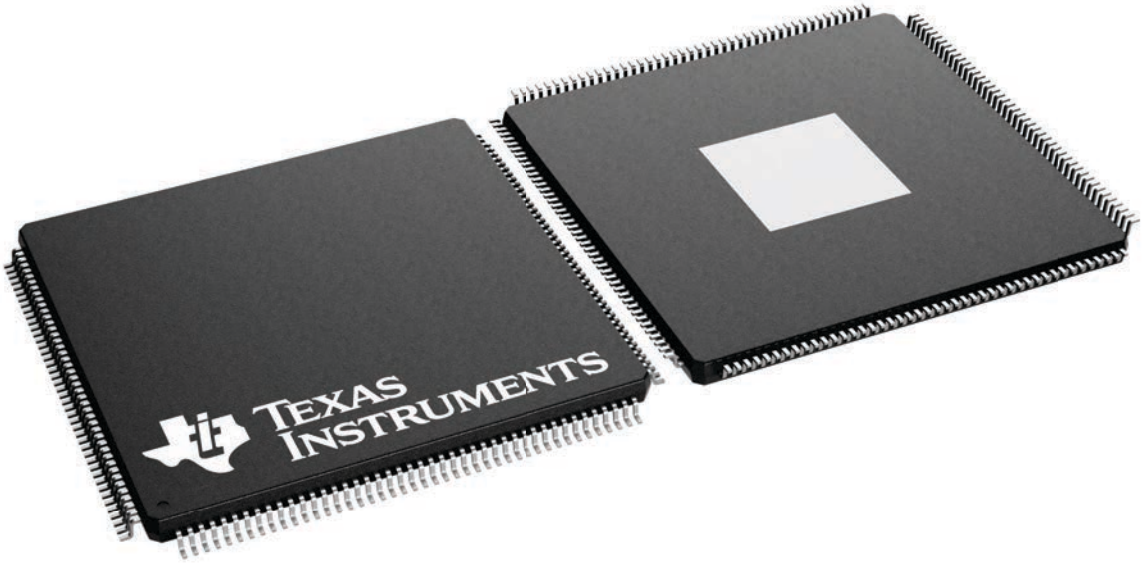
PTP 176

HLQFP - 1.6 mm max height

24 x 24, 0.5 mm pitch

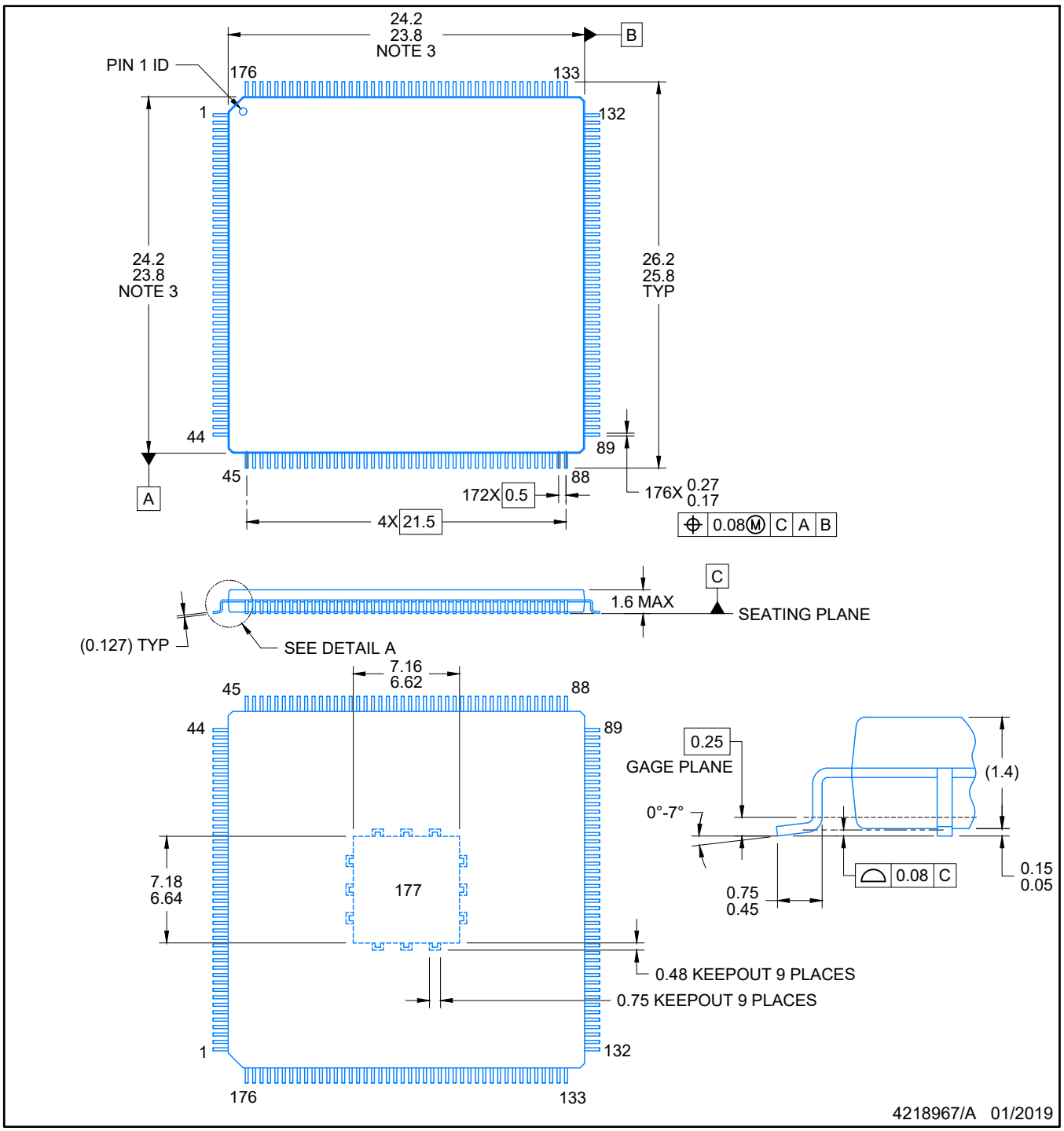
PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



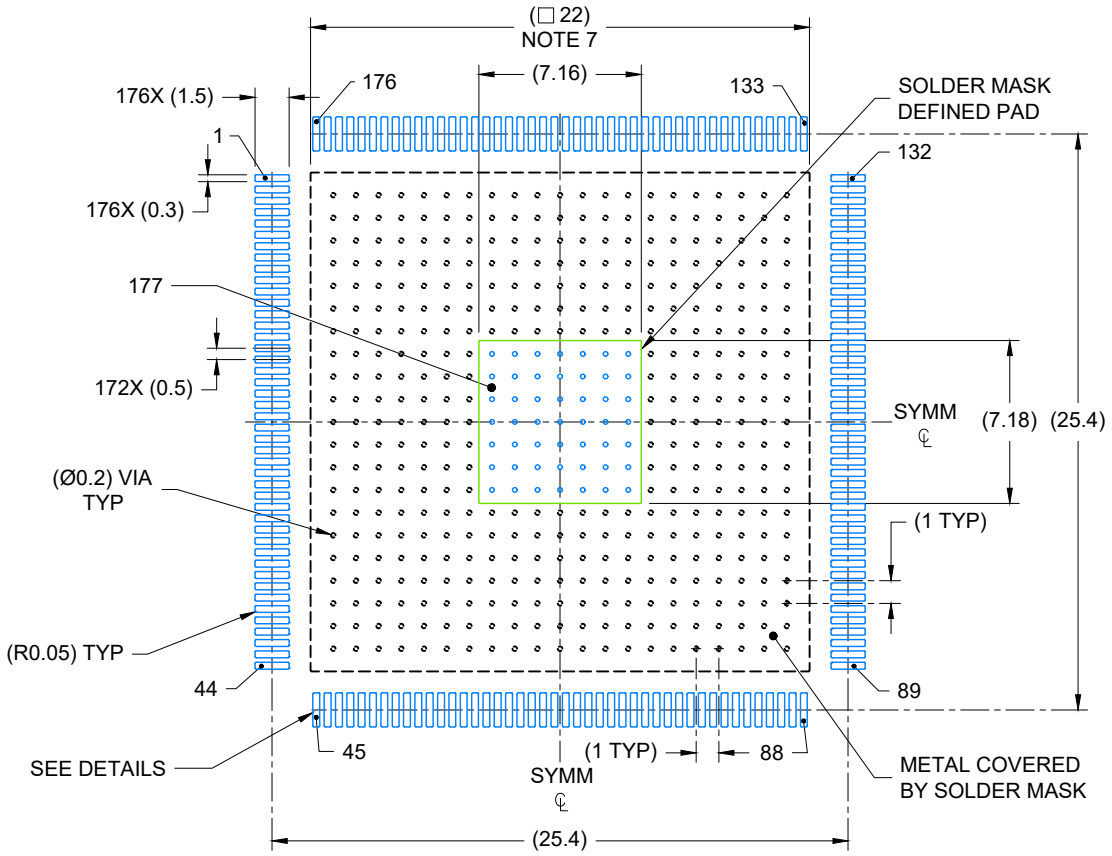
4226435/A

PLASTIC QUAD FLATPACK

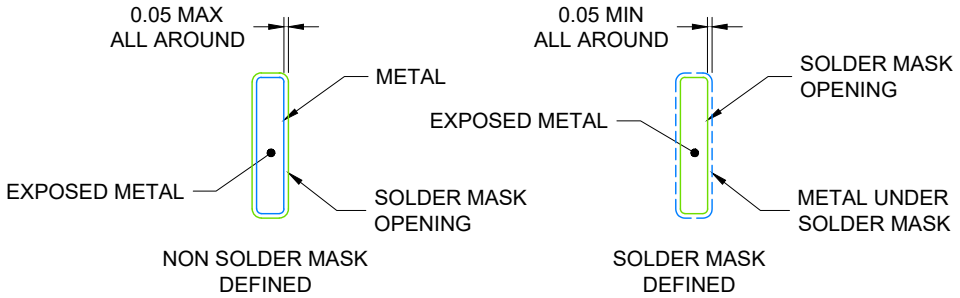


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 3X

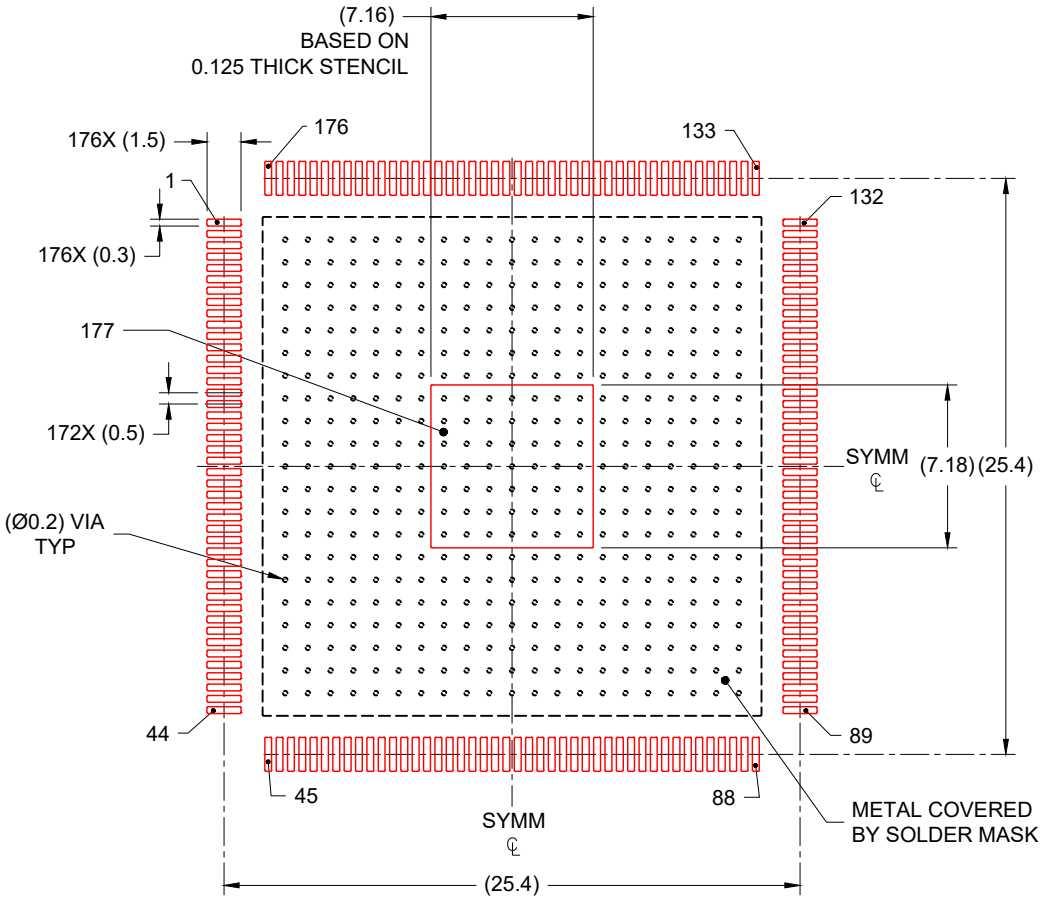


SOLDER MASK DETAILS

4218967/A 01/2019

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. See technical brief. Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
8. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 3X

4218967/A 01/2019

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司